

FPGA를 통한 실시간 영상처리 시스템 구현

이상호*, 석정엽, 진상훈, 여보연
넥스원퓨처

Implementation of real time image processing system based on FPGA

Sang-Ho Lee*, Jung-Youp Suk, Sang-Hun Jin
Nex1 Future Co., Ltd.

E-mail : *shleed@nex1.co.kr, jysuk@nex1.co.kr, shjin@nex1.co.kr, byyeo@nex1.co.kr

Abstract

This paper is concerned with a substantial speed up of image processing methods and less power consumption on 2D images making use of modern FPGA (Field Programmable Gate Array) technology. We implemented 2D FFT and edge detection algorithms based on FPGA and examined processing time and power consumption compared with C/C++ and Alti-Vec technologies.

I. 서론

실 시간 영상처리 시스템에 영상처리 알고리즘을 적용하고자 할 때, 반드시 고려해야 할 요소는 연산시간, 입출력의 지연 및 동작조건이다. 실시간으로 동작하여야 하므로 연산속도와 시간 지연이 규격을 만족해야 하며, 시스템에 따라서는 전력 용량, 공간, 형상 및 온도 와 같은 동작조건을 보장하는 하드웨어를 요구하기도 한다.

알고리즘의 최적화 구현을 위해 취할 수 있는 접근법은 알고리즘을 C/C++ 등의 상위언어(Hight-level Language)로 구현할 때, 연산의 낭비요소가 없도록 구현하는 기본적인 방법 외에 신호처리 연산에 최적화된

프로세서의 전용 명령어를 사용하는 방법과 ASIC(Application Specific Integrated Circuit)이나 FPGA 등을 이용하여 하드웨어로 구현하는 기법이 있다.

이들 기법 중의 FPGA 를 통한 고속화 기법은 구현하는 시간이 길고 알고리즘의 개선이나 수정 등이 어려운 단점이 있으나, 병렬 연산이 가능하여 반복적이고 규칙성을 가진 경우에 단가대비 성능 및 소모 전력대비 성능 면에서 가장 최적화된 기법으로 알려져 있다.

II. 본론

본 논문에서는 영상처리 알고리즘을 FPGA 에 기초한 하드웨어로 구현하였다. 또한 이들을 C/C++로 구현한 경우와 신호처리 연산에 최적화된 프로세서 전용 명령어인 PowerPC 의 Alti-Vec 기능을 사용한 경우에 대한 연산시간 및 소모전력 측면에서 비교하였다. 이를 비교하기 위해 2D FFT 와 Sobel, Compass 와 같은 에지 검출 알고리즘을 각각의 방법으로 구현하고 비교하였다.

III. 구현

구현 보드는 PMC(PCI Mezzanine Card) 형태로 만들어져 PowerPC 보드에 장착되며, 2 개의 FPGA 와 각 FPGA 에 2 개의 DPRAM(Dual-Port RAM)이 연결

되어 있다. 이 DPRAM 을 통해 FPGA 와 PowerPC 가 이미지 데이터를 서로 공유하며, FPGA 는 Virtex-E 를 사용하였다.

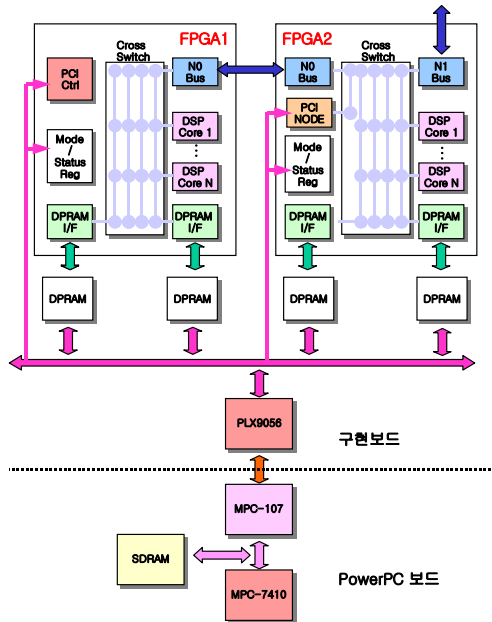


그림 1. 구현 보드의 기능적 구조

2D FFT 는 Xilinx 의 64 포인트 1D FFT IP Core 를 이용하여 64x64 Fixed Point 형태로 구현하였으며 60Mhz 로 동작한다.

에지 검출 알고리즘은 Sobel 과 Compass 가 구현 되었으며, 이들은 영상입력, 영상처리 및 결과출력을 병렬로 처리함으로써 연산 지연을 최소화하였고, Convolution 연산에는 동일한 입출력 방식을 사용할 수 있도록 하였다. 또한 입력 영상 사이즈에 상관없이 연산이 이루어질 수 있도록 가상적인 가변 FIFO 를 구현하였다. 이를 통해 3x3 형태의 Convolution 연산은 가변적인 사이즈의 영상에 대해 동일한 알고리즘으로 구현 가능하도록 하였으며, 60Mhz 로 동작한다.

프로세서에서 동작할 경우에 한 픽셀의 결과값을 산출하기 위해 수 많은 메모리 접근과 연산을 필요로 함과 달리, 구현된 FPGA 에서는 초기의 데이터 입력을 위한 수십 클럭의 지연을 제외하고는 에지 검출의 경우, 한 클럭에 한 픽셀의 결과값을 획득할 수 있었으며, 2D FFT 를 수행하는데도 픽셀수의 3 배 정도의 클럭으로 수행이 가능하였다.

실험은 MPC7410 을 사용한 PowerPC 와 구현 보드를 사용하여, RTOS 인 VxWorks 기반의 C/C++ 코드, PowerPC 의 Alti-Vec 기능 및 구현 FPGA 보드에

대한 성능 및 소모 전력을 비교하였다. FPGA 로 구현한 경우가 대부분의 경우에 가장 짧은 수행시간을 보였으며, 소모 전력 측면에서도 가장 효율적임을 확일 할 수 있었다.

TABLE I. 성능 및 소모 전력 비교

구분		FPGA	C/C++	ALTIVEC
SOBEL	SQRT(A ² + B ²)	1.30	27.08	-
	A+B	-	8.26	2.05
COMPASS		1.30	18.9	-
2D FFT (64X64)	Floating Point	-	2.64	0.35
	Fixed Point	0.42	1.59	0.28
Power (Watt)		2.87 + 0.98	11.76 + 0.39	11.76 + 1.82

(단위:ms)

IV. 결론 및 향후 연구 방향

본 논문에서는 FPGA 를 통해 영상 알고리즘을 구현하고, 기존의 구현 방법들과 성능 및 소모 전력에 대해 비교하여, FPGA 를 통한 구현이 양쪽 측면 모두에서 가장 효율적임을 확인하였다. 따라서 FPGA 를 통한 영상처리 알고리즘 구현은 소모전력에 의한 온도 조건 및 실시간 처리를 위한 수행시간 조건이 중요한 응용 분야에 유용할 것이다. FPGA 는 프로그래밍이 가능한 하드웨어 로직이다. 따라서 더 효율적인 구조로 설계한다면 동일한 하드웨어로 더 높은 성능을 구현할 수 있을 것이며, 이에 대한 연구가 더 요구된다.

참고문헌

- [1] Chou, C., Mohanakrishnan, S., Evans, J.: "FPGA Implementation of Digital Filters," Proc. ICSPAT, 1993.
- [2] Benedetti, A., Perona, P.: "Real-time 2-D Feature Detection on a Reconfigurable Computer," Proceedings of the 1998 IEEE Conference on Computer Vision and Pattern Recognition, 1998.
- [3] Gokhale, M., et. al.: "Stream -Oriented FPGA Computing in the Streams -C High Level Language," unpublished paper, 2000.