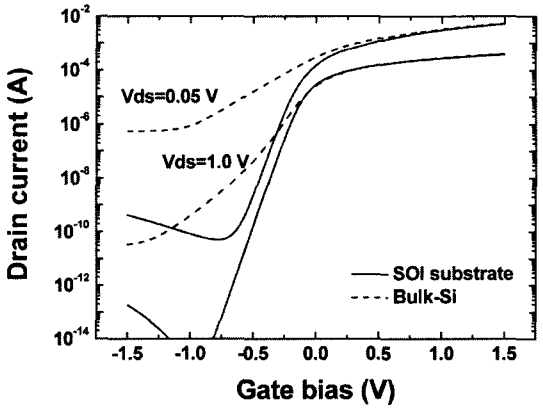
쇼트키 장벽 소스/드레인을 가지는 실리콘 MOSFET의 소자 구조 및 전기적 특성에 대한 검토

조원주[1]*, 구현모[1], 이우현[1], 구상모[1], 정홍배[1], 안창근[2]
[1]광운대학교 전자재료공학과, [2]한국전자통신연구원 IT융합 · 부품연구소
* E-mail : chowj@kw.ac.kr

반도체 소자의 크기가 수십 나노미터 영역에 접어들면서 기존의 실리콘 트랜지스터 소자의 동작 특성을 제한하는 물리적 한계를 극복하기 위하여 다양한 기술들이 연구되고 있다. 특히, 트랜지스터의 게이트 길이가 감소되면서 발생하는 단채널 효과의 억제, 소스/드레인의 접합 깊이 및 저항 감소, 금속 게이트 전극에 대한 요구 및 게이트 절연막 두께의 감소는 기존의 트랜지스터 소자 및 공정 기술로는 극복하기 어려운 과제로 대두되고 있다. 이와 같은 문제점을 극복하기 위한 방안으로서 금속과 반도체 간의 접촉에 의하여 형성되는 쇼트키 장벽(Schottky barrier)을 이용한 접합 방법이 연구되고 있다[1]. 특히, 기존의 불순물 접합에 의하여 형성되는 트랜지스터의 소스/드레인에 금속 실리사이드-반도체 접합을 이용하면 공정 온도가 600°C 이하로 낮출 수 있으며, 저온공정으로 인하여 금속게이트 전극 및 고유전율 물질을 이용한 게이트 절연막 형성이 용이하다. 금속게이트의 사용은 게이트 공핍에 의한 게이트 절연막의 두께 증가를 최소화할 수 있으며, 게이트 저항 감소에 의한 칩의 동작속도를 증가시킬 수 있다. 또한, 소스 및 드레인의 접합의 깊이가 실리사이드 두께에 의하여 결정되므로 매우 얕은 접합을 쉽게 형성할 수 있다. 또한 실리사이드의 면저항은 불순물을 도핑한 실리콘보다 훨씬 작은 값을 가지므로 얕은 접합으로 인한 기생저항을 크게 줄일 수 있다. 본 연구에서는 쇼트키 장벽 소스/드레인을 가지는 실리콘 MOSFET소자의 구조 및 전기적 특성에 대해서 연구하였다. 전자 터널링과 장벽 감소 효과를 도입한 소자 시뮬레이션 기법을 이용하여 실리사이드와 실리콘 사이에 형성되는 쇼트키 장벽 높이에 따른 쇼트키 다이오드의 전기적 특성을 예측하였다. 또한, 쇼트키 장벽 소스/드레인을 가지는 실리콘 MOSFET소자를 형성하는 기판에 대해서 벌크 실리콘과 SOI 기판을 이용하는 경우에 대해서 각각 소자 구조가 전기적 특성에 미치는 영향을 조사하였다. 그 결과, 쇼트키 장벽 높이가 트랜지스터의 동작 전류변화에 큰 영향을 주었고, 그림과 같이 벌크 실리콘보다 SOI 기판이 단채널 효과 억제에 유리하다는 것을 발견하였다. 또한, SOI 기판의 실리콘 층이 얇을수록 단채널 효과 억제 특성이 증가하였다.



게이트 길이 100 nm의 쇼트키 장벽 MOSFET의 동작 특성 (S/D metal work function: 4.20 eV, SOI 두께: 10 nm)

참고문헌

1. Moongyu Jang, Jihun Oh, Sunglyul Maeng, Won-Ju Cho, Seongjae Lee, Kicheon Kang, Kyoungwan Park, "Characteristics of erbium-silicided n-type Schottky barriertunnel transistors." Applied Physics Letters 83, 2611 (2003).