

# Topological Analysis Method 를 이용한 High -Frequency Circuit 해석 (High-Frequency Circuit Analysis by using Topological Analysis Method)

황세훈<sup>1</sup>, 박윤미<sup>1</sup>, 이정엽<sup>1</sup>, 박철민<sup>2</sup>, 정현교<sup>1</sup>

(Sehoon Hwang, Yoon-Mi Park, Jung-Yub Lee, Chul-Min Park, Hyun-kyo Jung)

<sup>1</sup>Electromechanics Lab., Seoul National University, Shillim-dong, Kwanak-gu, Seoul, 151-742 Korea

<sup>2</sup>Department of Electrical and Computer Engineering, University of Seoul, Korea

**Abstract :** High Frequency에서 회로를 해석할 때 기존의 Full-wave Analysis Method와는 다른 Topological Analysis Method 에 기반한 BLT equation을 도입하여 새로운 해석을 시도해본다. 이 해석방법은 기존의 방법과는 다르게 회로를 junction과 node로 구분하여 회로 방정식을 만들어 해석을 하는 새로운 방식이다. 이 논문에서는 간단한 회로를 제작하여 BLT equation과 기존의 Simulation Tool을 사용한 해석과 실제 실험결과와 비교하면서 BLT equation을 검증하고, 실제적인 적용 회로를 선정하여 해석을 시도하였다.

**Keywords:** BLT equation., Topological Analysis Method, node, junction

## I. 서론

System이 복잡해지고 발전할수록 EMI/EMC 현상의 중요성이 부각되고 있다. 그와 동시에 회로가 복잡해질수록 coupling 현상이 많아지게 되어 고전적인 full-wave analysis로는 해석이 힘든 경우가 많아지고 있다. 그래서 대형 시스템의 EMI/EMC 문제에 EMT (Electromagnetic Topology)의 방법이 사용되고 있다. EMT 해석 방법은 전체 시스템을 작은 부분으로 나누어 해석을 하고, 그 해석 결과를 하나의 시스템으로 재 조립하여 전체 결과로 사용하는 것을 말한다. 이 해석 방법에서 coupling 현상은 나누어진 작은 시스템간의 관계에 의해 나타내어진다. [1]

이런 현상을 해석하는 기법 중에 BLT (Baum-Liu-Tesche) equation이라는 방법이 있다. 이를 사용한 전체 네트워크상의 coupling을 고려한 BLT equation은 다음과 같다. (1-3)

$$[W(0)] = ([I] - [S] \times [\Gamma])^{-1} \times [S] \times [W_s] \quad (1)$$

$$[W(L)] = [\Gamma] \times [W(0)] + [W_s] \quad (2)$$

$$[W_{total}] = [W(0)] + [W(L)] \quad (3)$$

위 식은 propagation supermatrix  $[\Gamma]$ , scattering supermatrix  $[S]$ , supervector  $[W_s]$ , incoming wave matrix  $[W(L)]$ , outgoing wave matrix  $[W(0)]$ 로 구성 되어 있다. [2]

## II. 본론

### 1. 간단한 회로를 통한 BLT equation 검증

#### 1-1. 간단한 T-line을 이용한 실험

BLT equation의 검증을 위해서 간단한 회로를 제작하여 그 실험값과 기존의 Simulation Tool들의 해석값에 BLT equation값을 비교하면서 검증을 할 수 있다. 다음과 같은 간단한 T-line을 제작하고 그 왼쪽에 chip R, L, C 소자 각각을 올려놓고 NA(Network Analyzer)를 이용하여 실험을 하였다.

소자를 올리기 전 T-line 을 제작, NA 에서 얻은 S-parameter 를 관찰해 보면 다음과 같다. 그래프는 지면상 S11 만을 나타내는 것으로 한다.

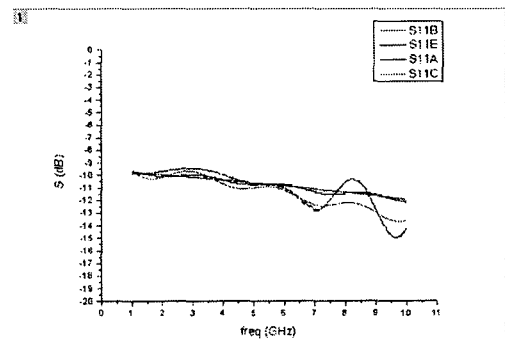


그림 1. T-line 의 S11

그래프의 'E'는 실험을, 'B'는 BLT 결과를, 'A'는 ADS 결과, 'C'는 CST 결과를 각각 나타낸다.

#### 1-2. Chip R, L, C 소자를 이용한 실험

위와 같이 T-line 의 특성을 파악한 다음 T-line 위에 chip 소자를 올려 놓은 후 실험을 통해 S-parameter 를 추출하는 실험을 수행하여 다음과 같은 그래프를 얻었다.

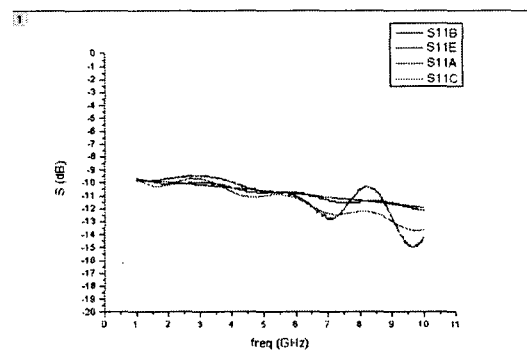


그림 2. 50Ω chip R 소자를 올린 T-line 의 S11

\* 책임저자(Corresponding Author)

황세훈, 박윤미, 이정엽, 정현교 : 서울대학교 공과대학원  
(sakio85@snu.ac.kr, iamyum@elecmech.snu.ac.kr, ridley@snu.ac.kr)

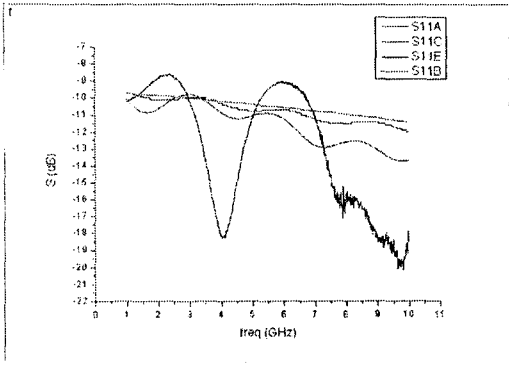


그림 3. 1nF chip C 소자를 올린 T-line 의 S11

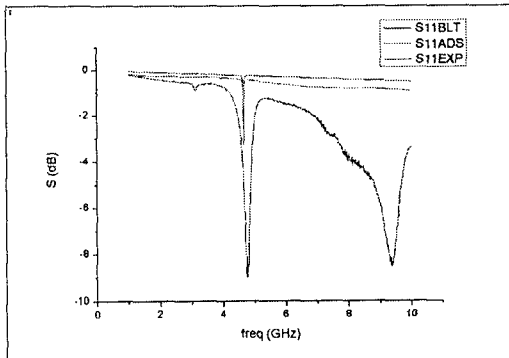


그림 4. 1uF chip L 소자를 올린 T-line 의 S11

위의 3 개의 그래프에서 보는 바와 같이 BLT equation 으로 해석을 한 결과와 기존의 Simulation Tool 을 사용한 결과는 거의 일치함을 확인할 수 있으며, 실험의 결과와도 상당한 유사성을 보임을 확인할 수 있다. 위의 3 개의 그래프에서는 Simulation 과 BLT 결과와는 다르게 두드러진 공진 특성을 보임을 알 수 있다. 이를 길이에 대한 기관 자체의 공진이라 생각하고, 이를 증명하기 위해 길이가 다른 T-line 3 개 (30mm, 60mm, 90mm) 를 만들어 실험을 하였다.

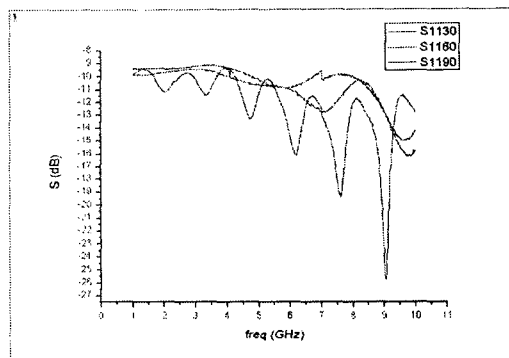


그림 5. 길이에 따른 T-line 의 공진

위의 그래프에서 확인할 수 있듯이 Simulation 과 BLT equation 에서와 같이 ideal 한 상황이 아닌 실제 실험에서는 기관 자체에 의한 공진 현상이 있음을 확인할 수 있으며, 더불어 위의 실험에서 나온 결과가 잘못된 것이 아님을 확인할 수

있다.

1-3. Lumped 소자를 이용 Chip 소자와의 결과 비교

다음으로 고주파에서 chip 소자가 아닌 일반 lumped 소자인 경우에는 결과가 어떻게 달라지는지를 알아보기 위해 microstrip line 을 만들어 chip 소자와 lumped 소자를 올려놓고 실험값을 비교해 보았다. 실험에서는 lumped 소자의 기생성분 영향을 최소화하기 위해 lead line 의 길이를 10mm 미만으로 만들고 실험을 하였다.

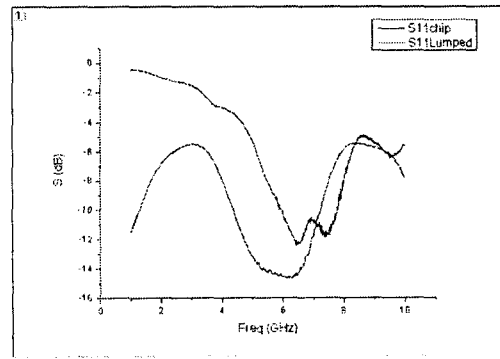


그림 6. 50 Ohm chip R 과 lumped R 의 S11 비교

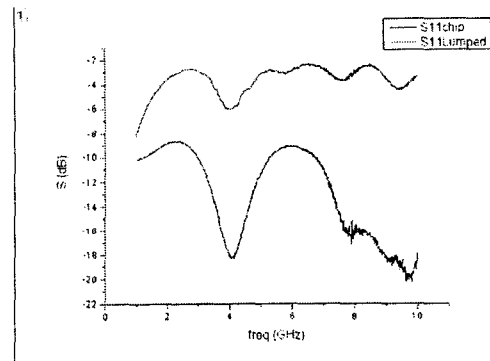


그림 7. 1nF chip C 과 lumped C 의 S11 비교

위의 결과에서 기생성분의 영향을 최소화한 lumped 소자의 경우 loss 성분에 의한 영향을 제외한다면, 실험결과에는 차이가 있지만, 공진 주기와 같은 주기적인 성질에서는 유사성을 보임을 확인할 수 있다..

2. 실제 동작 회로를 통한 BLT 검증

이상의 결과를 가지고 실제적인 회로를 제작하여 그 결과를 해석해보았다. 회로는 1.8V 이상의 전압이 걸렸을 때 LED 에 불이 들어오는 회로로 회로도 는 다음과 같다.

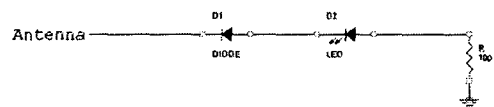


그림 8. BLT 검증을 위한 실제 동작을 하는 회로의 회로도

회로는 CPW 구조로 제작하였으며, Antenna Impedance 를 측정하여 950MHz 에서 가장 power 를 효율적으로 전달하게끔 설계를 하였다.

또한 안테나는 monopole antenna 의 특성을 고려했으며, ground 보강을 하여 보다 나은 특성을 얻을 수 있었다.[3]

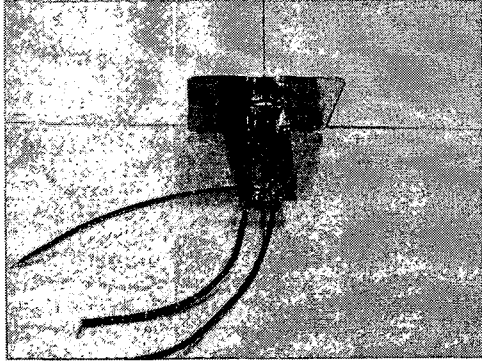


그림 9. CPW 구조의 실제 제작된 회로

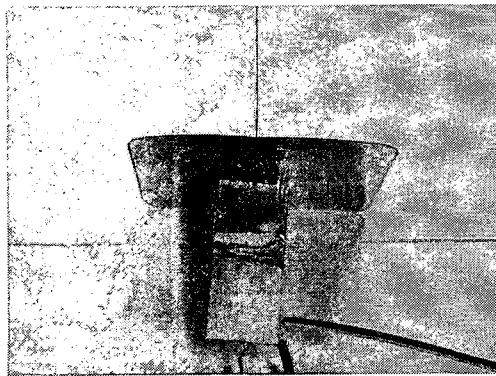


그림 10. Ground 와 안테나 연결

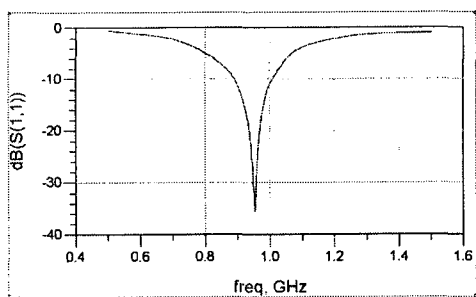


그림 11. Antenna Matching

실험은 950MHz 안테나에서 RF power 를 인가했을 때 회로의 안테나단에 걸리는 전압과 가장 뒷단의 저항에 걸리는 전압을 측정하였다. 또한 가시적인 결과를 얻기 위해 2V 의 DC 를 인가해준 상태와 인가해주지 않은 상태 2 가지로 나누어서 DC 를 인가했을 때 LED 불빛의 밝기 변화를 관찰하였다. 또한 RF power 를 측정하기 위해 고주파에서 사용되는 고주파용 probe 인 active probe 를

사용하여 측정하였다.

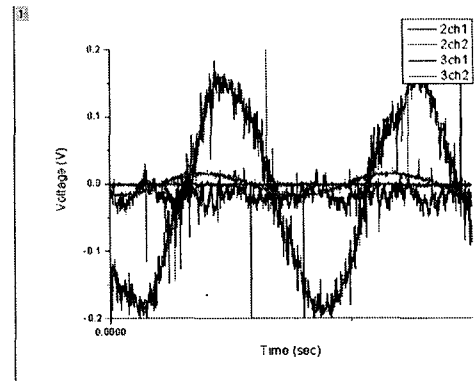


그림 12. RF power 에 따른 회로의 전압 변화

위의 그림에서 '2'로 표시된 것은 RF power 가 OFF 되었을때를, '3'은 ON 되었을 때를 나타내며, 'ch1'은 안테나단을 'ch2'는 저항단의 전압을 나타낸다.

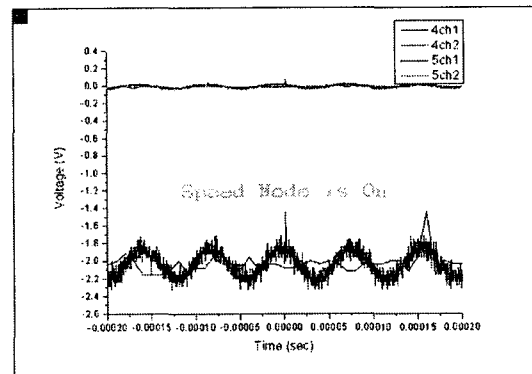


그림 13. DC 인가 시 RF power 에 따른 전압 변화

위의 그림에서 '3'로 표시된 것은 RF power 가 OFF 되었을때를, '4'은 ON 되었을 때를 나타내며, 'ch1'은 안테나단을 'ch2'는 저항단의 전압을 나타낸다.

위의 그림의 ch1 의 전압차를 확인하기 위해 ch1 부분만을 확대해보면 다음과 같이 ON/OFF 에 따른 보다 뚜렷한 결과를 얻을 수 있다.

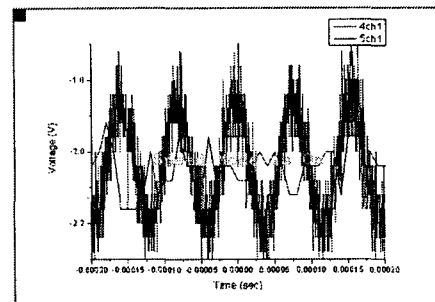


그림 14. DC 인가 시 ch1 의 RF power 에 따른 전압 변화

위의 결과를 이용하여 ch1 에서 얻은 RF on/off 시의 전압차를 source 로 보고 그 값을 FFT 를 하여 frequency domain 으로 전환하여 사용하였으며, ch2 에 얻은 결과값을 근거로 BLT equation 의 타당성을 검증하였다.

Diode 소자의 모델링은 diode 가 ON 상태일 때와 OFF 상태일 때를 나눠서 수행하였다. BLT 해석값은 DC 를 인가하지 않은 상태에서의 값만을 비교해보았다.

표 1. BLT 와 실험값의 비교

	BLT	실험	ADS
Voltage (V)	0.0109	0.013	0.011

위의 표에서 알 수 있듯이 BLT 를 통한 결과와 실험을 통해 얻은 결과와의 차이는 대략 16.15%의 근사한 오차로 근접해 있음을 알 수 있다. 결론적으로 Topological Analysis Method 를 이용한 BLT equation 을 이용하여 고주파 회로 해석을 수행하여도 상당한 정확성을 보임을 확인할 수 있다.

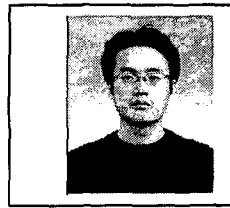
### III. 결론

기존의 비행기와 같은 Macro-system 에 적용이 되었던 BLT equation 의 Micro-system 으로의 적용을 위해 실제적인 회로를 만들어 실험을 하고, 기존의 Simulation Tool 을 사용한 결과값과의 비교를 수행하였다. 실험의 순서는 가장 간단한 구조 위에 chip 소자를 올려놓은 회로를 선택하여 실험을 하여 결과값의 정확성을 확인하였고, 실제 동작을 하는 가장 간단한 회로를 제작하여 BLT equation 을 통해 얻은 결과와 실제 측정을 한 결과를 비교해 보았다. 이를 통해 Topological Analysis Method 를 사용하는 BLT equation 이 Micro system 에도 적용가능하며, 그 결과가 실제 측정값과 상당히 유사하다는 결과를 얻을 수 있었다.

이로써 기존의 복잡하고 시간이 오래 걸리는 Full-wave analysis method 가 아닌 새로운 방법으로도 고주파 회로 해석이 가능함을 확인할 수 있다.

### IV. 참고문헌

[1] 박윤미, 이정엽, 황세훈, 정현교, 정용식, 김형석, "Analysis of Printed Circuit Boards Based on Electromagnetic Topology:"  
 [2] F.M.Tesche, C.M.Butler, "On the Addition of EM Field Propagation and Coupling Effects in the BLT Equation", *Interaction Notes Note 588*  
 [3] W.L. Stutzman, G.A. Thiele, "Antenna Theory and Design", Wiley, vol 2, pp 533-537, 66-68,



황 세 훈

2005년 고려대학교 공과대학  
전기전자전파공학부 졸업.  
2005년~현재 서울대학교  
공과대학원 전기컴퓨터공학부  
석사과정 재학중.



박 윤 미

2004년 충남대학교 공과대학  
전기전자전파공학부 졸업.  
2004년~현재 서울대학교  
공과대학원 전기컴퓨터공학부  
석사과정 재학중.



이 정 엽

2002년 서울대학교 전기공학부  
졸업. 2002년~현재 서울대학교  
공과대학원 전기컴퓨터공학부  
박사과정 재학중.

정 현 교



1979년 서울대학교 공과대학  
전기공학과 졸업. 1981년  
서울대학교 공과대학원  
전기공학과 석사 졸업 1984년  
서울대학교 공과대학원  
전기공학과 박사 졸업  
1994년~현재 서울대학교 공과대학  
전기컴퓨터공학부 교수 (정교수)



박 철 민

2004년 서울시립대학교  
전자공학과 졸업. 2004년~현재  
서울시립대학교 전자컴퓨터공학부  
석사 과정 재학중.