

AC-PDP를 위한 멀티레벨 단일 에너지 회수 서스테인 구동회로

최성욱, 문건우, 박정필*, 정남성*
한국과학기술원, 삼성SDI(주)*

Multi-Level Single Energy Recovery Sustaining Driver for AC-PDP

Seong-Wook Choi, Gun-Woo Moon, Jung-Pil Park*, Nam-Sung Jung*
Korea Advanced Institute of Science and Technology (KAIST), Samsung SDI Co. Ltd.*

ABSTRACT

단일 서스테인 구동회로로서 캐패시터를 이용하여 가스 방전 스위치의 전압 스트레스를 절반으로 줄일 수 있는 새로운 멀티레벨 단일 서스테인 구동회로를 제안한다. 기존의 단일 서스테인 구동회로는 $+V_s$ 및 $-V_s$ 의 양극성 전원을 사용함에 따라 스위치 전압 스트레스가 $2V_s$ 가 되어 스위치로서 전력밀도가 높으면서 가격이 낮은 IGBT를 사용해야 하지만 도통손실이 매우 커 발열에 문제점을 보인다. 제안하는 멀티레벨 단일 에너지 회수 서스테인 구동회로는 에너지 회수 인덕터에 의해 전압이 V_s 로 유지되는 부유 캐패시터를 이용하여 가스 방전 스위치의 내압을 기존의 $2V_s$ 에서 V_s 로 낮추게 되어 스위치 선택의 폭을 넓힐 뿐만 아니라 구동회로의 도통 손실을 개선하여 발열을 줄일 수 있다.

1. 서론

플라즈마 디스플레이 패널(PDP)은 큰 화면과 넓은 시야각, 두께, 높은 명암비 등으로 CRT를 대체할 수 있는 차세대 디스플레이 소자로서 기대되고 있다.^[1] 하지만 이러한 고성능에도 불구하고 높은 가격 때문에 여전히 특정 영역에서만 국한되어 사용되고 있다. PDP 원가의 많은 부분은 패널의 뒤쪽에 위치하고 있는 전자장치에 의한 것으로, 이러한 전자장치의 절반 이상은 에너지 회수 서스테인 구동회로가 차지하고 있다. 하지만 기존의 Weber & Wood 에너지 회수 서스테인 구동회로^[2]는 그림 1과 같이 가스 방전을 위해 풀 브리지 인버터를 이용하므로 PDP의 X 및 Y 전극 각각에 구동회로에 위치해야 하기 때문에 원가 절감에 근본적인 한계가 있다. 따라서 하프 브리지 인버터를 사용하여 X, Y 전극에 모두 존재하던 구동회로를 한 전극에만 위치시켜 구동보드를 하나로 만드는 단일 에너지 회수 구동회로에 관한 연구가 요구되고 있다.

그림 2는 단일 보드를 이용해서 PDP를 구동하기 위해 초기화 구간, 기입 구간 및 방전 유지 구간으로 구분되는 기존의 ADS (Address Display Separation) 구동파형을 X전극의 전위를 기준으로 변형한 PDP 구동 파형^[3]을 나타내고 있다. 그림 3은 이러한 구동파형을 생성하기 위한 전체 구동 회로^[3]를 도시하고 있다. 전체 구동 회로 중 가스 방전 유지 구형파를 생성하기 위해 하프 브리지 인버터 및 에너지 회수 회로로 구성되는 단일 에너지 회수 구동회로가 도시되어 있다. 패널의 한 전극을 0V로 고정하고 다른 전극에 하프 브리지 인버터를 이용

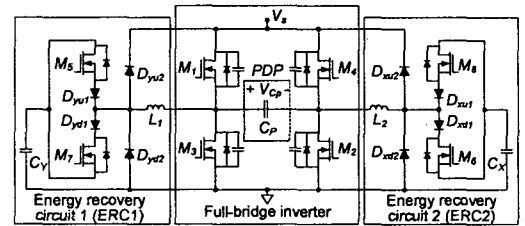


그림 1 Weber & Wood 에너지 회수 서스테인 구동회로

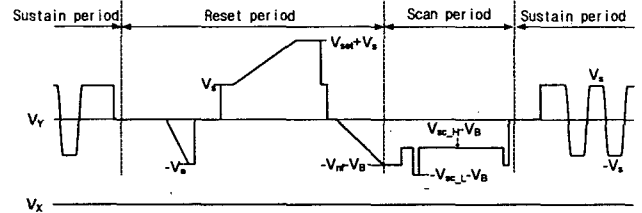


그림 2 단일 구동을 위한 변형된 PDP 구동 파형

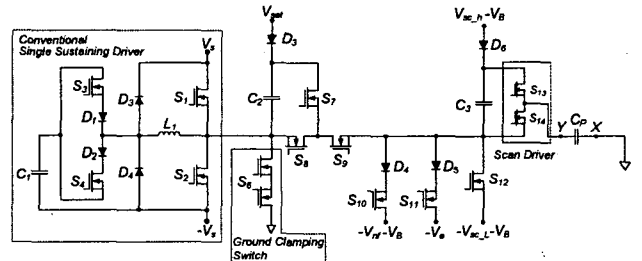


그림 3 변형된 PDP 구동파형을 생성하는 전체 구동회로 한 서스테인 구동회로를 구성하여 가스 방전 전압, V_s , 크기를 갖는 양극성 구형파를 패널에 인가한다. 따라서 기존 풀 브리지 서스테인 구동회로에 비해 회로 구조가 단순할 뿐만 아니라 단일 보드 형태로 구현이 가능하여 원가를 절감할 수 있다. 하지만 가스 방전 스위치 S_1 및 S_2 의 내압이 $2V_s$ 로서 약 420V의 매우 높은 전압이 요구된다. 따라서 전력밀도가 높으면서도 가격이 낮은 IGBT를 사용하여 인버터를 구성하게 된다. 하지만 요구되는 스위치의 내압이 높아 소자의 절연을 보장하기 위해서는 IGBT의 N-층이 매우 깊어야 하기 때문에 전도도 변조 효과에 의해 도통 시 초기 포화 전압이 크므로 기존의 풀 브리지 구동회로에 비해 도통 손실에 크고 따라서 발열이 큰 문제점을 안고 있다. 따라서 이러한 문제를 해결하기 위해서는 가스 방전 스위치의 내압을 낮추어야 할 필요가 있다.

그림 4는 가스 방전 스위치의 내압을 V_s 로 줄일 수 있는 새로운 멀티레벨 단일 서스테인 구동회로의 회로도들을 도시하고 있다. 캐패시터 C_1 은 에너지 회수 인덕터 L_1 및 L_2 에 의해 V_s

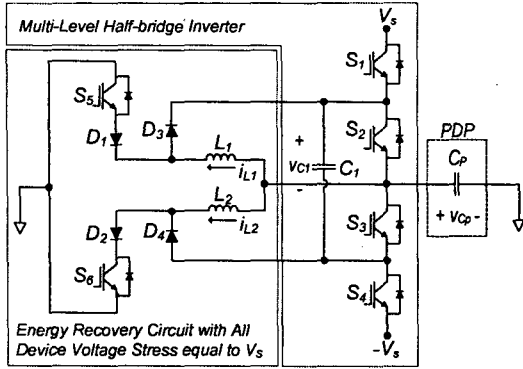


그림 4 멀티레벨 단일 에너지회수 서스테인 구동회로

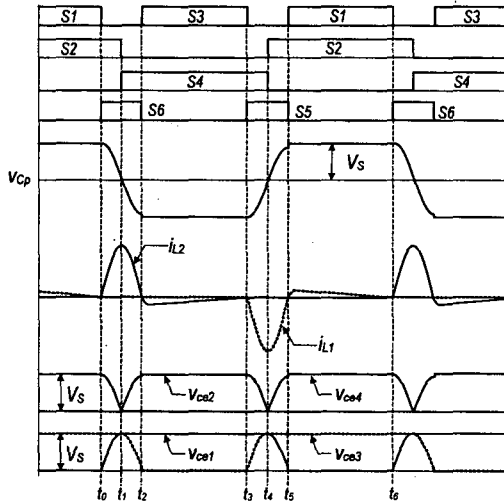


그림 5 제안회로의 주요 동작 파형

전압으로 유지되고 이 캐패시터 C_1 및 가스 방전 스위치들의 적절한 제어 신호를 통해 가스 방전 스위치들 S_1 - S_4 의 내압이 서스테인 구형파의 천이 구간을 포함하여 전 구간에서 전압 V_S 로 보장된다. 더불어 에너지 회수 회로의 클램핑 다이오드 D_3 및 D_4 의 내압 또한 V_S 전압으로 보장되는 장점이 있다. 또한 에너지 회수 인덕터에 의해 가스 방전 스위치의 영전압 스위칭이 보장 되면서도 패널 캐패시터 C_p 에 의한 변위 전류가 가스 방전 스위치로 흐르지 않는 특징이 있다. 더구나 스위치 S_2 및 S_4 가 켜지거나 스위치 S_1 및 S_3 가 꺼졌을 때 캐패시터 C_1 을 통해 0V의 전압을 패널에 인가할 수 있기 때문에 그림 2와 같이 초기화 혹은 기입 구간에서 0V의 전압을 패널에 인가하기 위해 필요한 그림 3의 GND 클램핑 스위치들을 제거할 수 있는 부가적인 장점이 있다. 또한 인덕터 L_1 및 L_2 에 의해 에너지 회수 경로가 분리되므로 스위치 S_5 혹은 S_6 을 켤 때 발생하는 손실을 저감하여 회로 효율을 더욱 향상시킬 수 있다.

2. 제안회로의 동작원리

그림 4는 제안하는 멀티레벨 단일 에너지 회수 서스테인 회로를 도시하고 있고 그림 5는 제안회로의 주요 동작 파형을 나타내고 있다. 동작 설명의 간결성을 위해서 다음과 같은 사항을 가정하도록 한다.

- 캐패시터 C_1 은 V_S 전압으로 충전.
- 캐패시터 C_1 의 값은 스위치의 출력 캐패시터보다 매우 커서 고정 전압원으로 취급
- 인덕터 L_1 및 L_2 의 인덕턴스 동일.

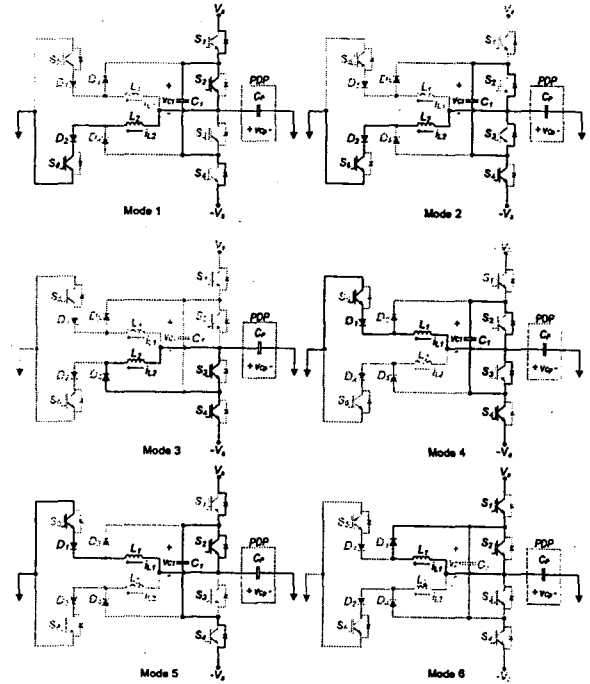


그림 6 제안회로의 동작 별 전류 도통 경로

제안하는 회로의 세부적인 회로 동작은 다음과 같다.

모드 0(t_0): 스위치 S_1 및 S_2 도통되어 있어 패널 전압을 전원 전압 V_S 로 유지하고 있다.

모드 1(t_0 - t_1): 스위치 S_1 이 꺼지고 동시에 보조 스위치 S_6 이 켜지면서 모드 1이 시작된다. 그림 6의 모드 1과 같이 스위치 S_6 이 켜지면서 패널 캐패시터 C_p 와 인덕터 L_2 와의 직렬공진회로가 형성되면서 패널 전압을 0V로 하강시킨다. 이 때 스위치 S_1 의 전압은 V_S 로 상승하고 스위치 S_4 의 전압은 0V로 하강한다. 이 때 패널 전압과 전류는 다음과 같이 주어진다.

$$I_{C_p}(t) = \frac{1}{L_2\omega} (V_S - V_D) e^{-\frac{t}{\tau}} \sin \omega t \quad (1)$$

$$V_{C_p}(t) = V_S - (V_S - V_D) \left[1 - e^{-\frac{t}{\tau}} \left(\cos \omega t + \frac{1}{\omega\tau} \sin \omega t \right) \right] \quad (2)$$

여기서 $\tau = \frac{2L_1}{R_{ESR}}$ $\omega = \sqrt{\frac{1}{L_1C_p} - \frac{1}{\tau^2}}$ V_D =다이오드 순방향 전압강하

스위치 S_4 의 양단 전압이 0V에 다다르면 모드 1이 종료된다.

모드 2(t_1 - t_2): 보조 스위치 S_6 이 계속해서 켜져 있으면서 스위치 S_4 가 켜지고 동시에 스위치 S_2 가 꺼지면 모드 2가 시작된다. 이 때 스위치 S_4 는 양단 전압이 0V에서 켜지기 때문에 영전압 스위칭을 한다. 그림 6의 모드2와 같이 스위치 S_6 이 모드 1에 이어서 계속 켜져 있기 때문에 패널 캐패시터 C_p 와 인덕터 L_2 와의 직렬공진회로가 계속 형성되어 패널 전압을 $-V_S$ 로 하강시킨다. 이 때 스위치 S_2 의 전압은 V_S 로 상승하고 스위치 S_3 의 전압은 0V로 하강한다. 인덕터 L_2 의 전류가 0A에 도달하면 모드 2가 끝난다.

모드 3(t_2 - t_3): 스위치 S_6 이 꺼지고 동시에 스위치 S_3 이 켜지면서 모드 3이 시작된다. 그림 6의 모드 3과 같이 스위치 S_3 이 켜지면서 패널 캐패시터 C_p 를 $-V_S$ 로 유지한다. 이 때 회로상에 존재하는 등가직렬저항에 의해 반주기 공진 후에도 패널에

너지를 완전히 회수하지 못했기 때문에 스위치 S₃은 하드 스위칭 하게 된다.

모드 4(t₃-t₄): 스위치 S₃이 꺼지고 동시에 보조 스위치 S₅가 켜지면서 모드 4가 시작된다. 그림 6의 모드 4와 같이 스위치 S₅가 켜지면서 패널 캐패시터 C_p와 인덕터 L₁으로 구성되는 직렬공진회로가 형성되면서 패널 전압을 0V로 상승시킨다. 이 때 스위치 S₃의 전압은 V_S로 상승하고 스위치 S₂의 전압은 0V로 하강한다. 이 때 패널 전압과 전류는 다음과 같이 주어진다.

$$I_{C_p}(t) = -\frac{1}{L_1\omega}(V_S - V_D)e^{-\frac{t}{\tau}}\sin\omega t \quad (3)$$

$$V_{C_p}(t) = -V_S + (V_S - V_D)\left[1 - e^{-\frac{t}{\tau}}\left(\cos\omega t + \frac{1}{\omega\tau}\sin\omega t\right)\right] \quad (4)$$

스위치 S₂의 양단 전압이 0V에 이르면 모드 4가 종료된다.

모드 5(t₄-t₅): 보조 스위치 S₅가 계속해서 켜져 있으면서 스위치 S₄가 꺼지고 동시에 스위치 S₂가 켜지면 모드 5가 시작된다. 이 때 스위치 S₂는 양단 전압이 0V에서 켜지기 때문에 영 전압 스위칭을 한다. 그림 6의 모드5와 같이 스위치 S₅가 모드 4에 이어서 계속 켜져 있기 때문에 패널 캐패시터 C_p와 인덕터 L₁으로 구성되는 직렬공진회로가 형성되어 패널 전압을 V_S로 상승시킨다. 이 때 스위치 S₄의 전압은 V_S로 상승하고 스위치 S₁의 전압은 0V로 하강한다. 인덕터 L₁의 전류가 0A에 도달하면 모드 5가 끝난다.

모드 6(t₅-t₆): 스위치 S₅가 꺼지고 동시에 스위치 S₁이 켜지면서 모드 6이 시작된다. 그림 6의 모드 6과 같이 스위치 S₁이 켜지면서 패널 캐패시터 C_p를 V_S로 유지한다. 이 때 회로 상에 존재하는 등가직렬저항에 의해 반주기 공진 후에도 패널 전압은 V_S에 이르지 못하기 때문에 스위치 S₁은 하드 스위칭을 하면서 켜지고 에너지 회수부에 의해 완전히 투여되지 못한 전압만큼을 충전하기 위한 돌입전류를 흘리면서 에너지 손실이 발생한다.

3. 실험 결과

제안하는 멀티레벨 단일 에너지 회수 서스테인 구동회로의 이론적 타당성을 검증하기 위해 42인치 HD급 PDP를 위한 시작품을 표 1의 사양으로 설계하였다. 그림 7은 제안하는 회로의 실험 파형이다. 패널 전압의 상승과 하강 구간에서 인덕터 L₁ 혹은 L₂와 패널 캐패시터 C_p간의 직렬 공진에 의해 에너지 회수 동작이 정상적으로 이루어진다. 또한 부유 캐패시터 C₁의 전압이 V_S로 유지되면서 서스테인 구형파의 천이구간에서도 가스 방전 스위치 S₁-S₄의 양단 전압이 V_S로 유지시키는 것을 확인할 수 있다.

4. 결론

단일 서스테인 구동회로에서 가스 방전 스위치의 내압을 저감하기 위한 새로운 멀티레벨 단일 에너지 회수 서스테인 구동회로를 제안하였다. 제안 회로는 에너지 회수 인덕터와 적절한 스위치 제어 신호에 의해 V_S 전압으로 유지되는 캐패시터를 이용하여 가스 방전 스위치의 내압을 기존회로의 절반으로 만든다. 따라서 스위치 도통 시 포화 전압이 더 낮은 스위치를 선택할 수 있기 때문에 도통 손실이 개선되어 발열을 줄일 수

표 1 실험 세부 사양

항목	값
Freq. of Sustaining pulse	200kHz
Energy Recovery Time	0.7usec
Energy Recovery Inductor	1uH
Sustaining Voltage	200V, -200V
Clamping Capacitor	1uF
Test Image	Full White

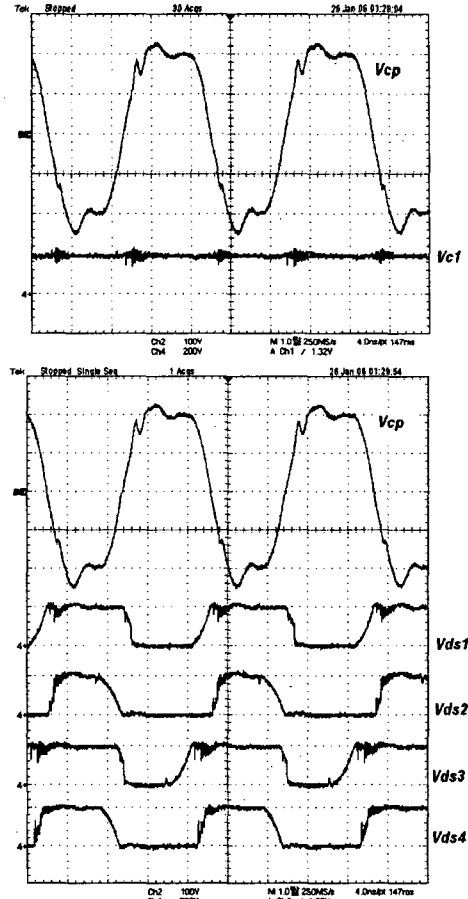


그림 7 제안회로의 실험 파형

있다. 또한 에너지 회수 회로의 클램핑 다이오드의 내압을 기존의 2V_S에서 V_S로 줄일 수 있다. 더불어 제안하는 회로는 V_S 및 -V_S 크기의 전압뿐만 아니라 0V 전압을 출력 할 수 있기 때문에 PDP 동작파형의 초기화 및 기입 구간에 필요한 GND 클램핑 스위치들을 제거할 수 있는 부가적인 장점이 있다. 또한 인덕터 L₁ 및 L₂에 의해 에너지 회수 경로가 분리되어 스위치 S₅ 혹은 S₆을 켤 때 발생하는 스위칭 손실을 저감하여 회로 효율을 더욱 향상시킬 수 있다.

참고 문헌

- [1] A. Sobel, "Plasma displays," IEEE Trans. Plasma Sci., vol. 19, pp. 1032 - 1047, Dec. 1991.
- [2] L. F. Webber and K. W. Warren, "Power efficient sustain drivers and address drivers for plasma panel," U.S. Patent 4 866 349, Sept. 1989.
- [3] 이준영, 이동영, "플라즈마 표시 장치와 플라즈마 표시 패널의 구동 장치 구동 방법," 대한민국 특허 10-2003-0076975, 2003년 10월 31일.