

## Six Switch를 적용한 Three-level PDP Sustain Circuit

남원석\*, 노정욱\*, 한상규\*, 홍성수\*, 사공석진\*, 양학철\*\*  
 \*국민대학교 전력전자연구소, \*\*삼성SDI(주) 중앙연구소

### Three-level PDP Sustain circuits with Six-switches

Won-seok Nam\*, Chung-wook Roh\*, Sang-kyu Han\*, Sung-soo Hong\*, Suk-chin Sakong\*,  
 Hak-chul Yang\*\*

\*Kookmin Univ. Power Electronics Center, \*\*Samsung SDI CO., LTD

#### ABSTRACT

본 논문에서는 AC Plasma display panel(AC-PDP) 구동을 위한 Six-switch를 적용한 Three-level PDP Sustain 회로를 제안한다. 제안 회로는 기존 회로의 Sustain 스위치와 Clamp 다이오드의 내압이 절반이 되어 특성이 우수한 반도체 소자의 채택이 가능하며, 환류 전류가 저감되어 높은 전력 효율을 가지는 장점을 가지므로 AC-PDP 구동 회로 설계에 매우 적합하다. 본 논문에서는 기존 회로와 제안 회로의 전도 손실 계산 및 시뮬레이션과 실험 결과를 보였다.

#### 1. 서론

최근 플라즈마 디스플레이 장치는 20인치에서 60인치사이의 벽걸이형 TV로 플라즈마 디스플레이를 많이 사용하여 왔다.<sup>[1]</sup> AC plasma display panel (PDP) driver 는 패널 gas discharge current 를 발생시키기 위해, 직류 전압을 교류파수의 교류 전압으로 바꾸는 'Sustain 회로'를 필요로 하는데 Full bridge type 이 가장 많이 사용되며, 패널 캐패시턴스의 충·방전 시 발생하는 스위치의 스위칭 손실은 상당히 큰 값으로서, 이를 개선하기 위해 ERC(Energy Recovery Circuits) 로 알려진 LC 공진회로 기술이 널리 사용되어왔다.<sup>[2]</sup> 하지만 인덕터가 패널과 공진을 끝마친 후 발생하는 환류 전류는 PDP 시스템 저효율의 한 원인이 된다 또한 PDP 는 발광 효율 높이기 위해 Xe 가스 함량을 높이고 Long-gap discharge 의 패널구조를 가짐에 따라 필요한 Sustain 전압은 점점 상승하고 있어서 (2005년도 삼성: 215V), 고전류·고내압의 고성능 반도체 소자가 필요하다.<sup>[3,4,5,6]</sup>

이에 본 논문에서 환류 전류는 저감되며, 반도체 소자 내압이 저감된 고효율의 저내압의 PDP Sustain 회로를 제안한다.

#### 2. 기존 PDP 구동회로와 제안 회로의 환류전류

다음의 그림 1(a) 는 기존 L. Webber 에 의해 제안된 PDP Sustain 회로도이다. 그림 1(b) 는 본 논문에서 제안한 PDP Sustain 회로도이다. 기존 회로의 환류 전류는 에너지 회수 회로(ERC)에 의해 패널 캐패시턴스( $C_p$ ) 와 반주기 공진을 통해 패널 전압이 상승 또는 하강을 하는데, 반주기 공진을 마치는 순간 인덕터  $L_p$  의 양단의 전압에 의해서 원치 않는 공진을 한다. 이렇게 인덕터에 발생된 역전류는 상당히 크며, 유지되는 특성이 있어 전도 손실이 발생된다.

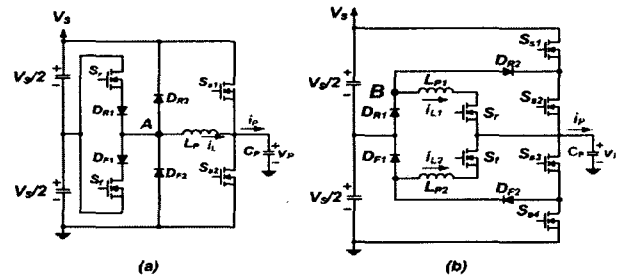


그림 1 (a) 기존 PDP Sustain 회로도 (b) 제안 PDP Sustain 회로도

그림 2 는 기존 회로의 주요 전압 전류 파형도이다. 그림 3 은 구간  $[t_{1a} \sim t_{1b}]$  와 구간  $[t_{1b} \sim t_2]$ 에서 발생하는 환류 전류를 해석하기 위한 등가회로이다. ERC 다이오드는 도통저항  $R_{d,ER}$ , 도통 전압  $V_{d,ER}$  을 가지며, 차단 시 병렬 기생 캐패시터  $C_{d,ER}$  가 있는 이상적인 다이오드로 가정한다. (Clamping 다이오드는  $R_{d,C}$ ,  $V_{d,C}$ ,  $C_{d,C}$ ) ERC(Energy recovery circuits) 스위치는 도통저항  $R_{ds,on}$ , 출력 기생 캐패시턴스  $C_{ds,ER}$  (Sustain 스위치는  $R_{ds,Sus}$ ,  $C_{d,Sus}$ )과 Body diode 가 존재하는 이상적인 스위치 소자로 가정한다. 여기에서  $C_{eq} \approx C_{d,ER} + 2C_{d,C} + C_{ds,ER}$  이고,  $R_{Cir} \approx R_{d,C} + R_{ds,Sus}$  이다.

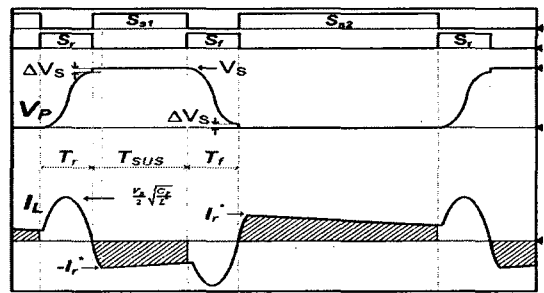


그림 2 기존 Sustain 회로의 주요 전압·전류 파형도

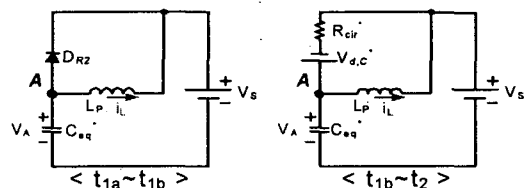


그림 3 기존 회로의 환류 전류 해석을 위한 등가 회로

구간  $[t_{1a}-t_{1b}]$  동안  $L_P$  에 흐르는 전류  $i_L^*$  과 전압  $V_A$  는 다음과 같다.

$$V_A(t) = V_S(1 - 1/2 \cos \omega_{n,A} t), \quad i_L(t) = -\frac{V_S}{2} \left( \sqrt{L^*/C_{eq}^*} \right)^{-1} \sin \omega_{n,A} t$$

여기에서  $\omega_{n,A} = 1/\sqrt{L^* C_{eq}^*}$  이다.

구간  $[t_{1b}-t_2]$  는  $V_A$  전압이  $V_S$  가 되어 다이오드  $D_{R2}$  가 도통이 되는 시점부터 시작된다. 여기에서  $t_{1b}-t_{1a} = \pi \sqrt{L^* C_{eq}^*}/2$  가 된다.

$$i_L(t) = \frac{V_{d,C}}{R_{Cr}} - \left( \frac{V_S}{2} \left( \sqrt{\frac{C_{eq}^*}{L^*}} \right) + \frac{V_{d,C}}{R_{Cr}} \right) e^{-\frac{R_{Cr}}{L} t}$$

### 2.1 제안 PDP 구동회로의 동작 원리

ERC 다이오드는 도통 저항  $R_{d,ER}$ , 도통 전압  $V_{d,ER}$  의 값을 가지며 차단 시 병렬 기생 캐패시터  $C_{d,ER}$  가 있는 이상적인 다이오드로 가정한다. (Clamp 다이오드는  $R_{d,C}$ ,  $V_{d,C}$ ,  $C_{d,C}$ ) ERC 스위치는 도통 저항  $R_{ds,ER}$ , 출력 캐패시터  $C_{ds,ER}$  와 Body diode 가 존재하는 이상적인 스위치로 가정한다. (Sustain 스위치는  $R_{ds,Sus}$ ,  $C_{ds,Sus}$ )  $L_{P1}=L_{P2}=L$  이다.

그림 4 는 제안 회로의 주요 전압·전류 파형도이다.

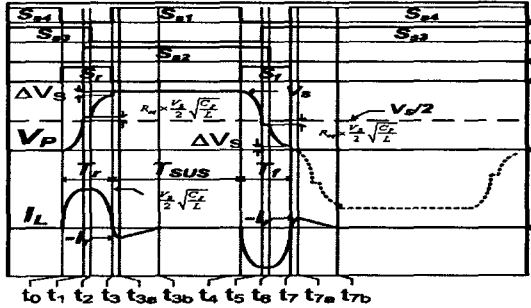


그림 4 제안 Sustain 회로의 주요 전압·전류 파형도

구간별 동작은 다음과 같다.

**Mode 0**  $[t_0$  이전] : 스위치  $S_{s1}$  와  $S_{s3}$  가 도통되어 있어, 패널 전압은 0V 인덕터  $L_P$  에 흐르는 전류는 0A 로 유지한다.

**Mode 1**  $[t_0-t_1]$  : 스위치  $S_{s1}$  가 차단,  $S_r$  이 도통되고 전류 경로는  $V_S/2-D_{R1}-L_{P1}-S_r-C_P$  와 같이 형성되어 공진을 한다. 패널의 전압과 인덕터 전류는 다음과 같다.

$$v_P(t) = \frac{V_S}{2} \left( 1 - e^{-\zeta \omega_d t} \cos \omega_d t - \frac{\zeta e^{-\zeta \omega_d t}}{\sqrt{1-\zeta^2}} \sin \omega_d t \right)$$

$$i_P(t) = \frac{V_S e^{-\zeta \omega_d t}}{2L\omega_d} \sin \omega_d t$$

여기서  $\omega_n = 1/\sqrt{LC_P}$ ,  $\zeta = R_{eq} \sqrt{C_P/L}$  그리고  $\omega_d = \omega_n \sqrt{1-\zeta^2}$  이다.  $R_{eq}$  는 전류 경로 상에 보이는 기생 저항성분의 총 합을 나타낸다.

**Mode 2**  $[t_1-t_2]$  : 패널 전압  $V_P$  가  $V_S/2$  가 되어, 다이오드  $D_{F1}$  와  $D_{F2}$  가 도통이 된다. 이때 전류 경로는  $L_{P1}-S_r-S_{s3}-D_{F1}-D_{F2}$  의 경로를 형성하여 인덕터  $L_{P1}$  양단 전압은  $R_{eq} V_S \sqrt{C_P L}/2$  이 되나, 이 구간의 시간  $t_{21}$  은 매우 짧

은 시간으로서  $i_{L1}$  전류는 일정하게 유지한다. 이때 패널 전압  $V_P$  는  $V_S/2 + R_{eq} V_S \sqrt{C_P L}/2$  를 유지한다.

**Mode 3**  $[t_2-t_3]$  : 스위치  $S_{s2}$  가 도통된 상태에서, 스위치  $S_{s3}$  가 차단이 되어 Mode 1 의 나머지 공진을 진행한다. 패널의 전압과 인덕터 전류는 다음과 같으며, 패널 전압은 0V 에서  $V_S - \Delta V_S$  까지 상승한다.

$$v_P(t) = \frac{V_S}{2} \left( 1 - e^{-\zeta \omega_d t} \cos(\omega_d + 4/\pi)t - \frac{\zeta e^{-\zeta \omega_d t}}{\sqrt{1-\zeta^2}} \sin(\omega_d + 4/\pi)t \right)$$

$$i_P(t) = \frac{V_S e^{-\zeta \omega_d t}}{2L\omega_d} \sin(\omega_d + 4/\pi)t$$

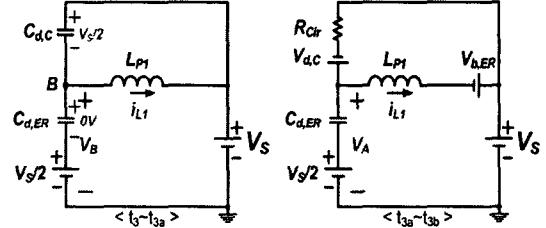


그림 5 제안 회로의 환류 전류 해석을 위한 등가 회로

구간  $[t_3-t_{3a}]$  : 그림 5 에서의 등가 회로와 같이 나타내지며, 인덕터  $L_{P1}$  와 노드 B 에서 보이는 등가 캐패시터는 그림과 같이 초기값을 가지고 공진을 시작한다. 이때 인덕터에 흐르는 전류  $i_{L1}$  과 전압  $V_B$  는 다음과 같다.

$$i_L(t) = -V_S/2 \sqrt{\frac{L}{C_{eq}}} \sin \omega_{n,B} t \quad (3.9)$$

$$V_B(t) = V_S(1 - 1/2 \cos \omega_{n,B} t) \quad (3.10)$$

여기에서  $\omega_{n,B} = 1/\sqrt{LC_{eq}}$ ,  $C_{eq} \approx C_{d,C} + C_{d,ER}$  이고  $R_{Cr} \approx R_{d,C} + R_{ds,Sus} + R_{ds,ER}$  이다.

구간  $[t_{3a}-t_{3b}]$  :  $V_B$  전압이  $V_S$  가 될 때 이 구간의 등가회로와 같이 되며 다이오드  $D_{R2}$  와 에너지 회수 스위치  $S_r$  의 Body diode 가 도통된다. 이 순간의 인덕터 전류 크기  $I_r = \frac{V_S}{2} \sqrt{\frac{C_{eq}}{L}}$  가 되고 인덕터 양단 전압은 근사적으로 다이오드  $D_{R2}$  의 도통 전압  $V_{d,C}$  와 MOSFET 의 Body diode 의 도통 전압  $V_{b,ER}$  의 합과 같다. 이 구간 동안 전압  $V_B$  는  $V_S$  로 일정하며 인덕터에 흐르는 전류  $i_{L1}$  은 다음과 같다.

$$i_L(t) = \frac{V_{d,C} + V_{b,ER}}{R_{Cr}} - \left( \frac{V_S}{2} \sqrt{\frac{C_{eq}}{L}} + \frac{V_{d,C} + V_{b,ER}}{R_{Cr}} \right) e^{-\frac{R_{Cr}}{L} t}$$

**Mode 4**  $[t_{3b}-t_4]$  : 스위치  $S_{s1}$  이 도통되어 패널 전압은  $V_S$  를 유지한다. 이때 인덕터  $L_{P1}$  에 흐르는 전류는 기생 캐패시터와의 공진을 통해 발생하여 다이오드  $D_{R2}$  가 도통되어 환류전류를 발생시킨다.

**Mode 5**  $[t_4-t_5]$  : 스위치  $S_{s1}$  이 차단,  $S_r$  가 도통되어 전류 경로는  $C_P-S_r-L_{P2}-D_{F1}-V_S/2$  와 같이 형성되어 공진을 한다. 이때 패널의 전압과 인덕터 전류는 다음과 같다.

$$v_P(t) = \frac{V_S}{2} \left( 1 + e^{-\zeta \omega_d t} \cos \omega_d t + \frac{\zeta e^{-\zeta \omega_d t}}{\sqrt{1-\zeta^2}} \sin \omega_d t \right)$$

$$i_P(t) = -\frac{V_S e^{-\zeta \omega_d t}}{2L\omega_d} \sin \omega_d t$$

**Mode 6 [ $t_5-t_6$ ]** : 패널 전압  $V_P$  는  $V_S/2 - R_{eq} V_S \sqrt{C_P L}/2$  가 되어 다이오드  $D_{R1}$  와  $D_{R2}$  가 도통이 된다. 이때 전류 경로는  $L_{P1}-D_{F1}-D_{R1}-D_{R2}-S_{S2}-S_f$  의 경로를 형성하여 인덕터  $L_{P1}$  양단 전압은  $R_{eq} V_S \sqrt{C_P L}/2$  이 되나, 이 구간의 시간  $t_{05}$  는 매우 짧은 시간으로서  $i_{L2}$  전류는 일정하게 유지한다.

**Mode 7 [ $t_6-t_7$ ]** : 스위치  $S_{S3}$  가 도통된 상태에서, 스위치  $S_{S2}$  가 차단이 되어 Mode 5 의 나머지 공진을 진행한다. 패널의 전압과 인덕터 전류는 다음과 같고, 이 구간 동안 패널 전압은  $0V$  에서  $\Delta V_S$  까지 하강한다.

$$v_p(t) = \frac{V_S}{2} \left( 1 + e^{-\zeta \omega_d t} \cos(\omega_d + 4/\pi)t + \frac{\zeta e^{-\zeta \omega_d t}}{\sqrt{1-\zeta^2}} \sin(\omega_d + 4/\pi)t \right)$$

$$i_p(t) = -\frac{V_S e^{-\zeta \omega_d t}}{2L\omega_d} \sin(\omega_d + 4/\pi)t$$

**Mode 8 [ $t_7-t_8$ ]** :  $t_7-t_8$  구간동안의 동작은 구간 [ $t_3-t_3b$ ] 와 같다. 스위치  $S_{S4}$  가 도통되어 패널 전압은  $0V$  를 유지한다.

### 3. 실험

기존 회로 및 제안회로에 사용된 소자는 다음과 같다. 시뮬레이션에 사용된 스위치는 IRF250을 다이오드는 MBR1545 를 사용하였으며, 실험에 사용된 Sustain 스위치는 IXTK102N30P, ER 스위치는 IXTK62N25, ER 다이오드는 DSEK60-02 그리고 DSEC60-02를 사용하였다. 표 1 은 시뮬레이션과 실험을 위한 조건과 전력 손실 비교 표이다. 그림 6 과 그림 7은 각각 기존 회로와 제안 회로의 시뮬레이션 결과 파형이다. 그림 8 은 실험 결과 파형도이다.

표 1 기존회로 및 제안회로의 조건과 전력 손실 표

|       | $T_S$<br>[ $\mu s$ ] | $T_{P1}$<br>[ns] | $T_{SUS}$<br>[ $\mu s$ ] | $T_{OND}$<br>[ $\mu s$ ] | $T_{FRAME}$<br>[ms] | $T_{PULSE}$<br>[ $\mu s$ ] | 계산된<br>전력손실 | 측정된<br>전력 손실 |
|-------|----------------------|------------------|--------------------------|--------------------------|---------------------|----------------------------|-------------|--------------|
| 기존 회로 | 5                    | 500              | 1.5                      | 2.5                      | 19.2                | 4.8                        | 9.5W        | 13W          |
| 제안 회로 | 6                    | 600              | 1.4                      | 2.5                      | 19.2                | 4.8                        | 9.2W        | 9.6W         |

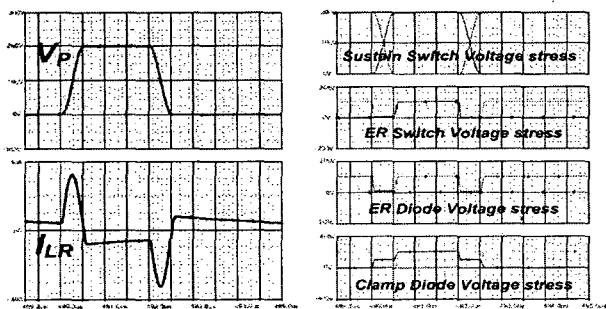


그림 6 기존 회로의 시뮬레이션 결과 주요 파형도

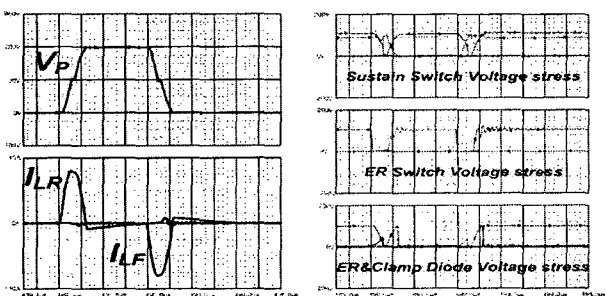


그림 7 제안 회로의 시뮬레이션 결과 주요 파형도

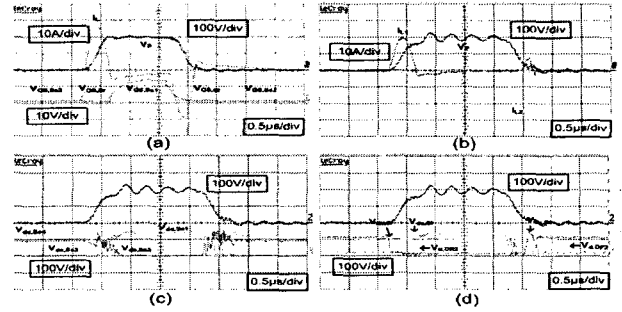


그림 8 (a) 기존 회로의 패널 전압 및 스위칭 구동 전압  
(b) 제안 회로의 패널 전압과 인덕터 전류  
(c) 제안 회로의 Sustain 스위치 양단 전압  
(d) 제안 회로의 ER 스위치 및 Clamp 다이오드 양단 전압

### 4. 결과

본 논문에서는 기존 회로에 비해 두 가지 장점을 가지는 PDP Sustain 회로를 제안하였다. 첫 번째는 환류 전류 (Circulating current) 가 줄어들었다. 두 번째는 Sustain 스위치와 Clamp 다이오드의 내압이 기존 회로에 비해 모두 약 2/3 로 줄어들었다. 이는 Sustain 전압이 커짐에 따른 소자의 가격 절감 효과를 얻을 수 있는 가능성이 있으며, Sustain 전압 상승 추세에 따른 대응이 가능하다는 것이다. 제안 회로는 AC-PDP 구동 회로에 적합하다 할 수 있다.

이 논문은 삼성SDI의 연구비 지원에 의하여 연구되었습

### 참고 문헌

- [1] Sang-Kyoo Han, Jun-Young Lee, Gun-Woo Moon, Myung-Joong Youn, Chang-Bae Park, Nam-Sung Jung, and Jung-Pil Park "A New High-Efficient Energy-Recovery Circuit for Plasma Display Panel", 전력전자학회 논문지 제 7권 제 2호 2002년 4월 pp.121-128.
- [2] L.F.Webber and M.B.Wood, "Energy Recovery Sustain Circuit for the AC Plasma Display", 1987 SID Int. Symposium, New Orleans, pp. 92-95.
- [3] Hyun Kim, et al, "Long Gap discharge characteristics based on control of voltage distribution among three electrodes for positive column AC-PDPs", 2003 SID Digest, pp. 40- 43.
- [4] Y.Hashimoto, et. al. "Invited paper:High-Luminance and highly muninous-efficient AC-PDP with DeTA cell structure", 2001 SID Digest, pp.1328-1331.
- [5] Chung-Wook Roh, Member, IEEE , Sung-Soo Hong, Seokchin-Sagong, "High performance energy recovery sustain circuit for plasma display panel with half the low device voltage ratings" ISCE 2005 p.456~p.461.
- [6] Chung-Wook Roh, Member, IEEE, Hye-Jeong Kim, Sang-Hoon Lee, and Myung-Joong Youn, Senior Member, IEEE "Multilevel Voltage Wave-Shaping Display Driver for AC Plasma Display Panel Application" IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 38, NO. 6, JUNE 2003 p.935~p.947.