

초기 기동과 출력단 단락시 드레인 전류의 과도한 상승 방지 방법

구관본, 김진태, 이재훈
페어차일드코리아반도체(주)

A Method for Suppression of Drain Current during Start-up and Short-Circuit Condition of Output Terminals

Gwan-Bon Koo, Jin-Tae Kim, J-Hoon Lee
Fairchild Korea Semiconductor Co. Ltd.

ABSTRACT

대부분의 컨버터들은 초기 기동시에 MOSFET 전류와 전압의 과도한 상승을 막아주기 위해서 Soft Start 기능을 갖고 있다. 하지만 제어기 내부의 지연시간이나 LEB(Leading Edge Blanking) 시간 등으로 인해 MOSFET은 무시할 수 없는 상당한 기간의 최소 턴온 시간(Minimum Turn-on Time)을 갖게 되고, 이로 인해 드레인 전류가 과도하게 상승하는 현상을 보이게 된다. 본 논문에서는 이런 현상이 발생할 수 있는 초기 기동이나 출력단 단락시에 과도한 드레인 전류의 상승을 막아주는 방법을 제시하고자 한다.

1. 서론

최근 수많은 전력용 반도체 회사들이 생산, 판매하는 제품 중에는 SMPS(Switching Mode Power Supply)를 제작할 때에 추가되는 부품들을 최소한으로 줄여줄 수 있도록 스위칭 소자와 제어 소자가 하나의 패키지에 구성된 제품들이 있다. 페어의 FPS™(Fairchild Power Switch) 시리즈^[1]가 바로 이와 같은 제품인데, 이는 스위칭 소자(주로 MOSFET)와 제어 소자가 하나의 패키지로 구성되어 있으므로 기존의 MOSFET 단품과 Control IC를 분리해서 사용하는 경우에 비해서 주변 부품이 적게 사용될 뿐만 아니라 각종 보호 기능들도 내장되어 있으므로 전체적인 시스템의 효율과 신뢰도를 높이는 데에 매우 유리하다.^[2] 특히 시스템의 제어를 위해 스위칭 소자에 흐르는 전류를 감지할 때, 손실이 많은 Sensing Resistor를 MOSFET에 직렬로 사용하는 대신 스위칭 소자로서 SenseFET을 사용하므로 보다 정확하고 효율적인 전류 감지가 가능하다.

한편 2차측 다이오드의 역회복 전류라든가 각종 기생적인 캐패시터에 의해 스위칭 소자는 턴온 순간에 상당한 크기의 Leading Edge Current가 흘러서 원하지 않는 시점에서 스위칭 소자가 턴오프할 수 있다. 이런 오동작을 방지하기 위해서 FPS는 내부에 LEB 시간(Leading Edge Blanking Time: t_{LEB})을 확보하고 있다. 즉, 이 시간 내에 감지되는 드레인 전류 신호는 무시하고, 이 시간이 끝난 뒤에 감지되는 신호에 의해서 제어기가 정상적으로 반응하도록 하는 것이다.^[1]

그러나 LEB 시간은 제어기 내부의 각종 전달 지연 시간(Propagation Delay Time: t_{pd})과 더불어 FPS의 최소 턴온 시간(Minimum Turn-on Time)을 증가시키는 역할을 하게 된다. 내부 Oscillator에 의해서 일단 SenseFET이 턴온되고나면, 출

력측의 상황에 의해서든 각종 보호 기능들에 의해서든 제어단에서 아무리 빨리 스위칭 소자를 턴오프시키려 해도 최소 턴온 시간 동안은 무조건 전류가 흐르게 되는 것이다.

초기 기동 상황이나 출력단이 단락된 상황 등에서는 feedback에 의해서 모니터링하는 출력전압의 값과는 상관없이 드레인 전류의 최대값이 제한되게 되는데, 이때 최소 턴온 시간에 의해서 드레인 전류가 제한된 최대값을 넘어서도 계속 흐르게 되는 문제가 발생할 수 있다.

본 논문에서는 최소 턴온 시간에 의해서 드레인 전류가 과도하게 상승할 수 있는 상황, 즉 초기 기동이나 출력단 단락과 같은 상황에서도 드레인 전류의 과도한 상승을 막아서 트랜스포머의 포화에 의한 IC 손상을 막을 수 있는 방법을 제시하고자 한다. 본 논문의 개념이 들어간, 현재 개발 중인 제품의 소개와 함께 실제 파형을 보여줌으로써 제시하는 방법의 타당성을 검증한다.

2. 본론

2.1. 최소 턴온 시간(Minimum Turn-on Time)

아래의 그림 1은 FPS의 간략화된 내부 블록 다이어그램을 보여준다. 전류모드제어(Current Mode Control)로서 feedback loop로부터 생성된 feedback 전압(V_{FB})과 SenseFET에 흐르는 전류의 최대값을 직접 비교하면서 제어하는 방법이다.

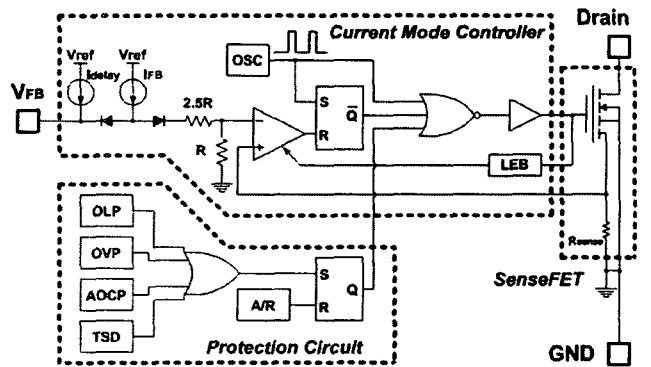


그림 1 FPS의 간략화된 내부 블록 다이어그램
Fig. 1 Simplified Block Diagram of FPS

Oscillator(이하 OSC)의 falling edge에 의해서 턴온된

SenseFET은 과부하, 과전압, 과전류, 과발열 등의 이상 현상을 나타내는 순간에 동작하는 각종 보호 기능들에 의해서가 아니라면 정상적으로 드레인 전류의 최대값이 V_{FB} 과 같아지는 순간에 턴오프하게 된다. 하지만 전술한 바와 같이 드레인 전류는 2차측 다이오드의 역회복 전류나 각종 기생 캐패시터에 의해서 상당한 크기의 Leading Edge Current가 흐르게 되고, 이 전류에 의해서 원하지 않는 시점에서 SenseFET이 턴오프될 수 있다. FPS에서는 이런 오동작을 방지하기 위해서 200~300ns 정도의 t_{LEB} 를 확보하고 있다.

그리고, 드레인 전류의 최대값이 V_{FB} 과 같은 시점이 되어도 SenseFET은 실제로 바로 턴오프할 수가 없다. 이유는 그 두 값을 비교하는 비교기의 지연, SR latch, logic gate, gate driver 등의 지연, 그리고 SenseFET을 턴오프하는데 소요되는 시간 등이 모두 더해져서 t_{PD} 을 형성하게 되므로, 실제 SenseFET은 드레인 전류의 최대값이 V_{FB} 과 같아진 뒤에도 t_{PD} 이 흐른 뒤에야 턴오프할 수 있는 것이다. 이 값이 t_{LEB} 와 함께 FPS의 최소 턴온 시간을 형성하게 된다.

아래의 그림 2는 초기 기동 상황에서 최소 턴온 시간에 의해서 발생할 수 있는 문제점을 보여준다. 대상이 되는 토폴로지는 단순하고 저렴해서 가장 폭넓게 사용되는 Flyback이다. 그림 2에서 I_d 는 드레인 전류, I_{diode} 는 2차측 다이오드 전류, V_{DL} 은 DC link 전압, L_m 은 자화 인덕턴스, V_o 는 출력전압, D_{max} 는 최대 시비율, 그리고 $t_{ON,min}$ 은 최소 턴온 시간이다.

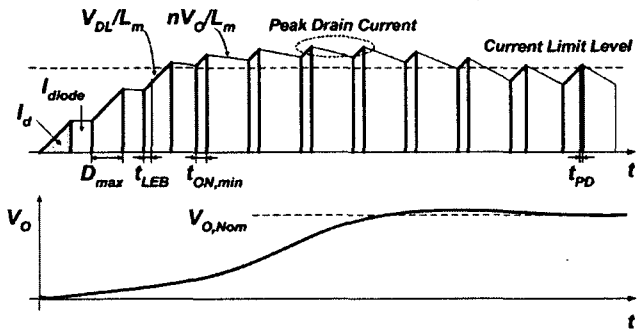


그림 2 초기 기동 상황에서의 드레인 전류와 출력 전압
Fig. 2 Drain Current and Output Voltage during Start-up

AC switch가 턴온되어서 FPS의 V_{CC} 캐패시터가 충전되고, FPS 내부의 제어 부분 블록들이 모두 동작을 하게 되면, OSC에 의해서 SenseFET이 턴온한다. 이때, 출력전압은 당연히 0V이므로 SenseFET은 내부에 미리 정해져 있는 최대 시비율 (D_{max})까지 턴온을 유지하게 된다. 그동안 드레인 전류는 V_{DL} 에 비례하는 기울기로 상승한다. D_{max} 에 의해서 SenseFET이 턴오프하고나면 트랜스포머에 저장되어 있던 에너지가 2차측의 다이오드를 통해서 출력측으로 전달되게 되는데, 이때 다이오드에 흐르는 전류의 기울기는 출력전압에 비례하게 된다. 하지만 출력 전압이 거의 0V이므로 2차측 다이오드의 감소하는 기울기는 위 그림의 첫 번째 pulse와 같이 거의 0이 된다. 그 다음 스위칭은 위의 그림과 같이 DC 값을 가진 채로 시작하게 되고, 첫 번째 pulse와 같은 이유로 D_{max} 동안 켜져 있고, 감소하는 기울기는 매우 완만하다.

일반적으로, 초기 기동 구간 동안 드레인 전류가 과도하게 상승하는 것을 막아주기 위해서 임의의 Current Limit Level을 잡아주게 된다. 즉, 드레인 전류가 Current Limit Level보다 같거나 커지면, SenseFET은 강제로 턴오프되는 것이다. 위 그림

의 세 번째 pulse 역시 출력전압이 적기 때문에 D_{max} 동안 켜져 있으려고 하다가 Current Limit Level을 만나서 t_{PD} 만큼 동안만 더 턴온을 유지한 뒤에 꺼지게 된다. 세 번째 스위칭이 끝난 뒤에도 여전히 출력전압은 매우 적으므로, 2차측 다이오드를 통해서 감소하는 기울기는 완만하다.

이제 네 번째 pulse가 OSC에 의해서 시작되는 상황을 살펴보자. 이때는 이미 드레인 전류가 Current Limit Level을 넘어서 시작했기 때문에, 이상적인 경우라면 SenseFET은 바로 턴오프를 해야 한다. 하지만, 전술한 바와 같이 t_{LEB} , 그리고 t_{PD} 에 의해서 일정시간, 즉 $t_{ON,min}$ 동안은 턴온을 유지할 수밖에 없으므로, 그 시간 동안은 드레인 전류가 Current Limit Level을 넘어서 지속적으로 상승할 수밖에 없는 것이다. 출력전압이 충분히 충전되어서 2차측 다이오드의 전류 기울기가 드레인 전류의 상승 기울기보다 더 커지게 될 때까지 이런 현상은 계속 진행된다.

결과적으로 드레인 전류는 내부에 미리 정해진 Current Limit Level을 넘어서 흐르게 된다. 이 현상은 $t_{ON,min}$ 이 크면 클수록 더욱 심하게 나타난다. 만약 트랜스포머를 내부에 미리 정해진 Current Limit Level에서 약간의 margin을 두고 설계했다면, 이런 현상이 발생할 때, 트랜스포머의 포화가 일어날 수 있고, 마침내 스위칭 소자의 파괴를 불러올 수 있는 것이다. 또한 이런 현상은 초기 기동 시에만 일어나는 것이 아니라 출력단이 단락되는 경우에도 마찬가지로 발생한다. 출력단이 단락되면, 출력전압이 0V가 되므로, 2차측 다이오드에 의해서 하강하는 기울기가 거의 사라지게 되고, 따라서 드레인 전류는 전술한 바와 같이 Current Limit Level을 넘어서게 된다.

아래의 그림 3은 초기 기동시에 Soft Start 기능이 있음에도 불구하고, 위와 같은 이유로 드레인 전류가 과도하게 상승하는 경우를 보여준다.

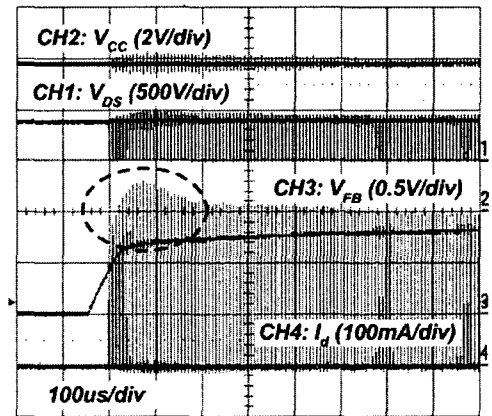


그림 3 초기 기동 상황에서 드레인 전류
Fig. 3 Drain Current during Start-up

2.2. 과도한 드레인 전류 상승 방지 방법

앞 절에서 살펴본 바와 같이 드레인 전류가 과도하게 상승하는 원인은 t_{LEB} 와 t_{PD} 의 합, 즉 $t_{ON,min}$ 이 존재하기 때문이다. 이 시간을 완전히 없애는 것은 불가능하다고 해도, 초기 기동이나 출력단 단락과 같은 상황에서 이 시간을 줄여줄 수 있다면 드레인 전류의 상승폭을 감소시켜줄 수 있을 것이다.

최소 턴온 시간을 줄여주는 방법은 우선 t_{PD} 를 줄이는 방법을 생각할 수 있으나, 이는 IC 내부를 디자인하는 과정에서 필연적으로 발생하는 지연 시간이기 때문에 쉽게 줄일 수가 없

다. 다른 방법으로는 t_{LEB} 를 줄여주는 방법이 있다. 이 경우 커다란 Leading Edge Current에 의해 원하지 않는 지점에서 스위칭 소자가 턴오프할 수 있는 문제가 있다. 하지만 이때 gate drive 전류를 증가시킨다면, SenseFET이 켜지는 시간이 감소하게 되고 따라서 Leading Edge Current의 폭이 감소하게 되어 t_{LEB} 가 줄어들어 따른 원하지 않는 턴오프를 방지할 수 있다.

초기 기동 시간동안 발생하는 드레인 전류의 과도한 상승은, 초기 기동 시간이 이미 IC 안에 설계가 되므로, 그 시간동안 t_{LEB} 를 줄이고, gate drive 전류를 증가시키면 막아줄 수 있으나, 출력단이 단락되는 경우에 대해서는 출력단이 단락되었다는 정보를 얻는 방법에 대한 추가적인 회로가 필요하다. 아래의 그림 4는 출력단 단락 상황을 파악하는 간단한 회로이다.

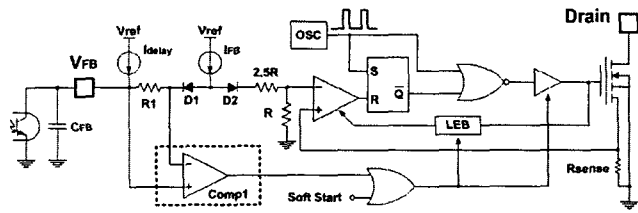


그림 4 출력단 단락 상황을 파악하는 회로
Fig. 4 A Circuit for detecting the Output Short Condition

우선은 R1과 Comp1이 없는 경우에 대해서 설명하자. 일반적으로 I_{FB} 에 비해서 I_{delay} 는 매우 작은 전류원이므로 컨버터가 정상동작을 할 때는 I_{delay} 를 무시하고 생각할 수 있다. 정상적인 동작을 할 때는 I_{FB} 에 의해서 V_{FB} 핀에 연결된 캐패시터 C_{FB} 를 충전하고, 이와 병렬로 연결되어 있는 Opto-Coupler에 의해서 C_{FB} 를 방전하면서 출력 전압을 제어하게 된다. 하지만 과부하 상황이 되거나 혹은 출력단이 단락되게 되면, Opto-Coupler는 더 이상 C_{FB} 를 방전할 수 없으므로, I_{FB} 은 지속적으로 C_{FB} 를 충전하게 된다. C_{FB} 는 $I_{FB} \times (2.5R + R)$ 까지는 I_{FB} 에 의해서 충전되다가 그 이후부터는 D1이 역바이어스되므로, 오로지 I_{delay} 에 의해서 천천히 충전되게 된다.

만약 R1을 위와 같이 삽입한다면, 정상적인 동작을 하는 동안에는 I_{FB} 이 D1을 통해서 흐르게 되므로, R1 양단의 전압에 의해 Comp1의 출력은 항상 Low가 될 것이다. 하지만, 과부하 상황이나 출력단 단락 상황이 되면, D1이 역바이어스되고, C_{FB} 은 I_{delay} 에 의해 충전되므로, Comp1 양단의 전압 극성이 바뀌어서 High를 출력한다. 이 신호에 따라서 t_{LEB} 를 줄이고, gate drive 전류를 증가시키면, 출력단이 단락되는 상황에서도 드레인 전류의 과도한 상승을 막아줄 수 있게 되는 것이다.

2.3. 실험결과

아래의 그림 5는 t_{LEB} 가 약 360 ns, t_{pd} 가 약 40 ns 정도 되는 FPS로 구성된 컨버터의 출력단이 단락되는 경우에 드레인 전류가 어떻게 상승하는가를 보여준다. 짧은 시간 동안 출력 전압은 0V로 방전되고, 그에 따라서 V_{FB} 이 상승을 한다. V_{FB} 이 약 3V를 넘으면 드레인 전류는 더 이상 상승하지 않고, 내부에 미리 정해져있는 I_{LM} (이 경우는 280 mA)이라는 값을 유지해야 한다. 하지만, V_{FB} 에 의해서 IC가 shut down 될 때까지 최소 턴온 시간 400 ns에 의해서 I_{LM} 을 넘어서는 전류가 계속 흐르는 것을 볼 수 있다. 이 경우 만약에 트랜스포머를 약 300 mA에서 포화되도록 설계했다면, 출력단이 단락되는 상

황에서 IC가 파손되는 직접적인 원인이 될 수 있다. 반대로 말하자면, 트랜스포머의 포화를 피하기 위해서는 더 큰 사이즈의 코어를 사용해야 함을 의미한다.

그림 6은 출력단이 단락되는 상황을 파악하는 회로를 첨가해서 t_{LEB} 를 360 ns에서 260 ns로 줄여주는 기능을 덧붙인 경우의 실험파형이다. 그림 5에 비해 다소 줄여진 최소 턴온 시간에 의해서 드레인 전류 역시 감소했음을 볼 수 있다.

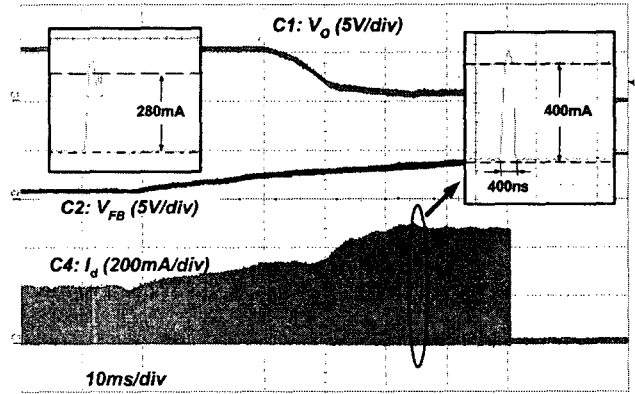


그림 5 출력단 단락 상황에서 최소 턴온 시간이 큰 경우
Fig. 5 A Case for the Large Minimum Turn-On Time under the Output Short Condition

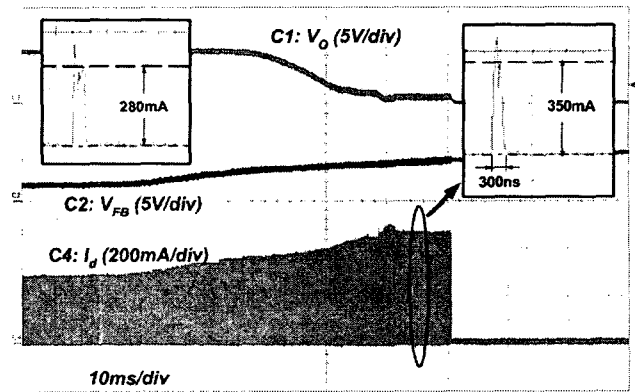


그림 6 출력단 단락 상황에서 최소 턴온 시간을 줄인 경우
Fig. 6 A Case for the Reduced Minimum Turn-On Time under the Output Short Condition

3. 결론

본 논문에서는 초기 기동 상황이나 출력단이 단락되는 경우에 최소 턴온 시간에 의해서 드레인 전류가 급격하게 상승하는 것을 방지해주는 방법 및 그 구현 방법을 살펴보았다. 제시하는 기능이 첨가된 FPS에 대해서 실제 실험을 통해 그 효과를 검증했다. 본 기술로 인해 향후 개발되는 FPS들의 보호 기능이 좀 더 높은 신뢰성을 확보할 수 있을 것으로 기대한다.

참고 문헌

- [1] "FSDM0365RN", Fairchild datasheet
- [2] 구관본, "Power Switch의 보호 기능", 전력전자학회지, 제 10 권, 제 1 호, pp. 18-21, 2005.