

# PDP 유지 전원단을 위한 고효율 Single-stage PFC Flyback Converter

유광민 임성규 이준영  
단국대학교

## A High Efficiency Single-Stage PFC Flyback for PDP Sustaining Power Module

Kwang-Min Yoo, Sung-Kyoo Lim, Jun-Young Lee  
Dankook University

### ABSTRACT

A low cost PDP sustain power supply is proposed based on flyback topology. By using Boundary Conduction Method(BCM) to control input current regulation, DCM condition can be met under all load conditions. Another feature of the proposed method is that a excessive voltage stress due to the link voltage increase can be suppressed by removing link capacitor and suggest new 'Level-shifting switch driver'. this new gate driver is improved 66% of efficiency than switching loss of a existed push-pull amplifier. The proposed converter is tested with a 400W(200V-2A output) prototype circuit.

### 1. 서론

AC PDP는 1964년 일리노이 대학에서 발명된 이래로 PDP의 기술은 빠르게 성장되어 왔고 넓은 시야각, 대화면, 고 휘도, 얇은 두께 등의 장점을 가지고 있어 평판 디스플레이 (Flat Panel Display) 시장에서 각광을 받고 있다. PDP TV의 시장 점유율은 대화면 TV 시장에서 점점 넓혀가고 있지만, 경쟁관계에 있는 다른 FPD들보다 여전히 높은 가격이다.<sup>[1]</sup> 이는 PDP에서 풀어야 할 가장 중요한 문제로 남아 있다. PDP의 동작은 Reset, Addressing, Sustaining 의 이 세 가지 구간으로 구성되어있고, 그 중 sustain 동작을 위한 전원이 전체 전력의 80%이상을 담당한다.<sup>[5]</sup> 그리고 PDP의 각 셀의 계조표현은 Sustain의 펄스 수에 의해서 조절이 된다. 하지만 패널의 낮은 효율 때문에 전체 영상의 계조표현을 구현하기 위해서는 많은 pulse의 수가 필요하게 된다.<sup>[2]</sup> 이 많은 pulse에 의하여 드라이빙 회로의 부하 전류가 subfield의 변화와 표현하려는 영상에 따라서 전류가 심하게 변동을 한다. 이 때문에 Sustain에 인가되는 총 펄스의 수가 PDP의 소비전력을 결정하게 된다. 또한 영상의 품질과 방전 마진이 sustain 전압에 의해서 심각하게 영향을 받기 때문에 PDP sustain 파워 모듈은 Dynamic load change시에 좋은 전압 regulation을 가져야 한다는 제약이 따른다. 이 요구를 충족하기 위해 가장 널리 쓰이는 방법 중 하나는 two-stage 구동방법이다. 그림 1에 도시한 기존의 two-stage구동방법은 입력전류의 harmonic을 줄이기 위한 PFC단과 출력전압을 안정적으로 유지를 해주는 DC/DC 컨버터단인 2단 직렬 구조를 가지고 있다. 이것은 고역률과 빠른

출력 전압 안정화와 같은 좋은 성능을 보여주기도 하지만, 부가적인 반도체 스위치와 컨트롤 회로의 증가를 가져오고 따라서 비용이나 부피가 증가하게 된다.

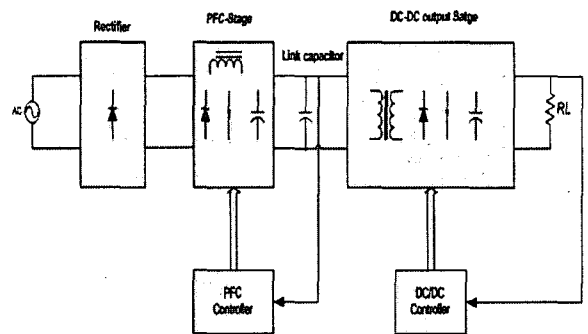


그림 1 2단구조의 PFC 컨버터  
Fig. 1 Two-Stage PFC Converter

또 다른 접근 방법은 PFC단과 DC/DC 컨버터를 1단으로 결합시키는 Single-Stage방식이다.<sup>[3]</sup> 그림 2에 도시한 Single-Stage converter는 출력전압을 조절하기 위한 single control loop를 가지며 입력전류의 harmonic reduction은 입력 인덕터 전류를 DCM(Discontinuous Conduction Mode)로 동작시켜 달성하고 있다. 이러한 단순한 구조를 가지고 있지만 이 접근은 부하 조건에 따른 link 전압이 변하는 바람직하지 않은 특성을 나타낸다. 왜냐하면 단지 single control loop만 출력 전압 조절을 위해서 있기 때문이고 link capacitor 전압은 입출력 charge-balancing에 의해서 결정되어 지기 때문이다. 또한 Single-Stage 컨버터의 대부분은 Universal Input Voltage(90~265Vrms)를 적용하여 사용하기에 많은 어려움이 있다. 게다가 Dynamic load change시 과도한 스위치 전류 stress가 증가되어 DCM상태를 유지시키기 어렵다.

이 논문에서는 저 가격의 PDP Sustaining Power Supply를 Flyback Topology를 토대로 제안한다. Input Current Regulation을 제어하기 위해서 BCM(Boundary Conduction Mode)으로 동작을 시켜, 모든 부하 상태에서 DCM 조건을 충족시키고 link capacitor를 사용하지 않기 때문에 낮은 부하에서의 과도한 스위치 전압 stress를 억제할 수 있다. 또한 효율 향상을 위해 스위칭시 발생하는 스위칭 loss 또한 새로운 Level-shifting switch driver를 사용하여 스위칭 로스를 1/3정도로 줄였다. 제안된 컨버터는 400W(200V/2A)로 실험을 하였다.

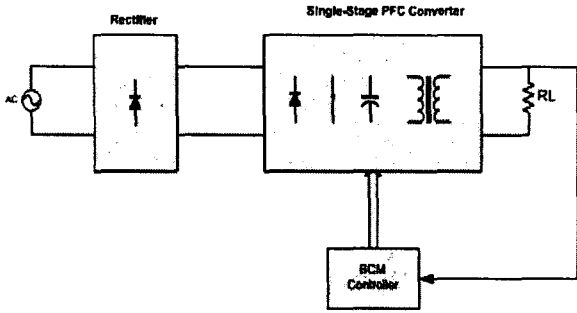


그림 2 1단구조 PFC 컨버터  
Fig. 2 Single-Stage PFC Converter

## 2. 본문

### 2.1 제안된 회로

제안된 Converter는 그림 3에 도시하였다. 이 그림은 BCM으로 동작하는 flyback converter의 간략한 회로도이다. 4개의 각각의 컨트롤 신호는 BCM 컨트롤러에 보내지며 이 중 VC는 shunt regulator의 의해서 출력전압을 조정하기 위한 컨트롤 신호를 보내게 된다. 그리고 VAC는 입력전류의 왜곡을 조정하기 위한 컨트롤 신호이다. 메인 트랜스포머의 3차 턴의 전압인 Vzero에 의해서 출력 다이오드 전류가 ZCS(Zero Current Turn Off Switching) 동작하게 한다. 또한 이 Vzero는 주 스위치의 온-상태를 유지시켜 스위칭 전류 IQ가 흐르게 하는 역할을 한다. 스위치에 흐르는 전류 즉 트랜스포머의 1차 측의 피크 전류를 제어하기 위한 VQ는 스위치의 전류를 조절하는 신호다. BCM 컨트롤러의 전류제어는 VAC와 VFB의 두 신호의 곱셈기에 의해서 PWM으로 조절이 되며 주 스위치의 오프상태는 VQ와 비교하여 조절이 된다.

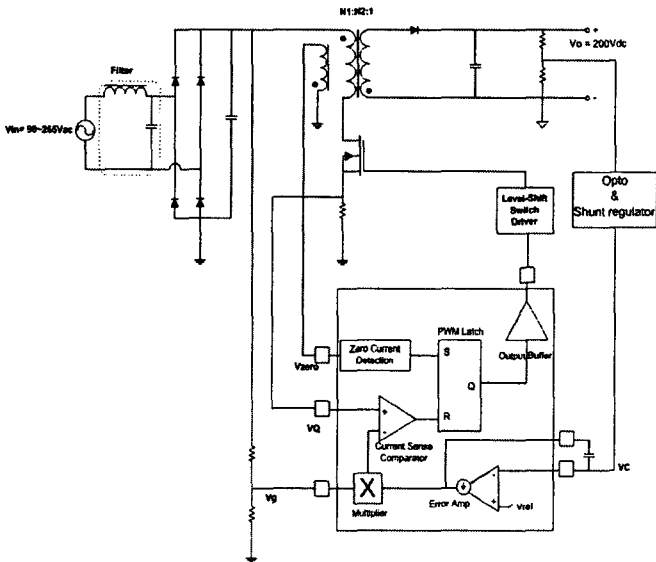


그림 3 제안된 회로의 제어 블록도  
Fig.3 Circuit diagram of the proposed AC/DC converter

### 2.2 모드해석

그림4는 제안된 Converter의 동작모드 설명이다. 제안된 Converter의 2개의 모드로 동작한다.

#### Mode1 : $t_0 < t \leq t_1$

mode 1은 +Vgs가 인가되면 주 스위치의 온-상태가 되며 이때 주 스위치의 흐르는 전류는  $V_g/L1$ 의 기울기로 증가를 하고 VQ 또한 증가를 한다. VQ가  $V_{AC} \times V_{FB}$ 의 전류 커멘드와 같아질 때 주 스위치는 OFF가 된다.

#### Mode2 : $t_1 < t \leq t_2$

mode 2는 -Vgs가 인가되면 스위치가 OFF된다. 이때 메인 트랜스포머의 저장된 에너지가 출력 측으로 전달되기 시작하고 다이오드의 전류는 zero가 될 때 까지  $-V_o/L2$ 의 기울기로 흐르게 된다. 이때 출력다이오드는 ZCS(Zero Current Turn Off Switching) 동작을 하게 된다. 이때 트랜스포머의 에너지가 완벽하게 출력 측으로 넘어가게 되면 영 검출 신호가 동작을 하고 주스위치는 다시 턴 온을 하게 된다.

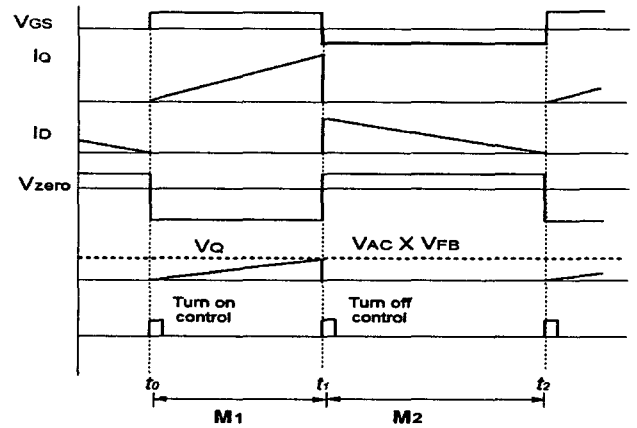
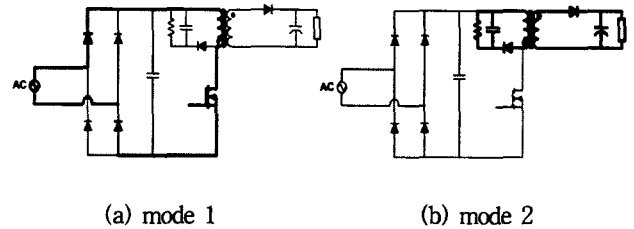


그림 4 제안된 회로의 모드별 주요 파형  
Fig.4 Key waveforms for mode analysis

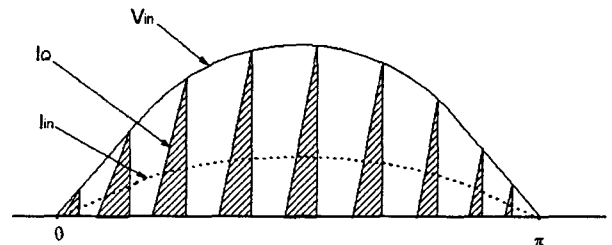


그림 5 라인전압과 여과된 라인전류 파형  
Fig.5 Line voltage and filtered line current waveforms

스위칭시 스위치 전류의 피크 값은 그림 5에 보인 것처럼

정류된 입력전압의 외형을 따른다. 그러므로 필터 된 입력전류는 위상변화 없이 라인 전압의 모양을 따르고 그 유사한 파형을 보이게 된다.

### 2.3 Level-Shifting 구동회로

거의 모든 스위칭 소자의 경우 고속스위칭이 가능한 고압 MOSFET를 사용하고 있다. MOSFET는 베이스 전류에 의해 컬렉터 전류를 제어하는 전류 제어 소자인 BJT와는 달리 게이트-소스간 전압에 의하여 드레인 전류를 제어하는 전압제어 소자이다. 스위칭 속도도 매우 높아서 스위칭 시간이 ns 정도이다. 모든 MOSFET는 게이트-소스 사이에 기생커패시터(Cgs)가 존재하게 된다. 이 Cgs를 충전하는 시간이 필요하게 되는데, 이를 턴온 지연 시간(Turn-on delay time)이라 하고 이는 게이트-소스간 전압 Vgs가 문턱전압(threshold voltage) VT 까지 충전하는데 걸리는 시간을 말하며 Vgs가 VT 가 되어야 MOSFET는 비로서 도통을 시작한다.

$$\tau_{\alpha(on)} = R_C \cdot C_{gs} \quad : \text{충전시정수} \quad (1)$$

Vgs가 VT 로 된 후에는 MOSFET가 입력 용량을 충전하면서 활성 영역에서 포화 영역으로 가게 되는데 Vgs가 VT 에서부터 핀치 오프(pinch off) 전압 Vp 에 이르기까지의 시간을 상승시간 tr 이라고 정의된다.

포화 영역에 들어온 MOSFET는 포화가 계속되다가 입력 전압 VG 가 Vgs 가 0으로 떨어지면서 차단을 시작하는데 우선 Vgs가 포화 영역에서의 전압 핀치오프 전압 Vp 까지 방전되는 데 걸리는 시간을 턴오프 지연 시간 (turn-off delay time) td(off) 라고 한다.

$$\tau_{\alpha(off)} = R_G(C_{gs} + C_{gd}) \quad : \text{방전 시정수} \quad (2)$$

입력 용량에 충전된 전압, Vgs가 Vp에서 VT까지 방전하는데 필요한 시간을 하강 시간 tf 라고 정의한다.<sup>[4]</sup>

Cgs에서 축적하고 방전하는 시간 중에 방전하는 시간이 더 길게 된다. 따라서 방전하는 시간이 길기 때문에 스위칭 전압과 전류가 같이 공존하는 시간이 존재하게 된다. 이는 스위칭 손실로 바로 나타내어진다. 이를 개선시키기 위한 기존의 방식은 출력저항을 낮게 해주는 전류 증폭회로를 부가하여 피크전류를 증가시키는 Push-Pull 방식인 B급 증폭기를 많이 사용하였다. 하지만 이 B급 증폭기는 turn-off시 전압레벨이 '0'이하로 떨어지지 않기 때문에 스위칭 turn-off delay time의 시간이 여전히 수백 ns정도이다. 이러한 스위칭 손실을 줄이기 위해서는 MOSFET의 Cgs를 충전하고 방전하는 시간을 줄여야 한다. 즉, 방전시간이 길어지면 길어질수록 스위칭시 스위칭 전류와 전압이 공존하는 시간이 늘어남에 이는 곳 스위칭 로스로 직결되기 때문이며 스위칭 로스는 발열의 원인이 되고 이는 MOSFET의 파괴로 야기 될 수 있기 때문이다. 이는 또한 전체적인 시스템의 효율에 큰 영향을 줄 수가 있다. 이를 해결하고자 하는 수단으로 MOSFET의 Cgs에 축적되어 있는 Charge를 Level-shift를 통해 '-'음의 전압을 인가함으로써 스위칭 오프타임을 줄임으로써 스위칭 로스를 줄일 수가 있다.

### 2.3.1 Level-Shifting 구동회로의 동작 해석

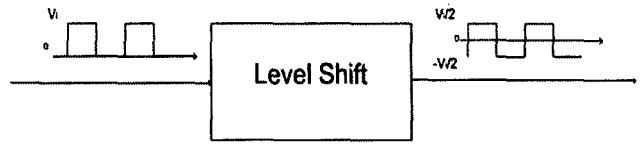


그림 6 Level-Shift 블록도  
Fig. 6 Block Diagram of Level-Shift

그림 6는 Level Shift 블록도이다. 이 Level Shift부에서는 그림 7의 S2, S4의 스위칭 속도를 증가시키기 위해 전압레벨을 쉬프트 시킨 것이다. 우선 Vi의 구형과 전압이 인가되면 CLS의 충전되는 Charge의 양은 Zener의 의해 Vz 까지 증가를 하게 된다. 이때 CLS의 양단전압은 Vz가 되고 S2가 On을 하게 된다. 다음 Vi가 영전위로 떨어지면 이때 CLS의 양단전압은 -Vz가 되면서 S4가 ON을 하게 되어 전압 Level이 Shift된 VLS를 만들게 된다. 이는 역방향 베이스 전류를 충분히 큰 값으로 함으로써 BJT의 축적전하의 빠른 제거 효과에 의해 감소시키게 된다. 그림 7의 제안한 Level-Shifting 구동회로의 구성도와 그림 8의 동작모드를 설명하면 S1과 S2가 ON이 되면 C에 저장되는 Charge는 +Vs 가 되고 다음에 S1과 S2가 OFF 되고 S3과 S4가 동시에 ON 되면 C에 저장되었던 Charge는 -Vs가 된다. +Vs가 FET의 Cgs를 빠른 속도로 충전을 하고 또한 -Vs의 음'-'의 전위가 Cgs에 저장되었던 Charge를 빠른 속도로 방전을 하여 스위칭 속도가 빨라지게 된다.

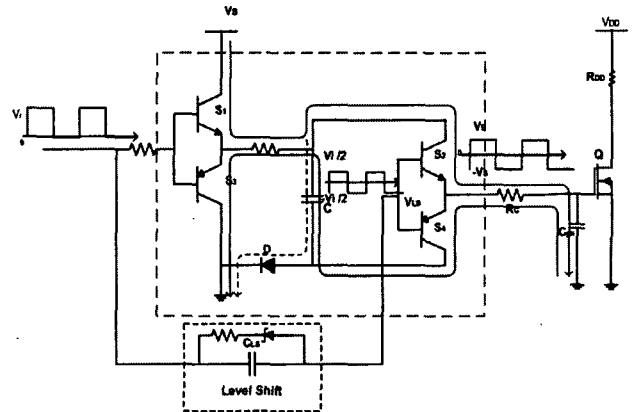


그림 7 제안한 Level-Shifting 구동회로의 구성도

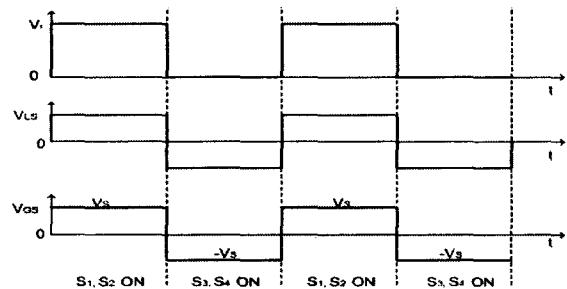


그림 8은 제안된 Level-Shifting 구동회로의 주요파형

### 3. 실험결과

표 1에는 실험을 하기 위한 조건 사양을 나타내었다. 주 스위치는 FQA24N60(600V, 24A  $R_{ds,on} = 0.24\Omega$ )을 사용하였고 출력다이오드는 FES16JT, 트랜스포머의 코어는 EER4950을 사용하였다. 스위칭 손실을 줄이기 위해 Level-Shifting 스위치 드라이버를 사용하여 스위칭 손실에 대한 실험을 하였다. 400W(200V/2A)급으로 제작 되었다.

표 1 Single-Stage Power Module 사양  
Table 1 The Specifications for single-stage Power Module

Input Voltage	AC 90 ~ 265 [Vrms]
Output Voltage	200 [Vdc]
Output Power	400 [W]

그림 9는 라인전압과 load 변화에 따른 역률을 측정 한 값이다. load가 30%이상일 경우는 Universal line voltage 상태에서 0.96이상의 고역률을 이룬다. 그리고 그림 10은 라인전압과 load변화에 따라 측정 한 효율값이다. full load일때 약 89%의 효율을 가진다. 그림 11는 제한된 회로의 각부의 주요파형을 실험을 통하여 나타낸 것이다. 출력다이오드(ID)는 ZCS동작을 하는 것을 보여준다. 또한 스위치 전류가 BCM동작을 함으로써 정류된 입력전압의 모양을 따라가게 된다. 이는 Power Factor Correction이 매우 잘되고 있음을 보여준다. 그림 11(h)는 dynamic load change시의 안정된 출력전압 파형이다. 이 안정된 전압은 PDP Sustaining Power Module에 적용할 수 있으며 그림 12은 새로운 Level-Shifting 스위치 드라이버를 사용하였을 때 게이트 전압과 스위칭전압, 전류 모양을 측정 한 파형이다. 스위치가 OFF 시에 스위치 전류가 흐르지 않아야 하는데 게이트와 소스 사이에 기생 커패시터인  $C_{gs}$ 의 방전시간이 수백ns 동안 유지되는 구간이 생긴다. 현재 사용되고 있는 Push-pull 스위치 드라이버를 사용하였을 때 약 720ns 정도의 스위칭 로스의 구간이 생기는 것을 개선하기 위해 Level-Shifting 스위치 드라이버를 사용하여 그림 13,14에서 보 이듯이 스위칭 손실을 200ns로 약 1/3가량 줄이게 되었다.

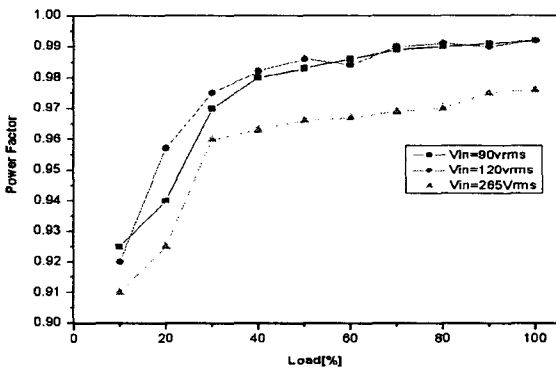


그림 9 라인전압과 load 변화에 따른 역률측정  
Fig. 9 The measured power factor under line and load variation

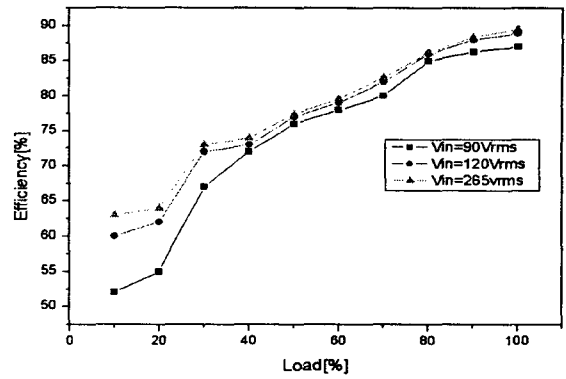


그림 10 라인전압과 Load 변화에 따른 효율측정  
Fig. 10 The measured efficiency under line and load variation

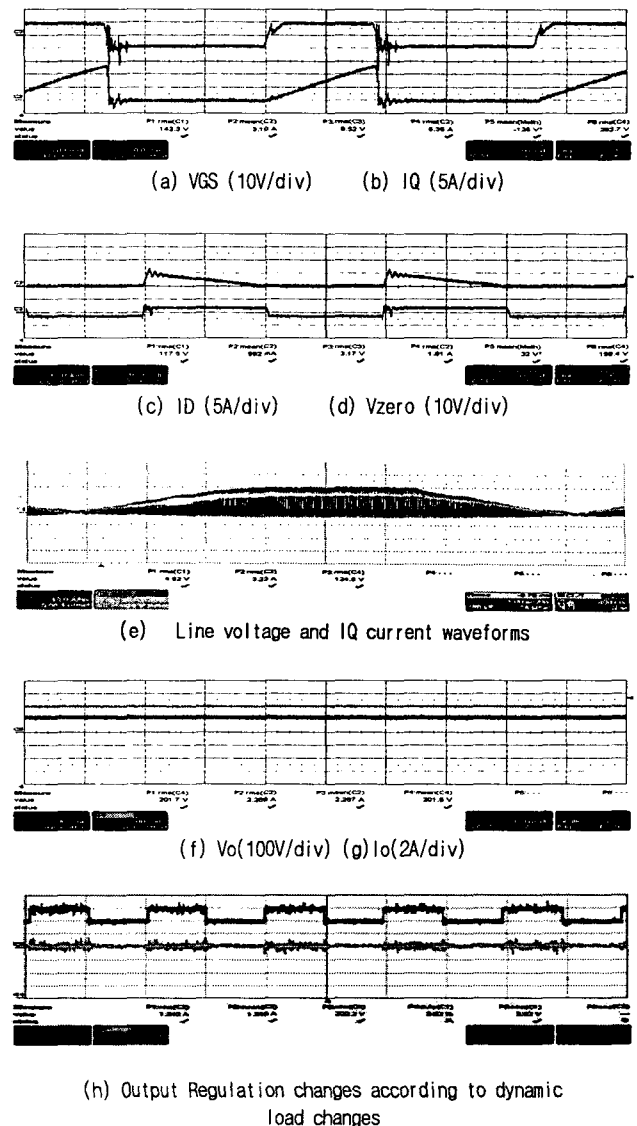


그림 11 실험파형  
Fig. 11 Experimental waveforms

이 논문은 단국대학교의 R&D Cluster 연구비 지원에 의하여 연구되었음

## 참고 문헌

- [1] J. Y. Lee, "A new cost-effective PDP sustaining driver with current injection method (CIM)", Electronics Letters, pp. 1637-1639, 2002.
- [2] L. F. Webber, K. W. Warren, "Power efficient sustain drivers and address drivers for plasma panel," U.S. patent, number 4,866,349, September, 1989.
- [3] P.N Engeti, and R. Martinez, " A high performance single-phase AC to DC rectifier with input power factor correction", In Proceedings of APEC 1993, pp.190-196.
- [4] 김희준, "스위치모드 파워서플라이", 정안당, pp57-58, 2005.
- [5] 한상규, 문건우, 윤명중, "플라즈마 디스플레이 패널용 전원 회로" 전력전자학회지 , 1226-623X , 제10권3호 , pp.21-27 , 2005.

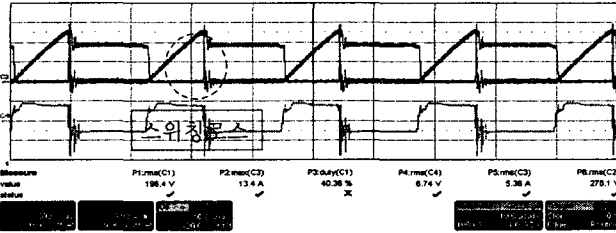


그림 12 Level-Shifting 스위치 Driver 사용 시 Gate전압과 스위칭 전류, 전압 파형

Fig. 12 switching current and voltage waveforms when using level-shifting switch driver

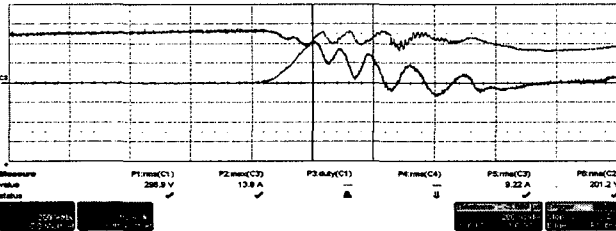


그림 13 기존의 Push-pull의 Switching Loss 파형

Fig. 13 Waveforms of switching loss of conventional push-pull switch driver

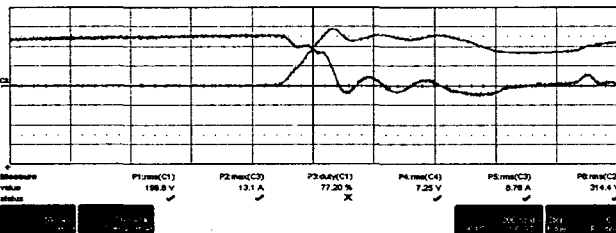


그림 14 새로운 Level-Shifting 스위치 Driver 사용 시 Switching Loss 파형

Fig 14 switching loss waveform when using new level-shifting switch driver

## 4. 결론

본 논문에서는 저 가격의 PDP용 Power Module을 BCM 컨트롤 이용한 Single-Stage PFC Flyback Converter를 제안한다. 이 컨트롤 방법은 라인 입력 고조파를 줄임으로 인해 시스템의 안정화를 가져오고 또한 출력전압 안정화를 통해 모든 로드 컨디션에 만족될 수 있다. 게다가 PDP Sustaining Power Module을 위한 출력 전압은 dynamic load changes시에 안정된 전압을 유지해야 하는 조건을 만족한다. Single-Stage의 취약한 Universal Input Voltage(90~265Vac)에 대한 효율특성을 개선하였고 새로운 Level-Shift 스위치 드라이버를 개발하여 스위칭 손실 또한 줄였다. 간단한 구조의 Single-Stage의 안정성을 확보하여 점점 대형화 추세에 있는 FPD 시장에서 2단구조의 PDP Module이 가지고 있는 복잡한 회로의 소자수를 줄임으로 인해서 보드의 부피를 줄여 생산비용의 절감의 효과를 가져 올 수가 있다. 그러므로 제안된 Converter는 라인입력 고조파를 줄이면서 좋은 출력전압 레귤레이션 수행과 기존회로의 부피를 줄이기 때문에 저가격의 PDP 파워모듈에 적합할 것이다.