

SDR-Platform 구현을 위한 Digital IF Up/Down Converter 설계

이용철* · 오창현*

*한국기술교육대학교

Design Digital IF Up/Down Converter for SDR Platform Implementation

Yong-chul Lee* · Chang-heon Oh*

*Korea University of Technology and Education

E-mail : ludas@kut.ac.kr

요 약

본 논문에서는 Digital IF(Intermediate Frequency) 기술을 이용한 Up/Down 변환기를 설계하고, 이에 대한 성능을 평가 하였다. Digital IF 기술을 사용하는 이유는 passive 소자로 구성되어진 IF 주파수 영역은 고정되어진 한 주파수 밖에 사용하지 못하지만, Digital IF로 구성되어지면 보드의 외형적인 변경 없이 다양한 통신 주파수 영역에서 유연성 있게 사용이 가능하게 된다. 이러한 구성은 기존의 아날로그 헤테로다인 방식에 비하여 높은 유연성을 가지며, 우수한 성능향상을 보여준다.

ABSTRACT

Design Up/Down converters which use Digital IF(Intermediate Frequency) techniques from the present paper, against hereupon performance the criticism. The reason which uses Digital IF techniques is configured of passive elements and the position IF frequency domains are fixed and they do not use in the position one frequency but, the external fringe land of the board which comes to be configured with Digital IF without from the communication frequency domain which is various there to be a flexibility, the use was under possibility. Like this configuration compares in analog Heterodyne mode of existing and it has the performance upgrade which is excellent it shows a high flexibility.

키워드

Digital IF, SDR, Up/Down 변환기, AD변환기, DA변환기

1. 서 론

최근 다양한 주파수 대역과 통신기술이 발전하고 단일한 통신 방식이 아닌 다중 모드, 다중 표준을 지원하는 차세대 이동통신 방식인 SDR 시스템이 요구되고 있다. SDR이란 하드웨어의 수정 없이 모듈화 된 소프트웨어의 변경만으로 단일의 Up/Down 변환기를 통해 다수의 무선통신규격을 통합 수용하는 무선 인터페이스 기술이다. SDR 시스템은 고성능 DSP, 광대역 ADC 및 DAC 등을 사용하며, 기저대역에서 신호를 IF 대역으로 최대한 천이시켜 유연한 시스템을 구성한다. 헤테로다인 방식의 통신시스템에서는 기저대역의 신호를 IF 올리고, 이 신호를 최종적으로 송신하기 위한 RF 주파수로 보내지게 되는데, 각각의 위치에서 신호를 IF / RF로 올리게 되는 역할을 Local이 담당하게 된다. 이는 고정 또는 가변이 가능한 PLL Module을 이용하게 되는데, 이는 한정적인 주파수 범위를 가지거나, 주파수를 변경하기 위해서는 외부에서의 제어가

필요로 하게 된다. 하지만, 설계된 SDR-플랫폼에서는 IF Local을 PLL Module 아닌 디지털 신호를 이용한 NCO를 이용하게 된다. 이는 PLL Module이 가지고 있던 주파수 제한적 특성과 외부 요인에 민감한 주파수 특성 등의 단점을 보완하였다. 기존의 시스템과 새로운 규격의 출현에 따른 차세대 시스템 모두에 적용 가능한 경제적이고 효율적인 시스템의 로밍이 가능할 수 있게 하였다. SDR 시스템의 하드웨어 구성은 RF(Radio Frequency)처리부, AD(Analog to Digital) / DA(Digital to Analog) 변환부, Digital IF 처리부, 디지털 기저대역 처리부로 나눌 수 있다.

본 논문의 구성은 I 장 서론에 이어 II 장에서는 Digital IF 기술에 대한 간략한 설명과 III 장에서 보드의 전체적인 구성 및 AD 변환부, DA 변환부, FPGA 부의 동작에 대해 설명을 하고, IV 장에서는 구현한 보드를 실험을 통해 평가한다. 끝으로 V 장에서는 본 논문의 결론을 맺는다.

II. Digital IF 기술

Digital IF는 기저대역과 IF대역 사이의 상호변환을 디지털 신호처리로 수행하게 된다. 이동통신 시스템의 기저국 및 단말기를 저비용과 유연성이 가미된 효율적인 개발이 가능하여 보다 정밀한 신호 분리 및 처리를 할 수 있도록 한다. 현재 운용되고 있는 시스템은 그림1과 같은 슈퍼헤테로다인 방식의 트랜시버 구조를 가지고 있다. 이 구조는 통신 표준안에 따라 각각의 채널대역폭과 반송주파수에 적합한 여러 아날로그 소자가 필요하며, 이로부터 발생할 수 있는 여러 문제점들을 가지고 있다. 가장 큰 문제점은 협대역상에서 사용되는 수동소자를 광대역에서 사용할 경우 특성이 크게 손실되게 된다. 이는 필터를 통하여 그 특성을 확인 할 수 있다. 기저대역에서 보내진 신호만을 거르기 위한 LPF(Low Pass Filter)의 경우 정해진 주파수 이외의 다른 주파수에서의 사용이 어렵게 된다. 수동소자의 필터는 원하는 고정 주파수에서만 사용이 가능하고, 광대역 필터로의 구현이 어렵다는 것이다. 한마디로 극히 제한적인 대역의 수동필터를 이용하여, 그 특성을 기대할 수밖에 없다는 것을 말한다. 기저대역에서 보내진 데이터 I/Q에 대한 부분이 있어서도 기존의 방식에 의해서는 위상의 변화에 대하여, 소자의 특성에 의존하여야하는 문제점을 가지고 있다. 외부적인 보상이 전혀 이루어지지 않는다는 것이다. 하지만, SDR-플랫폼에서의 신호의 기저대역 및 Digital IF 단의 Mixer 단에서의 보상이 유연하게 소프트웨어로 수정이 가능하다는 것을 알 수 있다.

이러한 이유로 SDR의 개념을 도입한 Up-Down 변환기 시스템의 구현은 수동소자의 수를 감소시키고 소프트웨어적으로 구성함으로써 저비용, 저전력의 소규모 시스템과 모뎀, equalizer, channel codec, synchronization 등과 같은 시스템 각 부의 기능들을 프로그램으로 대체하여, 접속을 가능하게 하는 유연성을 가진다[1].

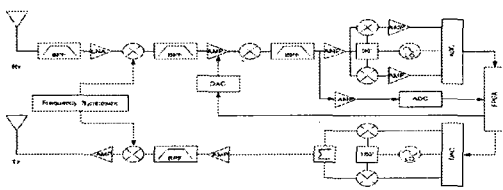


그림 1. 슈퍼헤테로다인 방식의 Transceiver

III. Digital IF Up/Down Converter 설계

1. AD (Analog to Digital) 변환부

RF 수신기의 궁극적인 목적은 수신 안테나의 출력인 RF 신호를 직접 디지털화하여 모든 수신기의 기능들이 하드웨어나 소프트웨어에 의하여 동작되도록 하는 것이다. AD변환기는 이러한 RF 수신기의 중요한 구성요소이며, AD변환기는 RF나 IF에서 광대역 디지털

화를 위해 사용된다.

본 논문에서 설계한 보드에서는 Analog Device사의 AD6645를 사용하였다. 그림 2는 AD6645의 내부 블록을 나타낸 것으로 105MSPS의 sampling rate의 고속 동작을 한다[2]. 수신시에 입력되는 analog 신호에 대해서 14 bit의 digital 데이터로 변환, 모든 bit를 복원하여 구현하였다. LSB상의 데이터가 노이즈 영역에 근접하여, 전혀 새로운 데이터로 변경하여 복원하게 된다. 신호의 왜곡현상과 잡음이 발생하여, 정상적인 복구가 이루어지지 않는다는 것을 알 수 있었다. 이에 이번에 새로 설계된 SDR플랫폼에서는 LSB의 2 bit를 제거하여 12bit만을 데이터 변환을 수행하였다.

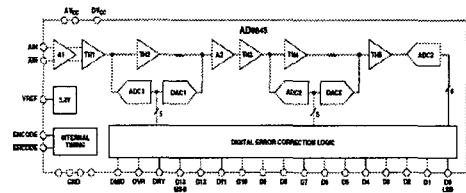


그림 2. AD6645의 내부 블록도

2. DA (Digital to Analog) 변환부

기저대역의 신호가 IF대역의 신호로 변환된 디지털 신호를 RF 신호로의 입력 전단까지의 아날로그 신호로 변화해주는 기능을 수행하는 부분이다. 이 부분은 Analog Device의 AD9777을 사용하여 구현하였으며, 160MSPS의 sampling rate를 가진다. 디지털 신호를 아날로그 신호로 변환할 때 DA변환기에서는 system clock의 간격으로 연속적인 이미지 신호들이 나타나게 되는데 이러한 불필요한 다른 주파수 대역의 간섭과 이미지 신호를 제거하기 위하여, 일반적으로 DA변환기의 뒷단에 LPF(Low Pass Filter)를 구성하게 된다.

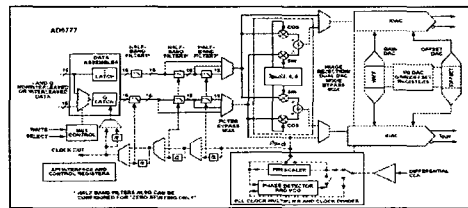


그림 3. AD9777의 내부 블록도

3. Up-Down 기능을 수행하는 FPGA부

FPGA(Field Programmable Gate Array)부는 제조 후에도 프로그램을 재정의 할 수 있는, 프로그래머블한 장치의 상호연결과 로직기능을 가진 하나의 gate array이다. 기존의 시스템에서는 시스템 구현 시 발생되는 문제점을 극복하기 위하여, 외부의 GC5016이라는 Up/Down 변환기를 장착하여 구성하였다[3]. 그러나 본 논문에서는 FPGA를 이용하여 실질적으로 데이터를 흐름과 신호의 생성과 처리 동작을 수행하는 부분을 up-down conversion 부분과 동일 블록을 수행하여, 신호의 흐름에 따른 손실을 최소화하여 구성 하

였다. 따라서, FPGA를 이용하여 기저대역 신호를 중간 주파수 대역으로 up변환하여 신호를 전송하고 중간 주파수 대역 신호를 샘플링 후 기저대역 신호로 down 변환하여 신호를 처리하게 된다. 따라서 FPGA는 각 기능별로 구성되어진 AD 변환부, DA 변환부, Up-Down conversion 기능들에 대한 정의를 수행하게 된다. AD 변환부와 DA 변환부에 입력되어지는 동작 클럭은 외부의 클럭 발생부로부터 수행이 가능하지만, 전체 시스템간의 clock skew를 최소화하기 위하여 FPGA내에서 DCM(Digital Clock Manager)의 여러 출력 포트로 출력되어진 클럭을 AD변환부의 동작 클럭과 DA변환부의 동작 클럭으로 사용할 수도 있다. DCM은 입력되어진 clock을 기준으로 하여 시스템에서 필요한 새로운 시스템 clock을 생성, 시스템에서 가동 가능한 광범위한 주파수의 Clock을 N 배수 또는 x / N 으로 주파수 clock을 생성하며, 온도와 편류에 대한 위상 변환을 보상하는 기능을 수행함으로써 clock skew를 최소화 하여, 시스템에 clock을 제공하게 된다. FPGA에 수신되어진 임의의 신호에 대한 정의와 입력되어진 신호에 대한 FIR filter / CIC filter에 대한 탭 수와 계수 등에 대한 전반적인 수행에 있어 기능구현을 하게 된다. 현재 사용되어지는 FPGA는 Xilinx사의 XC2VP40을 사용하며 시스템에 대한 직접적인 기능을 수행하므로 동작 속도에 있어서 현재 사용 중인 FPGA중에서 가장 빠른 제품을 사용하고 있다. Gate 용량 역시 각 부분에 대한 기능 구현에 있어서 데이터 구성 용량과 FIR filter, CIC filter 등과 같은 기능 수행을 위한 용량을 감안하여 최소 400만 Gate이상의 제품을 선정하였다.

그림 4는 Digital IF 타입의 송신단을 보여주고 있으며, 기저대역의 Digital 신호는 interpolation 과정을 통하여 샘플링 주파수를 변화시키고, NCO에 의하여 주파수 이동을 한다. 각각의 I/Q 두 채널은 Mixer를 통하여, 결합되어지는 과정을 보여주고 있다. 일반적으로 NCO와 mixer로 구성되어지는데, 이를 구현하기 위해 많은 수치 연산으로 인한 전력소모와 설계의 복잡성을 가지게 된다. 이러한 문제 해결방안으로 식 (1)을 이용하게 된다.

$$f_{IF} = \frac{f_{clk}}{4} \tag{1}$$

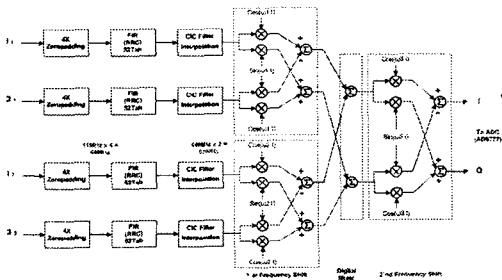


그림 4. Quadrature Modulator Block

fclk은 DAC 모듈 동작 클럭과 동일하다는 가정을

통하여, NCO의 구성에 대한 출력 값으로 다음과 같은 식으로 표현이 가능하다.

$$\begin{aligned} \cos\left(2\pi \frac{f_s}{4} kT_s\right) &= \cos\left(\frac{\pi k}{2}\right) = 1, 0, -1, 0, \dots \\ \sin\left(2\pi \frac{f_s}{4} kT_s\right) &= \sin\left(\frac{\pi k}{2}\right) = 0, 1, 0, -1, \dots \end{aligned} \tag{2}$$

식 (2)를 이용한 NCO의 간략화로 간단한 look-up 테이블을 구성할 수 있으며, 하드웨어 구현의 효율성을 가지고 디지털 믹서단의 복잡한 연산이 필요 없이 덧셈기만으로도 구현이 가능하다는 장점을 가지고 있다[4].

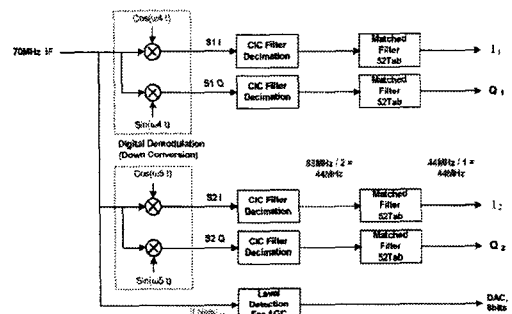


그림 5. IQ demodulation Block

그림 5는 Digital IF의 수신단을 보여주고 있으며, IF 신호를 under-sampling 기법을 통하여 최적의 ADC 모듈의 동작 클럭을 선정하고, 기저대역과 가장 근접한 IF 신호를 이용하여 NCO와 믹서와 기저대역으로 주파수를 이동한다. 기저대역의 신호를 제외한 나머지 이미지 신호를 제거하기 위하여 LPF를 사용하는 데, 이는 decimation을 이용한 down-sampling을 수행하면서 발생할 수 있는 aliasing을 방지하는 기능을 수행한다[5].

그림 6에서 (a)의 그림은 연속적인 아날로그 신호의 스펙트럼을 나타내고 있으며, (b)의 그림은 $F_s = 2F_{max}$ 에서 샘플된 스펙트럼을 그리고 (c)의 그림은 $F_s > 2F_{max}$ 에서 샘플된 스펙트럼을 나타내고 있으며, (d)는 $F_s < 2F_{max}$ 에서 샘플된 스펙트럼을 나타내고 있다. (d)의 그림은 신호의 교차영역의 발생으로 인한 aliasing 구간을 나타내고 있다.

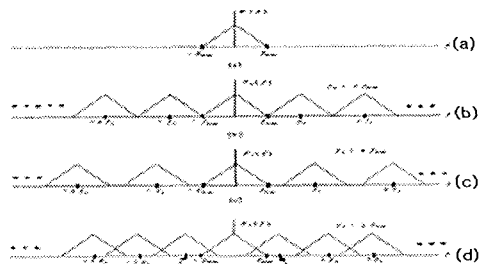


그림 6. Nyquist Sampling spectrum

IV. 실험 및 성능평가

본 논문에서는 SDR-플랫폼의 동작 시스템 클럭으로 88MHz를 사용하며 IF 주파수로는 88MHz를 선정하였으며, BPSK 변조에 의한 데이터를 전송하였다. FIR filter와 CIC filter의 Tab 계수는 52 tab으로 선정하였다.

FIR filter는 컨벌루션의 합의 값으로 구성되어있으며, 그 식은 다음과 같다.

$$y(k) = \sum_{n=0}^{N-1} a(n)x(k-n) \quad k=0,1,\dots$$

여기서 N은 필터 계수의 개수이며, 통상적인 tapped-delay line FIR filter의 내적계산을 구하기 위한 구조는 아래의 그림 7과 같은 구조를 가진다[6].

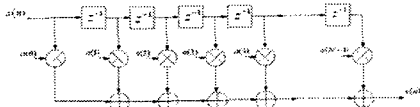


그림 7. Tapped-delay line FIR filter

FIR filter의 tab 계수는 Matlab을 이용하여 사전 시뮬레이션을 거쳐 선정하였고, 시뮬레이션에 대한 결과 파형을 그림 9에서 보여주고 있다.

송신하고자 하는 기저대역의 신호는 I/Q 신호로, 아직 펄스 성형 필터를 거치지 않은 상태이며, 일반적으로 모뎀 출력에서 펄스 성형을 하지만 데이터 전송속도를 낮추기 위해서 모뎀에서 각각 필터링을 하지 않는다. 구현하고자 하는 필터는 최소 24 tab에서 최대 255 tab으로 최소 60dB의 차단대역 억제 능력과, 0.01dB 이하의 통과대역 리플에 대한 특성을 요구하므로 이러한 특성을 만족하도록 설계한다.

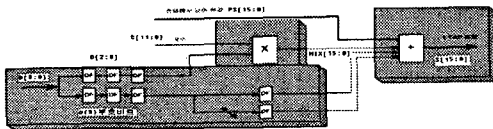


그림 8. Digital Filter Block

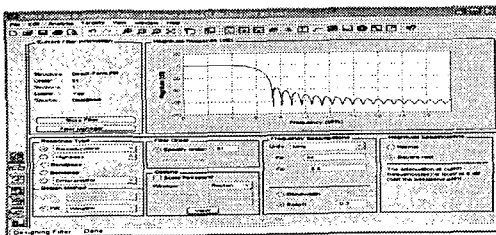


그림 9. FIR filter 출력 스펙트럼 (Matlab)

그림 9에서는 위의 시뮬레이션 프로그램인 Math-work사의 MatLab을 이용하여 필터를 출력 파형을 도식화한 것이다.

그림 10은 설계되어진 플랫폼의 형상을 도식화한 것이며, Digital Up Converter를 통하여, RF를 통하여, 송신되어진 신호를 무선환경으로 수신하여, 수신단의 RF를 통하여, Digital Down Converter를 수행하는 과정을 나타내고 있다.

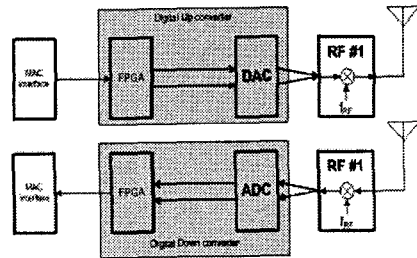


그림 10. Test System Block

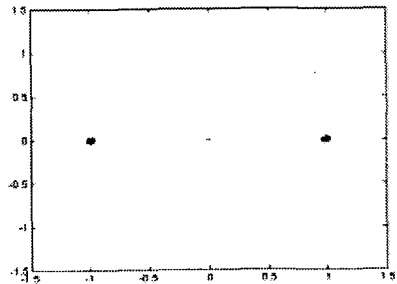


그림 11. Digital IF단에서 Loop-Back(BPSK)

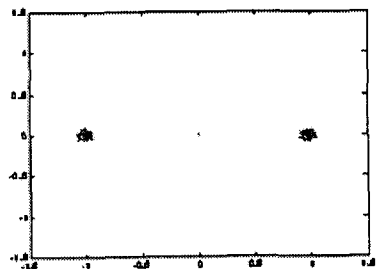


그림 12. RF단을 통한 Loop-Back(BPSK)

그림 11은 송신단의 신호를 RF를 거치지 않고, Digital IF단에서 Loop-Back하여 EVM값을 측정된 것이며, EVM값의 측정은 수신된 데이터를 FPGA에서 신호의 값을 추출하여, 송신 데이터와 수신된 데이터를 비교하여 측정하였다. 측정된 EVM값은 -36dB 값을 나타내고 있다. 그림 12에서는 RF를 통하여 무선환경

에서 수신되어진 데이터를 FPGA를 통하여 EVM값을 측정하였을 경우 -30dB 정도의 값을 나타내고 있다.

V. 결 론

SDR플랫폼은 Digital IF 기술을 FPGA를 이용하여 설계 및 구현하였으며, Baseband의 신호를 Digital IF 기술을 이용하여 IF 대역을 디지털로 처리하였다. 송신단의 출력 주파수에서는 기존의 Analog IF 시스템의 출력과 비교하여 정밀한 신호 분리와 신호에 대한 잡음이 많이 감소한 것을 알 수 있었다. 기저대역의 신호에 대한 노이즈의 간섭을 기존의 Analog IF 시스템에서는 많은 간섭 및 성능 저하의 원인 되었으나, Digital IF시스템에서는 기저대역의 신호를 IF 영역으로 옮긴 신호를 송신하게 되며, 다시 IF 대역의 신호를 Baseband의 기저대역으로 직접신호를 내리기 때문에 간섭 및 성능 면에서 기존의 아날로그 헤테로다인 방식에 비하여 높은 유연성을 가지며, 우수한 성능향상을 보여준다.

참고문헌

- [1] 송형훈, 강환민, 김신원, 조성호 “SDR 시스템을 위한 Digital IF 구현,” 한양대학교 석사학위 논문, 2003. 2.
- [2] Analog Device [On line]. Available : [Http://www.Analog.com](http://www.Analog.com), “AD6645/AD9775”
- [3] Texas Instrument [On line]. Available : [Http://www.Ti.com](http://www.Ti.com), “GC5016”
- [4] 우춘식, “SDR을 위한 Digital IF 설계 및 구현,” 한양대학교 석사학위논문, 2003. 2
- [5] 홍진섭, “TMS320C6416을 이용한 광 대역 밴드를 가지는 디지털 IF 올림/내림 변환기의 구현,” 한양대학교 석사학위 논문, 2004. 2.
- [6] 김미연 “WCDMA/cdma2000 Dual-mode Digital IF Down Converter Design for SDR,” 이화여자대학교 과학기술대학원 석사학위논문, 2004. 2.
- [7] 이창희, 이영훈, “FPGA를 이용한 CDMA 디지털 트랜시버의 구현,” Vol.7, No.4, 한국컴퓨터정보학회논문지, 2002.