

스위치형 커패시터를 적용한 새로운 형태의 3차 직렬 접속형 시그마-델타 변조기의 설계

류지열*• 노석호**

삼성 SDI Co. Ltd.*, 안동대학교 전자공학과**

Design of the New Third-Order Cascaded Sigma-Delta Modulator for Switched-Capacitor Application

Jee-Youl Ryu*• Seok-Ho Noh**

Samsung SDI Co. Ltd.*, Andong National University**

E-mail : jeeyoul.ryu@samsung.com

요 약

본 논문은 저 전압 및 저 왜곡 스위치형 커패시터 (switched-capacitor, SC)를 적용한 새로운 형태의 몸체효과 보상형 스위치 구조를 제안한다. 제안된 회로는 저 전압 SC 회로를 위해서 rail-to-rail 스위칭을 허용하며, 기존의 부트스트랩된 회로 (19dB) 보다 더 우수한 총 고조파 왜곡을 가진다. 설계된 2-1 캐스케이드 시그마 델타 변조기는 통신 송수신시스템내의 오디오 코덱을 위한 고해상도 아날로그-디지털변환을 수행한다. 1단 폴드형 캐스캐이드 연산증폭기 및 2-1 캐스케이드 시그마 델타 변조기는 0.25 마이크로론 이중 폴리 3-급속 표준 CMOS 공정으로 제작되었으며, 2.7V에서 동작한다.

ABSTRACT

This paper proposes a new body-effect compensated switch configuration for low voltage and low distortion switched-capacitor (SC) applications. The proposed circuit allows rail-to-rail switching operation for low voltage SC circuits and has better total harmonic distortion than the conventional bootstrapped circuit by 19 dB. A 2-1 cascaded sigma-delta modulator is provided for performing the high-resolution analog-to-digital conversion on audio codec in a communication transceiver. An experimental prototype for a single-stage folded-cascode operational amplifier (opamp) and a 2-1 cascaded sigma-delta modulator has been implemented in a 0.25 micron double-poly, triple-metal standard CMOS process with 2.7 V of supply voltage.

키워드

스위치형 커패시터, 보상형 스위치 구조, 이득, 시그마 델타 변조기

I. 서 론

최근 전자 시스템의 대부분은 혼합 신호 시스템으로 구성되어 있다. 이러한 시스템 중 일부 응용분야에서는 소비전력과 칩 면적을 고려하여 디지털 회로 부분은 제어, 캘리브레이션 또는 저장 시스템에 적용하는 반면, 그 처리는 아날로그 영역에서 이루어지도록 구성한다 [1]. 그러나, 많은 응용분야에서 아날로그 회로의 사용은 인터페이스 측면에서 제한을 받기

때문에 디지털 회로로 그 처리를 수행한다 [2]. 이러한 시스템으로서 통신 송수신 시스템의 오디오 코덱 부분에 아날로그 신호를 디지털 신호로 변환시켜주는 아날로그-디지털 변환기 (analog-to-digital converter, ADC, A/D)를 들 수 있다. ADC에 대한 연구 및 개발은 오랜 세월을 두고 꾸준히 발전되어 왔는데, 특히 저가, 저전압동작 및 저소비전력의 장점을 지닌 CMOS 기술의 발전과 더불어, 이러한 장점에 잘 부합되는 고해상도 시그마-델타 (sigma-delta, $\Sigma\Delta$) 변조기 개발에 대한 연구가 VLSI 기술 분야에 많이

진행되어 왔다 [3-8]. 특히 선형성, 효율성 및 적용 용이성 등의 장점으로 인해 스위치형 커패시터 (switched capacitor, SC) 회로 기술이 이러한 변조기에 많이 적용되어 왔다 [9-11]. 성능 (high quality)이 우수한 SC 특성이 저전압에서 동작하는 경우 최대의 장점이 될 수 있지만 전통적인 SC 기술은 스위치 구동 문제로 인해 저전압에서 적절히 동작하지 못하는 단점을 가지고 있다.

본 논문에서는 저 전압 및 저 왜곡 스위치형 커패시터를 적용한 새로운 형태의 몸체효과 보상형 스위치 구조를 제안한다. 제안된 회로는 저 전압 SC 회로를 위해서 rail-to-rail 스위칭을 허용하며, 기존의 부트스트랩된 회로 보다 우수한 총 고조파 왜곡을 가진다.

II. 시그마-델타 변조기 설계

그림 1은 시그마-델타 아날로그-디지털변환기($\Sigma\Delta$ A/D converter)의 블록 다이어그램을 나타낸 것이다. 이러한 형태는 양자화 노이즈를 고주파수 영역으로 밀어 올리고 디지털 필터를 이용하여 제거할 수 있기 때문에 오디오 응용과 같은 협신호 대역폭에 대해 고해상도를 달성할 수 있다. 그림 1에 나타나 있듯이 $\Sigma\Delta$ A/D 변환기는 적분기 (Integrator), 비교기 (Comparator), 디지털 저역 통과 필터 (Low-Pass Filter, LPF) 및 1비트 디지털-아날로그 변환기 (DAC, D/A)로 구성되어 있다. 또한 $\Sigma\Delta$ 변조기 (modulator)는 $\Sigma\Delta$ A/D 변환기, 클럭 발생기, 주 바이어스 부 (master bias) 및 디지털 로직/출력 버퍼로 구성되어 있다.

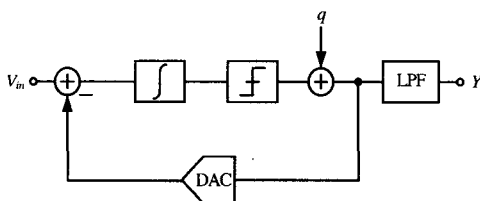


그림 1. 시그마-델타 아날로그-디지털변환기
Fig. 1. Block diagram of sigma-delta A/D converter

그림 1에서 SC 회로부는 연산 증폭기, 커패시터 및 스위치로 구성된 적분기 (Integrator)와 비중복 (non-overlapping) 클럭부로 구성되어 있다.

(1) 연산 증폭기 설계

그림 2는 적분기에 사용된 1단 완전 폴드형 캐스코드 연산증폭기를 나타낸 것이다. 앞에서 언급했듯이 $\Sigma\Delta$ 변조기의 중요한 구성요소중의 하나가 적분기인데, 이러한 적분기에서 연산증폭기는 높은 dc 이득, 빠른 슬루율 (slew rate) 및 zero dc 오프셋을 갖도록 설계되어야 한다. 특히 dc 이득은 스위치형 커패시터 적분기의 이산시간 전달함수의 정확성에 영향을 미치기 때문에 dc 이득을 충분히 높도록 설계하였

다. 이러한 특성을 갖춘 연산증폭기 형태가 1단 완전 폴드형 캐스코드 형태이다.

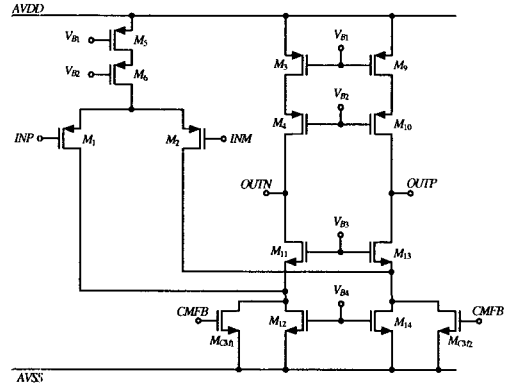


그림 2. 1단 완전 폴드형 캐스코드 연산증폭기
Fig. 2. A single stage fully-differential folded-cascode operational amplifier

그림 3은 완전 차동 연산증폭기를 위한 동적 스위치형 커패시터 동상모드 귀환 회로를 나타낸 것으로, 소비전력을 줄이는데 사용한다. 여기서 V_{B4} 는 증폭기에서 꼬리 전류원의 바이어스 전압을 위해 사용되었고, V_{CM0} 는 바이어스 회로에 의해 설정되는 원하는 동상모드 출력 전압을 나타낸다. 커패시터 $C_{1,2}$ 는 출력 동상모드 전압을 검지하는데 사용된다.

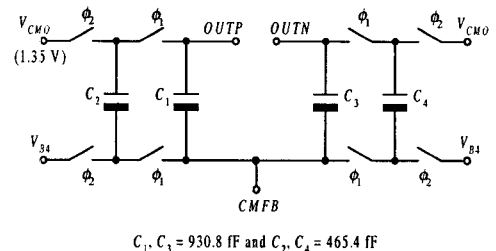


그림 3. 동적 스위치형 커패시터 동상모드 귀환 회로
Fig. 3. Dynamic switched-capacitor common-mode feedback circuit

(2) 스위치 (Switches)

SC 회로는 스위치로 트랜지스터를 이용하기 때문에 스위치 구동 특성상 저전압 구동이 어려운 문제점을 가지고 있다. 그림 4는 이러한 문제점을 극복하기 위해 본 연구에서 제안하는 몸체효과 보상형 (body-effect compensated) 스위치를 나타낸 것이다.

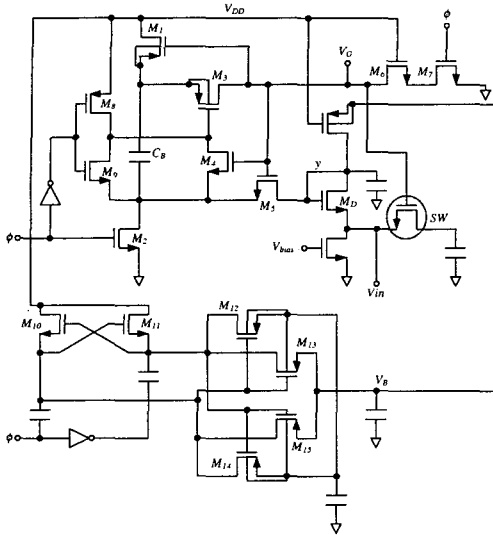


그림 4. 몸체효과 보상형 스위치 회로

Fig. 4. The complete body-effect compensated switch

다이오드 구조로 연결되어 있는 트랜지스터 M_D 의 소스와 스위치 SW 가 서로 연결되어 있기 때문에 SW 의 온-저항이 최소 1차는 입력 신호에 독립적이다.

(3) 스위치형 커패시터 적분기 설계

본 논문에서 제안하는 $\Sigma\Delta$ 변조기는 직렬 형태로 연결된 세 개의 스위치형 커패시터 적분기로 구성되어 있다. 그림 5는 그 중에서 변조기에 첫 번째 적분기인 완전 차동 스위치형 커패시터 적분기를 나타낸 것이다. 이러한 적분기는 PSRR, 소자 정합 및 잡음 결합과 같은 비이상적인 성질(non-idealities)을 최소화하기 위해 완전 차동 구조로 설계되었고, 2 위상 비중복(non-overlapping)을 이용한다.

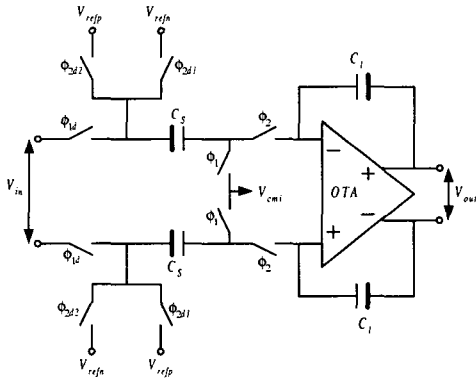


그림 5. 완전 차동 스위치형 커패시터 적분기

Fig. 5. Fully-differential switched-capacitor integrator

III. 레이아웃 (Layout)

그림 6은 0.25 μ m CMOS 공정을 이용하여 2-1 cascade 시그마-델타 변조기에 대한 레이아웃을 나타낸 것이다. 레이아웃의 패드 frame을 제외한 칩 전체 면적은 약 1.9 \times 1.5mm²였다.

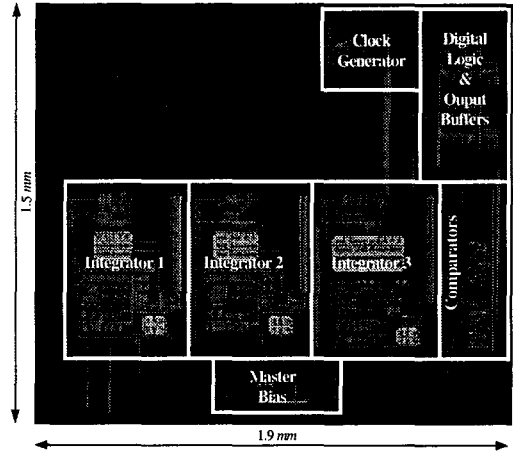


그림 6. 2-1 시그마-델타 변조기 레이아웃

Fig. 6. The layout of 2-1 cascade sigma-delta modulator

IV. 시뮬레이션 및 실험 결과

그림 7은 차동 출력에서 연산증폭기의 주파수 응답을 나타낸 것이다. 증폭기의 dc 이득은 스위치형 커패시터 적분기의 이산시간 전달함수의 정확성에 영향을 미치기 때문에 충분히 높도록 설계하였다. 그림 8로부터 알 수 있듯이 제작된 연산증폭기는 약 5pF의 부하에 대해 약 83dB의 dc 이득을 보였고, 약 38 MHz의 단위-이득 주파수(unity-gain frequency) 및 65° 이상의 위상 여유(phase margin)를 각각 보였다.

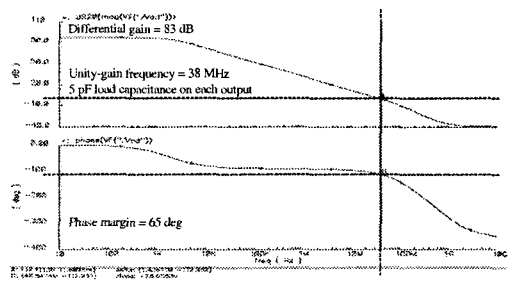


그림 7. 차동 출력에서 연산증폭기의 주파수 응답
Fig.7. Frequency response of the operational amplifier at the differential output

표 1은 최악의 경우에 대한 연산증폭기의 시물레이션 결과를 요약한 것이다. 앞서서도 언급했듯이 시그마-델타 변조기의 적분기에서 연산증폭기는 높은 dc 이득, 빠른 슬루율 (slew rate) 및 zero dc 오프셋을 갖도록 설계되어야 하며, 증폭기 반응시간은 전하 전이가 각 반 클럭 주기 이내에 완전히 정착될 수 있도록 충분히 빨라야 한다. 표 1에서도 알 수 있듯이 설계된 연산증폭기는 적분기 동작에 잘 부합되도록 우수한 사양을 보였다.

표 1. 연산증폭기 시물레이션 결과 (최악의 경우)

Table 1. Summary of simulation results of the operational amplifier (worst-case)

Parameters	Simulation Results
Supply Voltage	2.7 V
Low Frequency Gain	83 dB
Unity-Gain Frequency	38 MHz
Phase Margin	65 deg
Slew Rate	21.7 V/ μ s
Settling Time	55.2 ns
Output Swing	± 1 V (diff. output)
Power Dissipation	918 μ W
Load Capacitance	5 pF

그림 8은 그림 4의 회로에 대한 V_B , V_y , V_{in} , 및 V_G 전압 파형을 각각 나타낸 것이다. Hspice를 이용하여 $1V_{pp}$ 의 입력 전압에 대해 필터 출력에서 FFT 분석을 수행하였다.

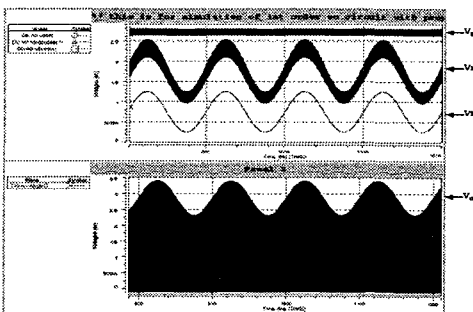


그림 8. V_B , V_y , V_{in} , 및 V_G 전압 파형
Fig. 8. Voltages of V_B , V_y , V_{in} , and V_G

V. 결 론

본 논문에서는 2-1 캐스캐이드 시그마 델타 변조기를 제안하였다. 이러한 변조기는 저 전압 및 저 왜곡 스위치형 커패시터 (switched-capacitor,

SC)를 적용한 새로운 형태의 몸체효과 보상형 스위치 구조를 가진다. 제안된 회로는 저 전압 SC 회로를 위해서 rail-to-rail 스위칭을 허용하며, 기존의 부트스트랩된 회로 보다 더 우수한 총 고조파 왜곡을 보였다. 설계된 2-1 캐스캐이드 시그마 델타 변조기는 통신 송수신시스템내의 오디오 코덱을 위한 고해상도 아날로그-디지털변환을 수행할 수 있다. 1단 폴드형 캐스캐이드 연산증폭기 및 2-1 캐스캐이드 시그마 델타 변조기는 0.25- μ m 이중 폴리 3-금속 표준 CMOS 공정으로 제작되었으며, 2.7V에서 동작하였다.

참고문헌

- [1] S. Espejo *et al.*, A 0.8- μ m CMOS programmable Analog-Array-Processing Vision Chip with Local Logic and Image Memory, *Proceedings of European Solid-State Circuits Conference*, pp. 280-283, 1996.
- [2] P. R. Gray, Analog ICs in the Submicron Era: Trends and Perspectives, *Proceedings of IEEE Electron Devices Meeting*, pp. 5-9, 1987.
- [3] B. E. Boser and B. A. Wooley, The Design of Sigma-Delta Modulation Analog-to-Digital Converters, *IEEE J. of Solid-State Circuits*, vol. sc-23, no. 4, pp. 1298-1308, Dec. 1988.
- [4] S. Rabii and B. A. Wooley, *The Design of Low-Voltage, Low-Power Sigma-Delta Modulators*. Boston: Kluwer Academic Publishers, 1999.
- [5] J. C. Candy, A Use of Double Integration in Sigma-Delta Modulation, *IEEE Trans. on Communications*, vol. 33, pp. 249-258, Mar. 1985.
- [6] D. B. Ribner, A Comparison of Modulator networks for High-Order Oversampled Analog-to-Digital Converters, *IEEE Trans. on Circuits and Systems*, vol. 38, pp. 145-159, Feb. 1991.
- [7] R. W. Adams, The Design of High-Order Single-Bit ADCs, Chapter 5 in the book, *Delta-Sigma Data Converters: Theory, Design and Simulation*. pp. 165-192, New York, IEEE Press, 1997
- [8] J. C. Candy and G. C. Temes, *Oversampling Delta-Sigma Data Converter*. IEEE Press, New York, 1992.
- [9] S. W. Kim and E. Greeneich, Body effect compensated switch for low voltage switched-capacitor circuits, *Proc. Int. Symp. on Circuits and Systems*, vol. 4, pp. 437-440, May 2002.
- [10] L. Williams and B. Wooley, Third-order cascaded sigma-delta modulators, *IEEE Trans. on Circuits and Systems II*, vol. 38, pp. 489-498, May 1991.
- [11] G. M. Yin and W. Sansen, A High-Frequency and High-Resolution Fourth-Order A/D Converter in BiCMOS Technology, *Proceedings of European Solid-State Circuits Conference*, pp. 1-4, Sept. 1993.