

나노구조 이중게이트 FinFET의 크기변화에 따른 문턱전압이동 분석

Analysis of Dimension Dependent Threshold Voltage Roll-off for Nano Structure Double Gate FinFET

정학기, 이재형, 정동수
군산대학교 전자정보공학부

요약

본 연구에서는 나노구조 이중게이트 FinFET에 대하여 문턱전압이동 특성을 분석하였다. 분석을 위하여 분석학적 전류모델을 개발하였으며 열방사 전류 및 터널링 전류를 포함하였다. 열방사전류는 포아슨방정식에 의하여 구한 포텐셜분포 및 맥스웰-볼츠만통계를 이용한 캐리어분포를 이용하여 구하였으며 터널링전류는 WKB(Wentzel-Kramers-Brillouin)근사를 이용하였다. 이 두 모델은 상호 독립적이므로 각각 전류를 구해 더함으로써 문턱전압을 구하였다. 본 연구에서 제시한 모델을 이용하여 구한 문턱전압이동값이 이차원시뮬레이션값과 비교되었으며 잘 일치함을 알 수 있었다. 분석 결과 10nm이하에서 특히 터널링의 영향이 증가하여 문턱전압이동이 매우 현저하게 나타남을 알 수 있었다. 이러한 단채널현상을 감소시키기 위하여 채널두께 및 게이트산화막의 두께를 가능한한 얇게 제작하여야함을 알았으며 이를 위한 산화공정개발이 중요하다고 사료된다.

Abstract

In this paper, the threshold voltage roll-off been analyzed for nano structure double gate FinFET. The analytical current model has been developed, including thermionic current and tunneling current models. The potential distribution by Poisson equation and carrier distribution by Maxwell-Boltzman statistics are used to calculate thermionic emission current, and WKB(Wentzel-Kramers-Brillouin) approximation to tunneling current. The threshold voltage roll-offs are obtained by simple adding two currents since two current is independent. The threshold voltage roll-off by this model are compared with those by two dimensional simulation and two values are good agreement. Since the tunneling current increases especially under channel length of 10nm, the threshold voltage roll-off is very large. The channel and gate oxide thickness have to be fabricated as thin as possible to decrease this short channel effects and this process has to be developed.

키워드

double gate FinFET, threshold voltage roll-off, thermionic current, tunneling current

I. 서론

FD(Fully Depleted) 다중구조의 경우 실리콘 채널 두께의 형태 및 질에 따라 소자특성이 매우 민감하다. 즉, 단일게이트 MOSFET의 경우 단채널효과를 제어하기 위하여 FD 실리콘 채널 두께는 게이트길이의 1/3정도로 작아야만 하며

양 파라미터는 매우 정확하게 설계되어야만 한다. 그러나 다중게이트의 경우는 이와같은 1/3의 제한을 완화시켜 줄 뿐만 아니라 단채널효과를 제어하는데 장점을 가지고 있다. 이러한 구조중 가장 매력적인 소자는 이중게이트 MOSFET의 일종인 FinFET이다.[1]

본 연구에서는 이중게이트 FinFET의 분석하

적 전류모델을 이용하여 게이트산화막, 채널두께 및 채널길이에 따른 문턱전압의 변화 및 드레인유기장벽저하 등 단채널효과에 미치는 영향을 고찰하고자 한다. 사용된 전류모델은 포아슨방정식으로부터 유도되었으며 열방사(thermionic emission) 및 터널링(tunneling) 전류를 이용하여 전체 전류를 계산하였다.

II. 이중구조 FinFET

이중구조 MOSFET는 제작방법에 따라 수평형, 수직형 그리고 핀(fin)구조로 나뉘질 수 있다. 수평형구조는 이중게이트구조의 장점인 단채널효과를 감소시킬 수 있다는 특징이 있으나 집

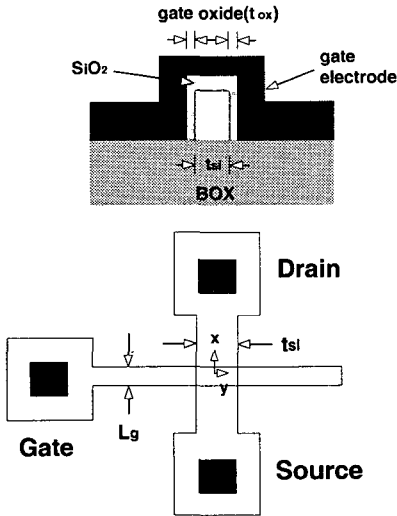


그림 1. FinFET 구조의 개략도 및 평면도
Fig. 1 Schematic diagram and top view for FinFET

적도를 향상시킬 수 없다는 단점 때문에 수직형 구조로 발전되었다. 그러나 수직형구조는 공정상 어려움 때문에 핀구조에 대한 연구가 주류를 이루고 있는 실정이다. 핀구조는 그림 1과 같이 소스와 드레인을 가로질러 핀모양으로 게이트를 제작하여 구성하고 있으며 핀을 제작하는 것이 핵심공정이 되고 있다.

본 연구에서는 그림 1과 같이 대부분의 전자 전송이 발생하는 채널영역에 대한 전류모델을 계산하고자한다. 채널두께 t_{si} 와 게이트 산화막

두께 t_{ox} 그리고 채널길이 L_g 등을 변화시키면서 서브문턱스윙을 분석할 것이다. 또한 도핑농도의 변화에 대한 SS의 변화도 고찰함으로써 도핑농도와 SS의 상관관계를 유도할 것이다. 특히 t_{ox} 가 차단영역에서 차단전류에 미치는 영향을 집중분석함으로써 단채널에 의한 누설전류의 증가에 대하여 고찰할 것이다.

III. 전류모델

문턱전압이하에서 드레인에 전압을 가하면 열방사전류 및 터널링전류가 발생한다. 이 전류는 누설전류로서 가능하면 작게 제어되도록 설계하여야 한다. 문턱전압이하에서 긴채널 FET의 경우는 열방사에 의한 전류가 우세하나 나노구조 FET의 경우 터널링 전류가 매우 증가하여 서브문턱스윙, 문턱전압이동(Threshold voltage roll-off), 드레인유기장벽저하(DIBL; Drain Induced Barrier Lowering) 등 단채널효과에 의한 전송특성 저하가 발생하게 된다. 이러한 단채널효과를 분석하기 위하여 먼저 포텐셜분포 Ψ 를 구하기 위하여 포아슨방정식을 이용하였다.

$$\nabla^2\Psi(x,y) = qN_A/\epsilon_{Si} \tag{1}$$

여기서 N_A 는 채널내 도핑농도이며 ϵ_{Si} 는 실리콘의 유전율이다. 열방사전류는 전위장벽보다 높은 에너지를 지닌 전자에 의한 전류이므로 이에 해당하는 전자농도를 구하기 위하여 맥스웰-볼츠만통계에 의한 전자분포식

$$n_m(y) = (n_i^2/N_A)e^{q\psi_{min}(y)/kT} \tag{2}$$

을 이용하였다. n_i 는 진성반도체농도이며 ψ_{min} 는 채널내 최소포텐셜로서 대부분의 전류가 흐르는 중심 d_{eff} 에 해당하는 포텐셜이다. 이때 열방사전류는

$$I_{th} = qn_m(d_{eff})v_{th}S/\delta$$

$$d_{eff} = \lambda_1 \cos^{-1} \left[\frac{\int_0^{t_s/2} n_m \cos \frac{y}{\lambda_1} dy}{\int_0^{t_s/2} n_m dy} \right] \tag{3}$$

으로 표현할 수 있다.[2] 이때 S 는 단위시간당 전자가 드레인 종단에 도착하여 콘택으로 빠져 나갈 수 있는 면적으로서 채널두께와 채널폭의 곱이다. 자유도에 의하여 전자의 1/6이 드레인에 도착하므로 1/6을 곱하였다.

터널링전류는 WKB(Wentzel-Kramers-Brillouin) 근사를 이용하여 구하였다. 이때 터널링전류는

$$I_{tunn} = (qN_D S/6)(2T_{tv_{th}}/3 + T_{tv_{th}}/3) \quad (4)$$

와 같이 표현할 수 있으며 이때 종방향으로 이동하는 전자는 2/3, 횡방향으로 이동하는 전자는 1/3이다. v_{th} 와 v_{th} 은 각각 종방향과 횡방향의 열적 속도를 나타내고 있다.

전체 차단전류를 구하기 위하여 식 (3)과 식 (4)를 더하였다.

$$I_{tot} = I_{th} + I_{tunn} \quad (5)$$

식 (5)을 이용하여 차단전류를 구한 후 문턱전압을 구하였다. 문턱전압은 TCAD에서 정의한 바와같이 차단전류가 $10^{-7} \mu A/\mu m$ 일 때 전압을 구하여 고찰하였다.

IV. 이중게이트 FinFET의 문턱전압 특성

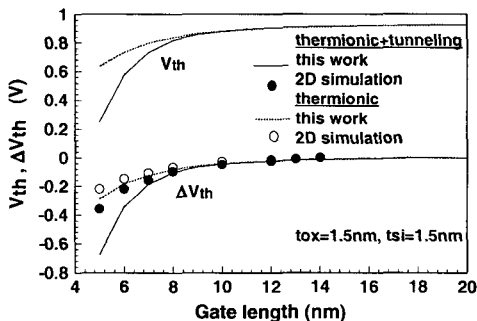


그림 2. 게이트길이에 따른 문턱전압변화
Fig. 2 Threshold voltages for gate length

먼저 본 연구에서 사용한 모델의 타당성을 증명하기 위하여 이차원 시뮬레이션결과[3]와 본 연구의 결과를 비교하였다. 그림 2에 문턱전압

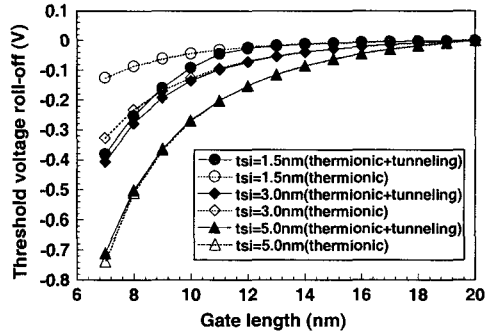


그림 3. 채널두께를 파라미터로 한 게이트길이 변화에 대한 문턱전압이동
Fig. 3 Threshold voltage roll-off for gate length according to channel thickness.

및 문턱전압이동에 대한 결과를 도시하였다. 그림 2에서 알 수 있듯이 이차원 시뮬레이션결과와 잘 일치하고 있으므로 본 연구에서 제시한 모델이 타당하다는 것을 알 수 있다. 특히 터널링에 의하여 급격히 문턱전압특성이 저하하는 현상을 관찰 할 수 있다. 이러한 특성저하는 채널길이가 작아질수록 더욱 급격히 발생하는데 이는 터널링전류가 채널이 작아질수록 급격히 증가하기 때문이다.

그림 3에 게이트길이의 변화에 따른 문턱전압의 이동현상을 채널두께를 파라미터로하여 계산한 결과를 도시하였다. 이미 전술한 바와같이 게이트길이가 감소할수록 문턱전압이동현상은 매우 심각하게 발생하고 있다. 또한 터널링현상에 의하여 문턱전압이동은 더욱 심각하게 발생하고 있으며 채널두께가 클수록 이동현상이 심하게 발생하고 있다. 더불어 채널두께가 증가하면 터널링현상에 의한 효과가 감소하여 문턱전압이동이 터널링 발생 유무에 관계없이 거의 일정함을 알 수 있다.

그림 4에 게이트길이의 변화에 따른 문턱전압의 이동현상을 게이트산화막 두께를 파라미터로하여 계산한 결과를 도시하였다. 터널링에 의한 효과는 그림 3에서 전술한 바와같이 심각한 문턱전압이동을 초래하고 있다. 터널링을 무시하였을 경우 게이트길이가 작아질수록 산화막두께의 영향은 매우 크게 나타나고 있다. 그러나 실제로 터널링의 발생이 심각하게 일어나는 10nm이하 게이트길이에서는 산화막두께에 의한 영향은 거의 무시할 수 있다는 것을 알 수 있다.

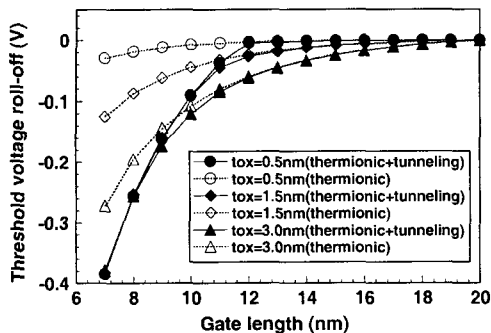


그림 4. 산화막두께를 파라미터로 한 게이트길이 변화에 따른 문턱전압이동

Fig. 4 Threshold voltage roll-off for gate length according to gate-oxide thickness.

V. 결론

본 연구에서는 이중게이트 FinFET에 대한 크기변화에 따른 단채널효과의 변화에 대하여 고찰하였다. 분석을 위하여 분석학적 전류모델을 제시하였으며 문턱전압이하 영역에서 중요한 열방사전류 그리고 게이트길이가 20nm이하서 중요한 전류메카니즘인 터널링전류를 각각 독립적으로 유도하여 차단전류를 구하고 단채널효과를 분석하였다. 20nm이하로 채널길이가 작아지는 FET소자구조에서는 터널링에 의한 특성저하가 매우 심각하므로 이에 대한 분석도 병행하였다.

본 연구에서 제시한 전류모델은 이차원시뮬레이션 결과와 매우 잘 일치하였다. 이 모델을 이용하여 구한 문턱전압이동을 분석해 보면, 터널링에 의하여 특성이 급격히 저하되는 것을 알 수 있었다. 이와같은 현상을 줄이기 위하여 채널의 두께 및 게이트산화막두께를 감소시키면 문턱전압이동 값을 낮출 수 있을 것으로 사료되나 이는 공정개발이 선행되어야 할 것이다. 게이트산화막 뿐만이 아니라 채널두께를 정의하는 산화막형성 공정도 또한 개발되어야 할 것이다. 이 연구의 결과를 이용하여 향후 FinFET의 단채널효과 특성을 연구하는데 도움이 될 것이다. 특히 이 연구는 문턱전압이하에서 차단영역에 걸친 전압영역에서 수행되었으므로 선행영역 및 포화영역에서의 전류모델 개발이 이루어져야 할 것이다.

참고문헌

[1] H.R.Huff and P.M.Zeitoff, "The Ultimate CMOS Device: A 2003 Perspective," *the 2003 International Conference on Characterization and Metrology for ULSI Technology*, pp.1-16, Austin, Texas, 2003.

[2] Q.Chen, B.Agrawal, J.D.Meindl, "A Comprehensive Analytical Subthreshold Swing(S) Model for Double-Gate MOSFETs," *IEEE Trans. Electron Devices*, vol. 49, no.6, pp.1086-1090, Jun, 2002.

[3] D.Munteanu and J.L.Autran, "Two-dimensional modeling of quantum ballistic transport in ultimate double-gate SOI devices," *Solid-State Electronics*, vol.47, pp.1219-1225, 2003.