
분할기법을 이용한 디지털논리스위칭함수구성에 관한 연구

박춘명*

*충주대학교 전기.전자 및 정보공학부 컴퓨터공학전공

A Study on Constructing the Digital Logic Switching Function using Partition Techniques

Chun-Myoung Park*

*Major of Computer Engineering, School of EEIE, Chungju National University

E-mail : cmpark@chungju.ac.kr

요 약

본 논문에서는 분할기법을 이용하여 디지털논리스위칭함수를 구성하는 한가지 방법을 제안하였다. 먼저, 디지털논리시스템에 대한 분할기법의 개념을 서술하였고, 본 논문에서 사용되는 각종 정의에 대해 논의하였다. 또한, 제안한 방법으로 구한 디지털논리스위칭함수를 회로설계하기 위해 먼저, 각각의 분할함수에 기초를 둔 Building Block(BB)을 구성에 대해 서술하였다. 그리고 이들 BB를 근간으로 회로설계하는 방법에 대해 논의하였다. 그리고 제안한 방법을 적용 예를 들어 그 결과를 기존의 방법과 비교 및 검토하였다. 그 결과 기존의 방법에 비해 효과적인 cost를 얻을 수 있었다.

ABSTRACT

This paper presents a method of the constructing the digital logic switching functions and realizing the circuit design using partition techniques. First of all, we introduce the necessity, background and concepts of the partition design techniques for the digital logic systems. Next, we discuss the definitions that are used in this paper. For the purpose of the circuit design for the digital logic switching functions, we discuss the extraction of the partition functions. Also we describe the construction method of the building block, that is called the building block, based on each partition functions. And we apply the proposed method to the example, and we compare the results with the results of the earlier methods. In result, we describe the control functions, it means that we obtain the effective cost in the digital logic design for any other earlier methods.

키워드

Digital Logic Switching Function, Partition Techniques, Circuit Design, Building Block, etc.

1. 서 론

최근에는 하나의 칩에 여러 가지 기능을 동시에 수행할 수 있는 통합기능의 집적회로의 연구

가 주류를 이루고 있다.

즉, 지금까지의 디지털논리회로설계기법은 개별소자를 어떻게 효과적이며 효율적으로 이용하느냐 하는 것이 큰 목적이었으나, 최근의 디지털

논리설계기법은 각각의 모듈을 구성하고 있는 소자들의 개별소자를 사용하는 것보다는 복잡하더라도 좀더 경제적이고 다기능의 분할설계기법이 관심의 대상이 되고 있으며^[1-4] 최근에 그 중요성과 활용도가 요구되고 있는 임베디드시스템에도 적용할 수 있으리라 사료된다.^[5-7]

기존의 대부분의 연구에서는 이미 준비해 놓은 Building Block(BB)을 적용할 수 있는 디지털논리 스위칭함수인 경우에는 효과적이지만 그렇지 않은 경우에는 효과적인 축약된 함수(Minimized Functions)를 도출했다 하더라도 이를 디지털논리 시스템회로로 구현하는 데는 제약을 받을 수 밖에 없는 단점이 있다.

따라서 본 논문에서는 이러한 점을 고려하여 좀 더 다양한 형태의 BB를 구성하였으며, 이러한 과정을 통하여 제어함수를 상당수 줄일 수 있는 효과를 얻을 수 있었다.

본 논문의 서술과정은 다음과 같다.

먼저 II장에서는 분할함수설계기법의 도입 배경과 분할함수설계 기법의 개념에 대해 논의하였으며, III장에서는 본 논문에서 제안한 분할기법에 기초한 디지털논리 스위칭함수구성에 사용되는 각종 정의에 대해 기술하였다.

그리고 IV장에서는 분할함수의 종류에 대해 논의하였으며 V장에서는 본 논문에서 제안한 방법을 예를 들어 적용하였으며 그 결과를 비교 및 검토하였다.

II. 분할함수설계기법

본 장에서는 분할함수설계기법의 도입배경과 개념에 대해 논의한다.

2-1. 분할함수설계기법의 도입배경

본 절에서는 최근에 디지털논리시스템의 회로 구현시에 많이 적용되고 있는 분할함수설계기법에 대해 기술한다. 디지털논리시스템의 회로를 분할함수설계기법에 의한 구현의 가장 큰 장점은 개별 디지털논리 소자를 사용하는 것 보다는 경비가 절감된다는 점이다.

분할함수설계기법의 개념은 먼저 임의의 디지털논리 스위칭함수에 대한 최종 목적함수(Goal Function)를 여러개의 분할함수(Subfunction)로 분할한 후 이들 분할함수들을 체계적으로 연결하여 최종 목적함수에 대한 출력을 구현하는 방법이다.

이때 각각의 부분함수들은 이미 정의한 BB를 사용하여 구현하며 각각의 BB들은 T-Gate, PLA(Programmable Logic Array),

PLD(Programmable Logic Device), GAL(Gate Array Logic) 또는 FPGA(Field Programmable Gate Array) 등을 사용하여 구성할 수 있다.

2-2. 분할함수설계기법 개념

본 절에서는 분할함수설계기법의 개념을 기술하기 위해 다음의 예를 들어 설명한다.

예) 다음 표2-1과 같은 3변수 3치 디지털논리 스위칭함수를 분할함수설계기법으로 회로 구현하면 다음과 같다.

표 2-1. 3변수 3치 디지털논리 스위칭함수의 진리치표

Table 2-1. The truth table of 3-variable ternary digital logic switching function.

X_2X_3	00	01	02	10	11	12	20	21	22
0	0	0	0	0	1	0	0	1	0
1	1	1	0	1	1	1	0	1	2
2	2	1	0	1	1	1	0	1	2

이제 위 표2-1을 2변수의 디지털논리 스위칭함수의 분할함수의 진리치표로 표현하면 다음 표2-2부터 표2-4와 같다.

표 2-2. 분할함수 $g(X_2, X_3)$

Table 2-2. The partition function $g(X_2, X_3)$.

X_2	0	1	2
0	0	0	0
1	0	1	0
2	0	1	0

표 2-3. 분할함수 $h(X_2, X_3)$

Table 2-3. The partition function $h(X_2, X_3)$.

X_2	0	1	2
0	X_1	1	0
1	1	1	1
2	0	1	2

표 2-4. 분할함수 $f'(X_1)$

Table 2-4. The partition function $f'(X_1)$

X_1	0	1	2
g		h	h

이제 위 표2-2부터 표2-4까지의 분할함수들을로 연결하여 최종 디지털논리시스템을 구성하면 다음 그림 2-1과 같다.

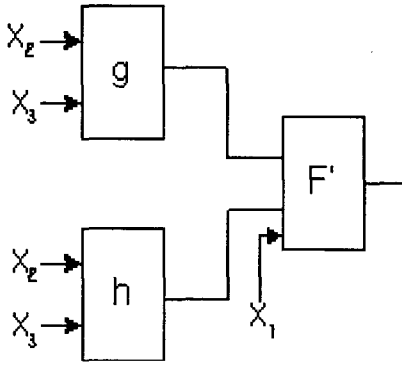


그림 2-1. 분할된 부분함수의 연결
Fig. 2-1. The connection of the partition subfunction

III. 필요한 정의

본 장에서는 본 논문에서 제안한 분할기법을 이용한 디지털논리스위칭함수구성과 이를 회로 구현하는 방법에 사용되는 각종 정의들에 대해 논의한다. 임의의 주어진 디지털논리스위칭함수는 여러개의 상이한 분할함수로 분할할 수 있으며, 이미 정의 되어있는 모듈을 사용하기 위해서는 최종적으로는 P치 2변수의 디지털논리스위칭함수로 분할되어야만 한다.

따라서 도출한 분할함수 안에서의 함수값들 사이에는 다음의 정의들과 같은 다양한 관계들이 존재하며 이러한 정의들은 각각의 분할함수사이에도 성립한다.

[정의 3-1] 분할행렬(Partition Matrix)에서 임의의 2개의 행과 열의 모든 위치에서 동일한 함수값을 갖는다면 이들 2개의 행과 열을 「Identical」이라고 한다.

[정의 3-2] 분할행렬에서 2개의 행과 열이 동일한 함수값을 갖는다면 이들 2개의 행과 열을 「Compatible」이라고 한다.

[정의 3-3] 분할행렬에서 행과 열이 상수(constant), 또는 입력변수와 같거나 오직 하나의 부분함수로 구성되어 있으면 「Trivial 행과 열」이라 한다.

[정의 3-4] 분할행렬에서 각각의 행과 열이 다른 어떤 행과 열과도 관계가 성립하지 않는다면 이를 「유일(Unique)한 행과 열」이라 한다.

IV. 분할함수 종류

본 장에서는 본 논문에서 제안한 분할설계기법에 사용되는 분할함수의 경우에 대해 논의한다.

[CASE 1] 함수 값이 모두 서로 다른 값을 갖는 경우

[CASE 2] Constant 행과 열이 존재하는 경우

[CASE 3] 1개의 Constant 행과 열, 2개의 Compatible 행과 열이 존재하는 경우

[CASE 4] 2개의 Compatible 행과 열이 존재하는 경우

[CASE 5] 2개의 Constant 행과 열이 존재하는 경우

[CASE 6] 3개의 Constant 행과 열이 존재하는 경우

V. 적용 예 및 비교검토

본 장에서는 본 논문에서 제안한 임의의 디지털논리스위칭함수로 부터 분할함수를 도출한 후 이를 바탕으로 BB를 사용하여 최종 디지털논리시스템의 회로를 구성하는 방법을 예를 들어 적용하고 그 결과를 비교 및 검토하였다.

예) 임의의 3치 2변수의 디지털스위칭함수에 대한 진리치표가 다음 표5-1과 같을 때 이를 기존의 연구에서의 방법으로 디지털논리회로로 구현하면 다음 그림5-1과 같다.

표 5-1. 3치 2변수의 디지털논리스위칭함수의 진리치표

Table 5-1. The truth table of the ternary two variable digital logic switching functions.

$X_1 \backslash X_2$	0	1	2
0	A	A	A
1	C	D	E
2	B	B	B

그림5-1에서는 3치논리 T-gate 3개를 사용하였으며, 입력은 A, B, C, D, E, 0, 1, 2 등 모두 8개를 사용하였으며, T-gate의 제어입력은 X_1 과 X_2 를 사용하여 구성하였다.

이제 본 논문에서 제안한 방법으로 회로실현하면 다음 그림5-2와 같다.

그림5-2에서 본 바와 같이 입력이 A, B, C, D, E의 5개만 사용되어 기존의 방법에 비해서 개선되었음을 알 수 있다.

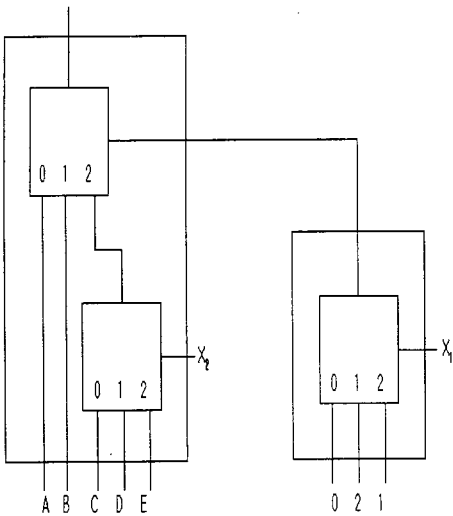


그림 5-1. 기존의 분할함수 BB를 사용하여 회로실현

Fig. 5-1. The circuit realization using previous module.

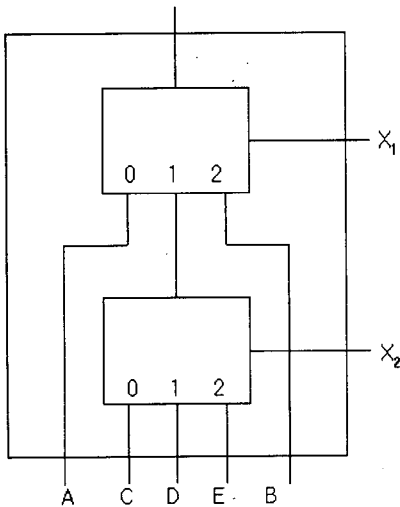


그림 5-2. 본 논문에서 제안한 방법으로 회로실현

Fig. 5-2. The circuit realization of the proposed method in this paper.

VI. 결론

본 논문에서는 최근에 디지털논리시스템의 회로 구현시에 적용되기 시작한 분할설계기법의 한 가지 방법을 제안하였다. 기존의 디지털논리회로 설계기법은 적용되는 개별소자를 어떻게 효과적이며 효율적으로 이용하느냐 하는 것이 큰 목적

이었으나, 최근에는 각각의 BB를 구성하고 있는 소자들의 개별소자를 사용하는 것보다는 복잡하더라도 좀 더 경제적이고 다기능의 분할설계기법이 요구되고 있다.

특히, 임베이드시스템에 기반을 둔 분야에 분할설계기법의 적용은 매우 효과적이다.

따라서 본 논문에서는 좀 더 다양한 형태의 BB를 구성하였으며, 이러한 과정을 통하여 제어함수를 상당수 줄일 수 있는 효과를 얻을 수 있었다.

즉, BB로서의 분할함수의 수를 증가시켜 제어함수를 줄임으로써 디지털논리소자의 회로실현시 기존의 방법들보다 BB의 수를 감소시킬 수 있었으며 이는 곧 실현된 회로의 경비(Cost)가 개선됨을 의미한다.

그러나 본 논문에서 제안한 방법은 분할함수에 따라서는 회로구성시에 기존의 방법들보다 약간 복잡해질 수도 있으며 T-Gate 갯수가 증가될 가능성이 있다.

향 후 연구과제로서는 좀 더 적은 수의 BB로 보다 다양한 분할함수에 적용될 수 있는 만능BB(Universal Building Block)의 설계가 요구되며 현재 연구 진행 중에 있다.

또한, 진보된 임베이드시스템 기법에 적용하는 연구가 요구된다.

참고문헌

- [1] W.D.Becher, *Logical Ddesign using Integated Circuits*, Hayden Book Co., 1977.
- [2] T.R.Blakeslee, *Digital Design with Standard MSI and LSI*, John Willy and sons,1979.
- [3] V.Shen, A.Mckeller and P.Weiner,"A fast algorithm for the disjunctive decomposition switching functions" *IEEE Trans.*,vol.C-20, pp.304-309, Mar. 1971.
- [4] T.Luba, H.Selvaraj and A.Kransiewaski ,*A new approach to FPGA-based logic synthesis workshop on design methodologies for microelectronics and signal processing*, Gliwice-Cracow.,1993.
- [5] F.Balarin et al, *Hardware-software Co-design of Embedded Systems: The polis Approach*, Kluwer Academic Press, Boston, June 1997.
- [6] R.K.Gupta, *Co-synthesis of Hardware and software for digital Embedded Systems*, vol.329, Kluwer Academic Publishers, Boston August 1995.
- [7] T.Blickle, J.Teich, and L.Thiele, "System-level synthesis using evolutionary algorithms," *Design Automation for Embedded Systems*, vol.3,no.1,pp.23-58,1998.