

DDS를 이용한 고속 주파수 Hopping용 디지털 주파수 합성기 구현

김영완
군산대학교 전자정보공학부

Implementation of Digital Frequency Synthesizer for High Speed Frequency Hopping

Young-wan Kim
Kunsan National University, E-mail : ywkim@kunsan.ac.kr

요 약

본 논문에서는 고속 주파수 도약과 높은 주파수 분해도 신호를 발생하는 디지털 주파수 합성기를 구현한다. 고속 주파수 도약과 미세한 도플러 주파수 보정을 위한 높은 주파수 분해도를 갖는 DDS 기술과 직접 주파수 변환을 위한 광대역 PLL 기술을 적용하여 DVB-RCS 전송을 위한 전송 중간 주파수 신호를 직접 발생하는 주파수 합성기를 구현한다. 2.5 ~ 3.0 GHz 대역의 500 MHz 사용 주파수 대역내에서 -50 dBc 이하의 스퓨리어스 신호 억압을 제공하고, 0.233 Hz의 세밀한 주파수 분해도와 125 ns 이하의 고속 주파수 도약 특성을 갖는 DFS구조를 갖는다. 또한 제작된 DFS는 광대역 사용주파수 영역에서 3 dB 이내의 이득 평탄도를 나타내었으며, 위상잡음은 1 KHz 오프셋에서 -75 dBc/Hz의 양호한 특성을 나타내었다.

ABSTRACT

The Digital Frequency Synthesizer(DFS) that generates the wideband signal with high speed frequency hopping rate and high frequency resolution characteristics was implemented in this paper. The DFS was applied as local oscillator for direct frequency conversion IF modules of DVB-RCS, which directly generates the transmission immediate frequency signal by using DDS and wideband PLL technologies. The DDS technology provides high speed frequency hopping rate and high frequency resolution characteristics, which are also the DVB-RCS requirement. The wideband PLL technology also provides the wideband signal generation, which is a necessity for direct frequency conversion modules. The implemented DFS provide the spurious suppression characteristic of -50 dBc, frequency resolution of 0.233 Hz and frequency hopping rate of 125 ns, respectively. Also the DFS represent the amplitude flatness of 3 dB and less in the pass-band and phase noise characteristic of -75 dBc/Hz at 1 kHz frequency offset.

키워드

DDS, Digital frequency synthesizer, Frequency hopping

1. 서론

위성을 통한 인터넷 서비스는 양방향 비대칭 서비스를 제공하며, 위성을 통한 양방향 전송 시스템은 육상 및 해상 등 이동형 통신방송 융합 서비스를 제공할 수 있다. 이러한 양방향 서비스의 역방향 채널에서는 DVB-RCS 표준 규격을 적용하고 있으며, DVB-RCS는 전송 대역폭에서 전송 신호의 주파수 도약 방식을 사용하고 있다. 또한 이동형 양방향 서비스의 역방향 전송에는 전송 시간의 정확성과 동기를 위하여 움직임으로 발생하는 도플러 주파수를 보상한다. 도플러 주파수 보정은 미세한 주파수 오차를 보정하므로 높은 주파수 분해도를 갖는 신호 발생기를 요구한다[1][2].

DVB-RCS용 주파수 변환 단은 다중 채널을 사용하는 광대역 전송을 위하여 2중 변환을 사용하

는 간접 변환 방식을 일반적으로 사용하고 있다 [3]. 더욱이, 주파수 변환을 위하여 사용되는 신호 발생기는 2중 변환 주파수에 적합한 신호를 발생하는 협대역 신호 발생과 좁은 주파수 영역에서의 주파수 도약 기능을 갖는 주파수 합성기로 구현하여 사용되고 있다. 간접 주파수 변환단은 직접 변환 방식에 비해 상대적으로 많은 소자와 공간을 필요로 한다. 이와는 다르게 직접 변환 방식은 간단한 구성과 간접 변환 방식의 단점을 보완할 수 있다. DVB-RCS 전송을 보다 빠른 주파수 도약 시간과 높은 주파수 분해도를 갖는 DDS와 수십 MHz 대역을 갖는 협대역성을 보완하는 광대역 PLL 성능을 갖는 고속 광대역 주파수 합성기를 필요로 한다.

본 논문에서는 높은 주파수 분해도와 빠른 주파

수 스위칭 시간을 제공하는 DDS 기술과 광대역 주파수 발생을 위한 PLL 기술을 적용하여 전송 중간 주파수를 직접 발생하는 디지털 주파수 합성기를 설계하고 구현한다. 고속 주파수 도약과 미세한 도플러 주파수 보정을 위한 높은 주파수 분해도를 갖는 신호는 협대역성을 갖는 DDS를 사용하여 구현하며, 사용 주파수 대역내 -50 dBc 이하의 스퓨리어스 신호 억압을 위한 DDS 사용 주파수 대역을 선정하여 설계한다. 또한, 500 MHz 대역의 주파수 발생을 위한 광역 PLL 회로를 설계하여 직접 주파수 변환단을 위한 디지털 주파수 합성기를 구현한다.

II. 디지털 주파수 합성기 설계

2-1 DVB-RCS 전송 링크

양방향 서비스의 역방향 위성 링크는 DVB-RCS 표준을 사용한다[1][2]. 전송 신호 I/Q 신호를 변조하여 전송 주파수 영역으로 주파수 변환하는 구조는 그림 1과 같으며, 2중 주파수 변환을 하는 2개 이상의 주파수 신호 발생기 구성을 갖는다.

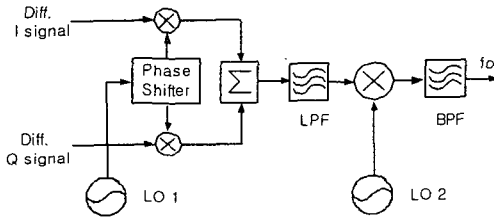


그림 1. 2개 이상의 신호 발생기를 사용한 간접 주파수 변환 구조

주파수 변환을 위한 신호 발생기는 PLL을 사용하며, 광역 주파수 신호 발생이 가능하나 주파수 도약의 스위칭 시간의 제한 및 불요파 발생 등 일정한 제약을 가질수 있다. DVB-RCS를 위한 신호 발생기는 다음과 같은 고속의 주파수 신호 스위칭과 미세한 주파수 분해도 그리고 사용 주파수 대역의 광역성을 요구한다[3]. 표 1과 같은 성능을 만족하고 주파수 변환단의 직접 변환을 위한 고속 광대역 주파수 신호 발생은 그림 2와 같이 구성한다. 높은 주파수 분해도와 고속 주파수 신호 도약을 위한 DDS(Direct Digital Synthesizer)와 광역 주파수 발생을 위한 PLL 구조를 사용하여 디지털 주파수 합성기(DFS:Digital Frequency Synthesizer)를 구현한다.

표 1. DVB-RCS용 전송 중간 주파수 성능

항목	성능
Output frequency	2.5 ~ 3.0 GHz
Hopping time	< 12 us
PLL lock time	< 50 ms
Frequency resolution	< 1 kHz
Spurious	< -50 dBc @ Inband < -60 dBc @ Outband
Phase noise	-75 dBc @ 1 kHz -85 dBc @ 10 kHz -117 dBc @ 100 kHz

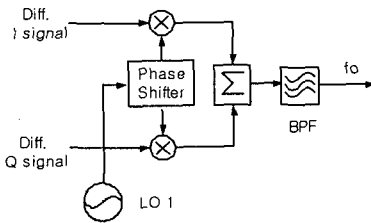


그림 2. 고속 광대역 DFS를 사용한 직접 주파수 변환 구조

2-2 광대역 DFS 설계

2.5 ~ 3.0 GHz 대역의 고속 주파수 도약을 갖는 주파수 합성기 구조는 그림 3과 같다. DDS는 많은 불요파 신호를 발생하므로 요구하는 대역내 불요파 신호 억압을 위하여 고속 주파수 도약이 가능한 주파수 영역을 선택한다. 사용하고자 하는 DDS(AD9858)의 불요파 성능은 700~900 MHz 클럭 신호에 대하여 130 ~ 270 MHz 범위의 사용 주파수 대역내에서 -50 dBc 이상의 특성을 나타내었으며, 1 GHz 이상의 높은 클럭 신호에서는 약 140 MHz 대역내에서 -55dBc 정도의 대역내 불요파 신호 특성을 나타내었다. 따라서 고속 주파수 도약 및 높은 주파수 분해도를 갖는 기본 주파수 영역으로 그림 3과 같은 1 GHz 클럭 신호와 130 ~ 250 MHz 대역을 사용한다.

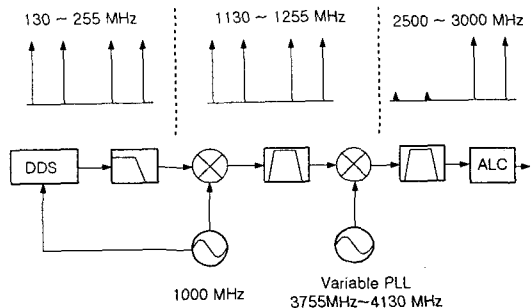


그림 3. 고속 광대역 DFS 구성도

DDS 출력 신호는 다음 식 (1)과 같은 관계를 만족한다[4].

$$f_{out} = \frac{f_{clk} \cdot PIV}{2^N} \quad (1)$$

여기서, f_{clk} 는 기준 주파수(클럭) 신호이며, PIV 는 위상 증가분(Phase Increment Value) 이다. 또한 N 은 위상 누산기의 데이터 폭(phase accumulator resolution in bits)이다.

DDS에서는 f_{clk} 과 N 은 사용 환경과 회로 자체에서 결정되는 값으로, 출력 신호 주파수는 위상 증가분 파라미터를 조정하여 결정할 수 있다. 또한, 주파수 분해도(resolution)은 다음 식 (2)를 만족한다.

$$f_{resolution} = \frac{f_{clk}}{2^N} \quad (2)$$

1차 대역 통과 필터는 DDS 출력과 1 GHz 신호와의 혼합 출력 신호인 USB(Upper Side Band) 신호를 대역 통과하고 영상 신호와 국부발진 신호를 억압하는 세라믹 필터와 2차 3차 고조파 신호 억압을 위한 LC 필터로 설계된다. 2차 혼합기에 의한 출력 주파수 신호는 500 MHz 대역내 이득 평탄도를 위하여 혼합기에 입력되는 낮은 주파수 영역 신호는 최종 신호의 높은 신호 영역으로 전환되도록 하는 입력 신호와 국부발진 주파수와의 차 신호를 선택하는 구조로 대역내 이득 불균형을 보정하도록 그림 3과 같은 주파수를 설계한다. 최종 출력 주파수를 위하여 2차 신호 발생은 광역 주파수 발생 PLL 회로를 사용하며, 불요파 신호 억압은 유전체 광대역 대역 통과 필터를 설계하여 사용한다.

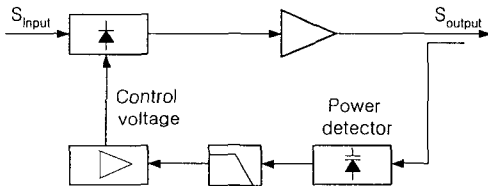


그림 4. ALC 구성도

주파수 합성기의 출력 신호는 ALC(Automatic Level Control) 회로에 의해 일정하게 자동 조정하도록 한다. ALC 회로는 그림 5와 같이 출력 크기 조절 및 전력 감지부 그리고 제어 신호발생부로 구성되며, 출력 조절 단자는 PIN 다이오드 그리고 전력 감지부는 Schottky 다이오드를 사용하여 설계한다.

III. 제작 및 실험

DDS는 1 Gsps, 32 bit FTW(Frequency Tuning

Word) 그리고 10 bit DAC를 지원하는 AD9858를 사용하였다. 기준 클럭 신호로는 1 GHz 주파수 신호를 사용하였으며 식(2)에 의해 주파수 분해도는 약 0.233 Hz의 미세 주파수를 구현하였다. 또한, 출력 주파수 신호의 도약은 식 (1)의 위상 증가분 FTW 데이터를 제어함으로써 구현할 수 있다. 그림 5는 DDS와 광대역 PLL로 설계 제작한 DFS를 보여준다.

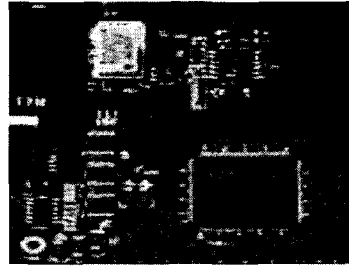
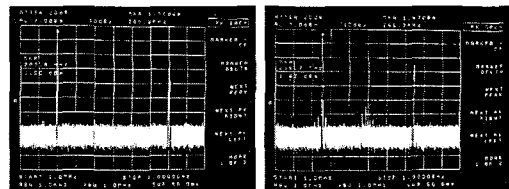


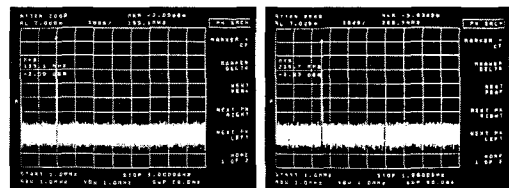
그림 5. 제작된 DFS

설계 제작된 DFS의 DDS 출력은 그림 6과 같이 불요파 신호들을 포함하고 있음을 알 수 있으나, 대역 통과 필터에 의해 불요파 신호가 억압된 130 ~ 255 MHz 영역의 주파수 신호를 보여준다. 사용 주파수 대역에서의 불요파 신호는 -50 dBc 이하로 억압된 결과를 보여준다.

그림 7은 DFS의 출력 주파수 2.5 ~ 3.0 GHz 영역의 전송 중간 주파수 신호를 보여준다.

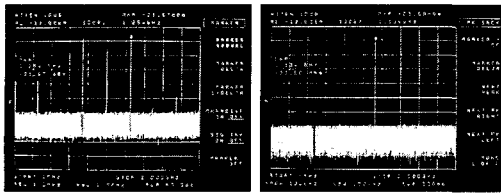


(a)

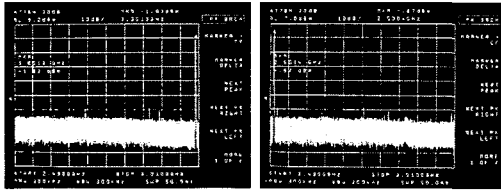


(b)

그림 6. DDS의 출력 신호 (a) 및 대역 통과 필터된 출력 신호 (b)



(a)



(b)

그림 7. 혼합기의 출력 신호 및 대역 통과 필터된 신호 (a)와 DFS의 출력 신호 (b)

DDS 신호와 광대역 PLL 신호의 혼합 신호는 영상 신호와 누설 국부발진 신호 등 불요파 신호를 포함하고 있으며, 광대역 통과 필터에 의해 사용 주파수 대역 이외의 불요파 신호를 -60 dBc 이하로 억압함을 알 수 있다. 중심 주파수와 광대역 경계 주파수간의 출력차를 보정하기 위하여 제 2차 혼합기 출력 신호는 국부발진 주파수와 입력 신호 주파수 차를 선정하였으며, 결과적으로 그림 7 (b)와 같이 2.5 ~ 3.0 GHz의 사용 주파수에서 3 dB이 내의 이득 평탄도 특성을 나타내었다.

DFS 신호의 위상잡음은 1 KHz 윗셋(offset)에서 -75 dBc/Hz의 양호한 특성을 나타내었다. 또한, DDS와 PLL 혼합 구조를 통하여 PLL의 주파수 변환 시간(100 us) 보다 약 1000배의 속도인 125 ns로 주파수 변환이 가능한 고속 광대역 DFS 신호 특성을 나타내었다.

IV. 결론

본 논문에서는 DVB-RCS 역방향 전송 링크의 직접 주파수 변환단에서 사용되는 고속 주파수 도약 및 광대역 주파수 영역을 갖는 DFS를 설계하고 구현하였다. DDS와 광대역 PLL을 사용하여 2.5 ~ 3.0 GHz 광대역 주파수 영역에서 0.233 Hz의 세밀한 주파수 조정이 가능하고 125 ns 이하의 고속 주파수 도약 특성을 갖는 DFS구조를 구현하였다. 제작된 DFS는 사용 주파수 대역내에서 약 -50 dBc의 불요파 특성과 3 dB 이내의 이득 평탄도 그리고 대역이외의 영역에서 -60 dBc 이하의 불요파 억압 특성을 나타내었다. 또한 위상잡음은 1 KHz 윗셋에서 -75 dBc/Hz의 양호한 특성을 나타내었다.

References

[1] ETSI EN 301 790, Digital Broadcasting

(DVB) : Inetraction Channel for Satellite Distribution Systems, v 1.1.1, 2000.

[2] ETSI EN 101 790, Digital Broadcasting (DVB) : Inetraction Channel Guidelines for the use of EN 301 790 v 1.1.1, 2001.

[3] J. G Ryu, et al, "Design and Implementation of fast frequency hopping Tx IF module for satellite terminal based on DVB-RCS", 2003 VTC Conf., vol 4, pp. 2754-2757, 2003.

[4] Kushner L. J., "The composite DDS a new direct digital synthesizer architecture", 47th Proc. of the 1993 IEEE International, pp. 255-260, 1993.