

ac PDP 에서 Addressing 특성개선을 위한 Negative Ramp Slope 이 적용된 Reset Pulse 에 관한 연구

최혜림*, 정선욱*, 강정원*

*단국대학교 전자컴퓨터공학부 디스플레이소자연구실, 서울시 용산구 한남동 산 8번지

초록

일반적인 PDP 에 적용된 ADS 방식에서 Reset 파형은 ON/OFF Cell 을 초기화 시켜주고 Wall charge를 쌓아줌으로써 낮은 Address 전압으로도 구동을 가능하게 해준다. 기존의 Reset 파형은 Positive ramp pulse를 이용하여 구현하고 있으나 본 논문은 Negative ramp pulse가 적용된 새로운 Reset 파형을 제안하고자 한다. 2-Dimensional fluid simulation code를 이용하여 Ramp부분에 초점을 맞춰 Reset파형을 분석했으며 제안된 Negative ramp reset 파형은 기존의 Positive ramp reset 파형보다 70V가 낮은 전압에서 방전이 발생하는 것을 확인했다. Negative ramp pulse를 적용했을 경우, Positive ion들이 모두 Negative ramp pulse가 인가된 Scan전극으로 모이는 현상 때문에 기존 Reset파형에 의한 방전일 때보다 낮은 전압에서의 초기방전을 발생시키므로 Reset에 소요되는 시간과 전압을 감소시킬 수 있다.

1. 서론

Digital 방송과 다양한 High quality 콘텐츠의 유입으로 새로운 Flat panel display 시장이 급격히 성장하고 있다. PDP 는 기존 영상 디스플레이 장비보다 밝고 선명한 고품질의 영상을 재현할 수 있는 디스플레이 중 대표적이다. HDTV 방송의 시작으로 일반적인 468 Scan 라인의 VGA 급보다 768 Scan 라인의 XGA 급 Display 와 같은 High resolution display 에 대한 수요가

증가되고 있다. Resolution 의 증가는 Pixel pitch 의 감소, Address 에 필요한 시간을 증가시키면서 Address 특성이 불안정해지며 구동전압이 올라가는 문제점이 발생된다[1-2]. 이 같은 Addressing 과 관련된 문제점들을 해결하기 위해 PDP Cell 의 구조 변화, PDP 내 Gas 변화, 구동파형의 개선과 같은 해결방안을 들 수 있다. 첫째, PDP 를 구성하는 각 layer 의 geometry factors 를 변화시킴으로써 PDP Cell 내 인가되는 전압을 상승시켜 많은 Wall charge 가 축적됨에 따라 Address 에 필요한 시간이 감소되는 구조개선안이 있다. 둘째, PDP panel 내 Gas 구성에 있어 첨가 Gas 를 혼합하거나 농도를 변화시켜 구동특성을 개선하는 방법이 있다. 셋째, 이전 Sub-field 의 On/Off Cell 간 겹을 최소화시키면서 좀더 많은 양의 Wall charge 를 uniform 하게 생성할 수 있는 Reset 파형의 개발을 들 수 있다[5-6].

본 논문에서는 세 번째 해결방안인 Reset 파형 변화를 통해 기존의 파형보다 더 낮은 전압으로 더 빠른 Reset 을 수행할 수 있는 Address 방전 특성이 개선된 실험결과를 보여주고자 한다.

2. Simulation 조건

본 논문에서 Ramp 구간을 연산하는데 이용한 2-Dimensional fluid simulation code 는 사용자의 임의대로 설정된 압력과 온도 등의 환경하에서 2-Dimensional 직사각형 구조 내부의 유전체로 덮힌 전극들 사이에서 발생하는 gas 방전의 전기적 특성이 연산되는 Code 이다. 사용자에게 의해 입력된 임의의 Pulse series 중 단일 pulse 에 대해 순차적으로 연산해 나가며 방전으로 인해 대전된 입자들의 확산, 재결합 등의 이동과 전계의 변화 등을 시간에 따라 연산한다. Cell 구조와 전극 구성은 상호작용으로 설계되고 Visual 결과가 Simulation 중에도 보여지며 방전 환경과 압력에 의해 방전개시전압이 자동으로 계산되는 기능이 있다[3-4].

그림 1은 Reset waveform의 방전특성을 분석하기 위한 PDP Cell 구조 모식도이다. 50인치 XGA급으로 Cell pitch폭 x축과 높이 y축은 $810\ \mu\text{m}$, $200\ \mu\text{m}$ 으로 설정했으며 x방향으로 60개, y방향으로 40개의 격자로 구성된 Symmetric boundary 환경으로 설정되어 있다. 2-Dimensional fluid simulation code에서 격벽은 Address 전극과 평행하기 때문에 분석되지 않는다.

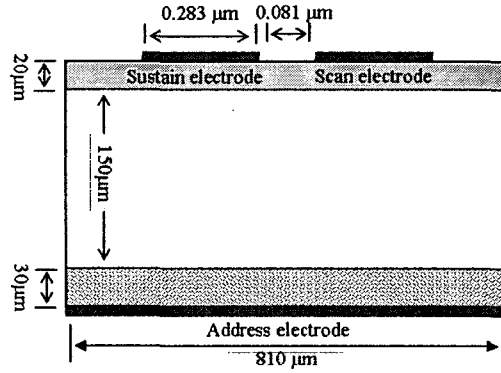
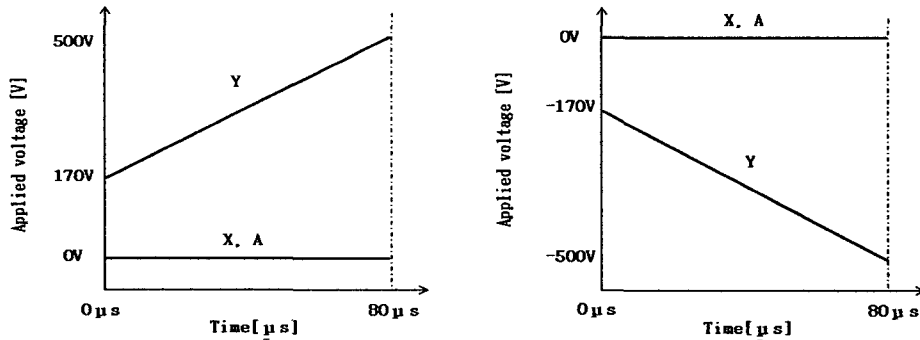


그림 1. 50인치 XGA급 PDP Cell 구조

이차전자방출 계수(γ) 0.5, 0.05의 Ne(90%)- Xe(10%)의 혼합가스가 봉입됐으며 500torr의 구동환경에서 유전층의 두께와 상대 유전율은 상판 $20\ \mu\text{m}$, $\epsilon/\epsilon_0=10$, 하판 $30\ \mu\text{m}$, $\epsilon/\epsilon_0=5$ 로 설정했다. 격벽 높이는 $150\ \mu\text{m}$ 이고 Sustain과 Scan 전극 길이는 $0.283\ \mu\text{m}$ 이고 전극 간 갭은 $0.081\ \mu\text{m}$ 이다.

3. Simulation 결과 및 고찰

ADS 방식에서 Reset pulse 에서 초기화 이후 Cell 의 Wall charge 상태는 Addressing 방전에 영향을 미치게 되므로 Wall charge 를 전체적으로 Uniform 하면서 충분히 만들어줘야 한다. 이 단계에서 Addressing 전압, Addressing 실패, Addressing 속도 등이 중요한 요소가 되므로 기존의 Reset 파형과 제안된 Reset 파형의 방전 발생 시점과 축적된 Wall charge 를 비교하여 개선된 사항을 확인할 수 있다.

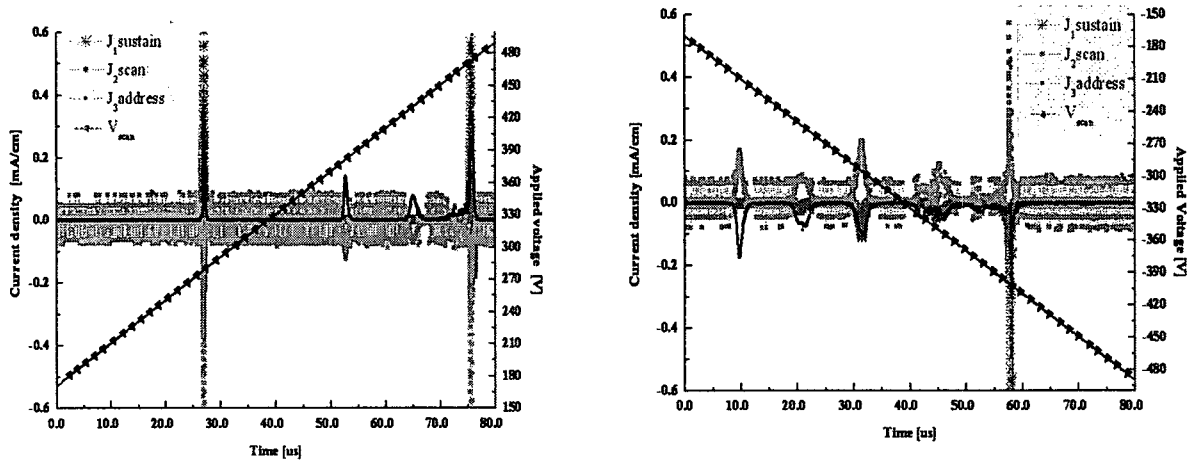


(a) 기존 Positive ramp reset pulse

(b) 제안된 Negative ramp reset pulse

그림 2. Applied voltage

그림 2 에서 Y 는 Scan 전극, X 는 Sustain 전극, A 는 Address 전극이고 reset pulse 는 Scan 전극에 인가된다. 기존의 Positive ramp pulse 유형인 (a)의 경우 Sustain 과 Address 전극에는 0V 를, Scan 전극에는 170V 에서 500V 까지의 Positive slope 의 Reset pulse 를 인가하고, 제안된 Negative ramp pulse 유형의 (b)에서는 (a)의 경우와 같이 Sustain 과 Address 전극에는 0V 를, Scan 전극에는 Negative slope 형태로 -170V 에서 -500V 의 Reset pulse 를 인가한다.



(a) 기존 Positive ramp reset pulse

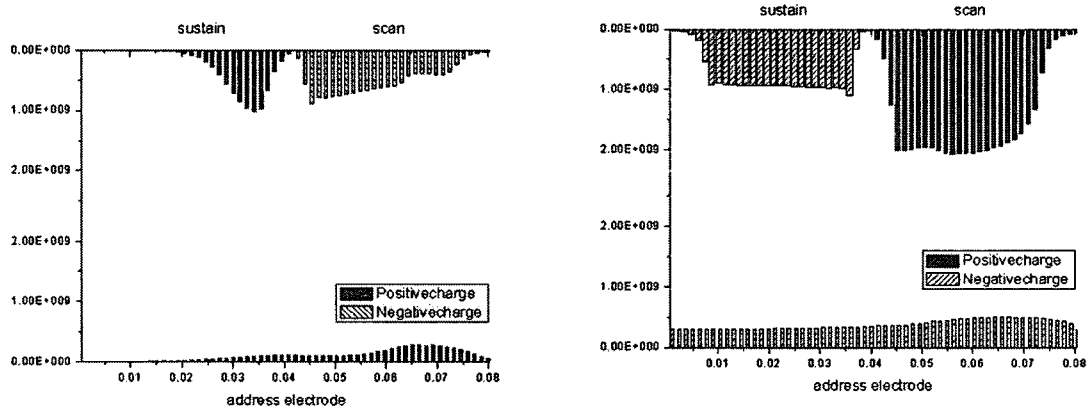
(b) 제안된 Negative ramp reset pulse

그림 3. Current density

그림 3은 전극 간 Interaction과 Current peak를 보여주고 있다. 우선 기존의 Reset pulse의 경우(a), Scan 전극에 $4V/\mu s$ 의 Voltage increment로 $80\mu s$ 동안 170V에서 500V가 인가되는 동안 $28\mu s$ 가 경과된 280V지점에서 Reset 방전이 발생된 것을 확인할 수 있다. Scan-sustain 전극간, Scan-address 전극간 약방전이 일어나고 Sustain 전극과 Address 전극은 Cathode가 되어 Positive ion들이 축적되고 Scan 전극은 anode가 되어 Negative ion들이 Scan 전극 위에 쌓이게 된다. 따라서 Scan 전극으로부터 Negative current가 흐르고 Sustain과 Address전극으로부터 Positive current가 흐르는 것을 확인할 수 있다.

제안된 새로운 Reset pulse의 경우(b), Scan 전극에 $-4V/\mu s$ 로 -170V에서 -500V가 인가되는 과정에서 $10\mu s$ 가 경과된 -210V지점에서 Reset 방전이 발생된다. 따라서 기존의 Positive ramp pulse일 때보다 Negative ramp pulse가 적용된 경우 Reset 방전개시전압은 70V 감소되고 소요시간 역시 $18\mu s$ 감소됐다. Positive ramp pulse를 인가했을 때 Positive ion들은 Sustain

전극과 Address전극을 향해 분산되어 drift되는 반면 Negative ramp pulse를 인가했을 때, Positive ion들은 모두 Scan 전극에 모이게 된다. 그러므로 Negative ramp pulse를 적용했을 때, Positive ramp pulse의 경우보다 더 낮은 전압으로도 Reset 방전이 가능하게 된다.



(a) 기존의 Positive ramp reset pulse (b) 제안된 Negative ramp reset pulse

그림 4. Accumulated wall charge

그림 4는 그림 3의 (a), (b)에서 방전이 소멸한 후의 동일시점 70 μs에서의 Wall charge profile이다. Negative reset pulse의 경우, Positive reset pulse의 Wall charge보다 50%가량 증가된 Wall charge가 형성됐다. 따라서 기존 reset waveform의 경우와 비교했을 때 전압의 감소와 더불어 충분한 Wall charge의 축적을 확인할 수 있었고 개선된 결과를 토대로 PDP Full reset waveform을 설계하는 연구가 진행 중이다.

4. 결론

본 연구에서는 기존의 Reset waveform 에서의 Positive reset pulse 대신 Negative reset pulse 를 인가함으로써, 30% 빨라진 방전 발생 시간과 25% 낮아진 전압레벨을 확인할 수 있었다. Reset 방전 후의 Cell 내 Wall charge 의 축적된 양 역시 기존 파형에 의해 축적된 Wall charge 보다 제안된 파형에 의한 Wall charge 양의 50%이상 증가는 Addressing 방전에서도 더 낮은 방전개시전압으로 구동이 가능하게 한다. 그러므로 감소된 Reset 전압과 감소된 Reset

한국반도체및디스플레이장비학회 2006년도 춘계학술대회용 논문집

방전시간으로 HDTV 와 같은 대화면, 고정세의 PDP 구동에 있어 Addressing 의 안정성을 확보하면서 높은 구동전압을 낮출 수 있는 해결책을 제시하였다.

참고문헌

- [1] S.Mikoshiba, Inform.Display, Vol.10, pp.21-23, 1994
- [2] Yoshikawa K, Kanazawa Y, Wakitani W, shinoda T and Ohtsuka A 1992 Japan. Display 92
- [3] J.P.Boeuf, JOURNAL OF PHYSICS D: APPLIED PHYSICS, 2003
- [4] J.P.Boeuf, V.Punset, A.Hirech and H.Doyeux, J.PHYS.IV FRANCE 7, 1997
- [5] L.C.Pitchford, J.Kang, C.Punset and J.P.Boeuf JOURNAL OF APPLIED PHYSICS, Vol.92, NO12, 2002
- [6] Jungwon Kang, IEEE Trans. Electron Devices, Vol.52, NO.5, pp.922, 2005
- [7] C.Punset, S.Cany, and J.P.Boeuf, JOURNAL OF APPLIED PHYSICS, Vol.86, NO1, pp.124-133, 1999