

저온에서 제작된 고분자 기판 위의 poly-Si TFT 제조 및 특성

강수희^{1,2}, 김영훈¹, 한진우², 서대식², 한정인^{1*}
연세대학교, *전자부품연구원

Fabrication and characteristics of low temperature poly-Si thin film transistor using Polymer Substrates

Soo-Hee Kang^{1,2}, Yong-Hoon Kim¹, Jin-Woo Han², Dae-Shik Seo², Jeong-In Han^{1*}

¹Korea Electronics Technology Institute, ²Yonsei Univ.

Abstract : In this paper, the characteristics of polycrystalline silicon thin-film transistors (poly-Si TFTs) fabricated on polymer substrates are investigated. The a-Si films was laser annealed by using a XeCl excimer laser and a four-mask-processed poly-Si TFT was fabricated with fully self-aligned top gate structure. The fabricated nMOS TFT showed field-effect mobility of 30 cm²/V·s, on/off ratio of 105 and threshold voltage of 5 V.

Key Words : polycrystalline silicon, Excimer laser, RF magnetron sputtering, polymer

1. 서 론

고분자 기판은 기존에 디스플레이 분야에서 많이 이용되던 유리나 웨이퍼에 비해 가볍고 유연하며 충격에 강한 특징을 갖는다. 또한 공정이 간단하고 Roll-to-roll 프로세스에 적용할 수 있어 양산에 있어서도 상당히 유리하다 [1]. 그러나 고분자 기판을 이용할 경우 기존에 다결정 실리콘을 형성하는데 필요한 온도에 비해 상당히 낮은 150°C 이하에서 공정이 진행되어야 한다는 단점이 있다. 비정질 실리콘을 증착하는데 많이 쓰이는 PECVD 방법은 박막내에 수소가 많이 포함되어 있어 박막이 조밀하지 못하고 탈수소화 과정을 수행하지 않을 경우 outgassing에 의해 박막의 터짐 현상이 나타날 수 있다. 비정질 실리콘 박막을 LPCVD로 증착할 경우 보통 550°C 이상에서 공정이 진행되어야 하며 이는 유리천이온도(Tg)에 가깝기 때문에 플라스틱 기판을 이용하기에는 적당하지 못하다. 그러나 스퍼터링을 이용할 경우 증착시 화학적 상호작용이 일어나지 않으며 플라스틱 기판을 이용할 수 있는 극저온(<150°C)에서 증착할 수 있다는 장점이 있다.

다결정 실리콘을 제조하는 방법에는 고상결정화(Solid Phase crystallization), 금속유도 결정화(Metal Induced Lateral Crystallization), 엑시머 레이저 어닐링(Excimer Laser Annealing) 등의 방법이 있는데, 그 중 엑시머 레이저를 이용한 방법이 낮은 온도에서 결정화를 시킬 수 있고 결함이 적은 박막을 얻을 수 있다[2-4].

2. 실험

본 실험에서는 공정이 진행되는 동안 고분자 기판의 스트레스를 최소화 되도록 하기 위해서 고분자 기판위에 무기물층을 증착하기 전에 미리 진공상태에서 어닐링을 실시하였다. PES(polyethersulfone) 180°C, PAR(polyarylate) 250°C에서 각각 진행하였다. 고분자 기판의 위와 아래에

고 에너지의 영향을 줄일 수 있는 e-beam evaporation을 이용하여 110°C에서 증착율 90Å/min으로 SiO₂를 증착하였다. 위쪽의 산화막은 고분자 기판과 비정질 실리콘 박막 사이에서 오염 물질의 장벽 역할을 하고, 결정화시에는 박막의 손상을 줄일 수 있는 열장벽의 역할을 한다. 아래쪽의 산화막은 열응력의 균형을 맞추어 주고, 공정 중 기판으로의 화학물질 오염을 방지해주는 역할을 한다. 500Å 두께의 비정질 실리콘 박막을 120°C의 온도에서 RF 마그네트론 스퍼터링법으로 증착하였으며, 비정질 실리콘 박막내에 Ar의 함량은 공정압과 Ar과 He의 혼합 비율로 제어할 수 있었다. 증착된 비정질 실리콘 박막은 얇은 접착 필름을 이용하여 유리 기판 위에 붙여 XeCl 엑시머 레이저(λ=308nm)로 조사하였다. 400nm 두께의 interlayer dielectric을 증착하였고, 마지막으로 Source/Drain 전극 형성을 위해 300nm의 Al-Nd를 증착하여 패터닝하였다.

3. 결과 및 검토

유리 기판을 사용하는 대신 고분자 기판을 사용하는 가장 큰 단점중의 하나는 공정상 기판의 가열과 냉각시 열응력이 발생하여 기판의 크랙 발생의 원인이 된다.

박막 트랜지스터를 제작하는 동안 불가피한 Shrinkage의 영향을 줄이기 위해 공정 전부터 미리 어닐링을 실시하였다. 그림 1은 여러 어닐링 조건에 따른 PES와 PAR의 Shrinkage rate을 보여주고 있다. 고분자 기판을 적어도 60시간 이상에서 어닐링을 해야 가장 작은 Shrinkage rate을 알 수 있었다. PES 기판의 경우 박막 트랜지스터 공정중 180~200ppm/K까지, PAR은 40ppm/K 이하까지 감소되었다.

그림 2에서는 고분자 기판을 이용하여 다결정 실리콘 박막 트랜지스터 소자를 만든 사진을 나타내었다. 제작된 nMOS 박막 트랜지스터의 Transfer 특성은 그림3에서 보여주고 있다. 제작된 nMOS 박막 트랜지스터의 전계효과 이

동도는 $30\text{Cm}^2/\text{Vs}$, on/off ratio는 10^5 , 문턱전압은 5V로 측정되었다.

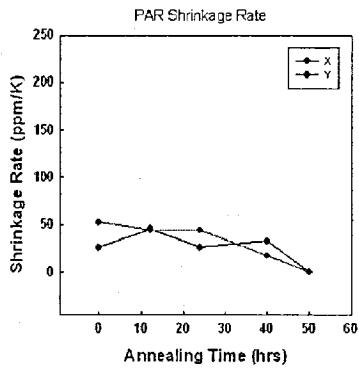
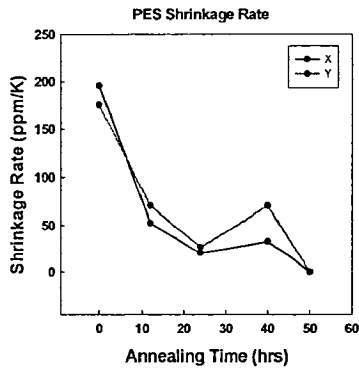


그림 1. Shrinkage rate changes of PES and PAR substrates as a function of annealing time.

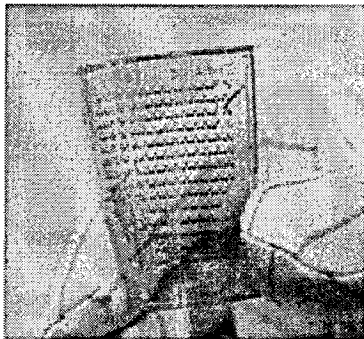


그림 2. Image of poly-Si TFTs fabricated on a polymer substrate.

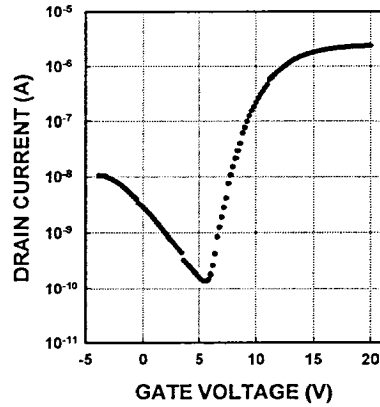


그림 3. Transfer characteristics of fabricated nMOS poly-Si TFTs on polymer substrates.

4. 결론

본 연구에서는 비정질 실리콘 박막을 증착할 수 있는 스퍼터를 이용하여 다결정 실리콘 박막 트랜지스터를 제작하였다. 집적 구동회로와 함께 플렉시블 Active-matrix 디스플레이의 제조에 적합하기 위해서는 저온 공정에서 진행해야 하고 낮은 불순물 함량을 포함하는 스퍼터를 이용하여 증착하였다.

PES를 이용하여 제작된 nMOS 박막 트랜지스터의 전계효과 이동도는 $30\text{Cm}^2/\text{Vs}$, on/off ratio는 10^5 , 문턱전압은 5V로 측정되었다.

참고 문헌

- [1] P. G. Carey, P. M. Smith, S. D. Theiss, and P. Wickbloldt, J. Vac. Sci. Technol. A 17, 4 (1999)
- [2] M. Cao, S. Talwar, K. L. Kramer, T. W. Sigmon, and K. C. Saraswat, IEEE Trans. Electron Devices 43, 56 (1990)
- [3] T. Sameshima and S. Ushi, Appl. Phys. Lett. 59, 2724 (1991)
- [4] D. K. Fork, G. B. Anderson, J. B. Boyce, R. I. Hohnson, and P. Mei, Appl. Phys. Lett. 68, 2138 (1996).