

다층 구조에 의한 $(\text{Ba}_{0.7}\text{Sr}_{0.3})\text{TiO}_3$ 의 물리적 특성

홍경진¹, 조재철²

¹광주대학교 컴퓨터전자통신공학부, 광주광역시 진원동 광주대학교

²조당대학교 전자공학과, 전남무안군 무안읍 조당대학교

The properties of $(\text{Ba}_{0.7}\text{Sr}_{0.3})\text{TiO}_3$ by Multilayer structure.

Kyung Jin Hong¹, Jae Cheol Cho²

Abstract

In this study, $(\text{Ba}_{0.7}\text{Sr}_{0.3})\text{TiO}_3$ was coated on Pt/Ti/SiO₂/Si wafer by using Sol-Gel method. Coating process was repeated 3~5 times and then sintered at 750[°C] for 1 hour. Each specimen was analyzed structure and electrical characteristics. In structure characteristics, EDX analyzed the samples ratio of the formation on the structural property. Thermal behavior was observed with TG-DTA and concluded that the heat-treatment of the samples was degreed 750[°C]. Surface and section of thin films were observed with SEM.

Key Words : sol-gel method(졸-겔 법), ferroelectric(강유전체), EDX, TG-DTA, SEM

1. 서 론

강고유전율 강유전성 박막 재료로 $\text{SrTiO}_3(\text{STO})$ ¹⁾, $\text{Ba}_{1-x}\text{Sr}_x\text{TiO}_3(\text{BST})$ ²⁾, $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3(\text{PZT})$ ³⁾, $\text{SrBi}_2\text{Ta}_2\text{O}_9(\text{SBT})$ 등이 주로 연구되고 있다.

최근 PZT, SBT의 단점을 해결한 $(\text{Bi},\text{La})_4\text{Ti}_3\text{O}_{12}(\text{BLT})$ 가 새로운 FRAM용 강유전성 세라믹 재료로 연구 발표되었다.

PZT는 유전율이 1[MHz]에서 1300정도이지만 1[GHz]에서는 40정도로 낮아지게 되고 유전손도 0.1정도로 커진다. Clock rate가 100[MHz]이상인 ULSI DRAM용 커패시터에는 사용 불가능할 것으로 보인다.

반면 BST는 200 이상의 높은 유전율과 낮은 유전손을 가지며, Sr의 조성비에 따라 DRAM의 동작온도 범위 70~80[°C]에서 상유전체로 존재할 수 있어 잔류분극의 크기를 조절할 수 있다.

또한 BST는 강유전성이 갖는 분극 반전할 때의 피로특성을 개선할 수 있으며, 고주파와 온도에 따른 유전특성 및 절연특성이 우수하여 2~3[GHz]의 높은 주파수 영역에서도 400~800의 높은 유전율을 유지한다.⁴⁾ 따라서, ULSI DRAM 커패시터 재료로서 사용이 가능한 것으로 알려지고 있다.

박막의 유전특성은 제조 방법 뿐만 아니라 기관의 종류, 기관온도, 증착 속도 등 증착 조건에 따라서도 많은 차이를 보인다.^{5)~6)}

BST유전체 박막의 제조 방법으로는 RF magnetron sputtering, Laser ablation, Multi Ion Beam Reactive

Sputtering, Metal Organic Chemical Vapor Deposition, Sol-Gel 등과 같이 다양하게 연구되고 있다.

Sputter 방법은 제조공정이 용이하나, 제조된 박막의 표면이 거칠며 박막의 조성비 조절이 어렵다. 또한 화학적, 물리적 특성을 제어하기 어려우며 고가의 장비를 필요로 한다.

2. 실험 및 방법

코팅 용액의 제조에 사용 될 시료는 Ba Acetate, Sr Acetate, TiO_3 는 Titanium diisopropoxide bis(Acetylacetonate) 축매로는 Acetic Acid를 사용하였고, 점도 및 산도 조정 액으로 Isopropyl Alcohol을 사용하였다.

Ba과 Sr은 $\text{Ba}_{0.7}\text{Sr}_{0.3}\text{TiO}_3$ 의 조성비율에 따라 계량하여 Acetate Acid에 90[°C] 분위기에서 용해시켰다. TiO_2 는 diisopropoxide를 이용하여 용해시키면 공기 중에 반응이 일어난다. 그러므로 acetylacetonate에 용해되어 있는 TiO_2 를 사용하였다.

혼합할 각 용액을 조성비에 맞게 계량하고 90[°C]에서 교반기를 사용하여 혼합하였으며, pH2~3과 점도를 조정하기 위하여 Isopropyl Alcohol을 첨가하여 코팅 용액을 만들었다.

Spin coater를 사용하여 칩에 코팅 용액을 떨어뜨려 4000[rpm]으로 30초 동안 회전 코팅하였다. Sol-Gel법에 의한 제조 상 문제점이 될 수 있는 박막에서의 균열의 발생을 최소로 하고 치밀성을 높이기 위한 방법으로 증합의 속도보다는 수분 및 알코올의 증발 속도가 빠르도록 열교반기를 이용하여 150[°C]에서 5분간 건조하여 다시 상온으로 자연 냉각시키고 다시 코팅하는 방법으로 3~5회 코팅하여 박막의 두께를 변화시켰다.

광메모리 소자용 BST 박막의 표면 미세 구조와 박막과 코팅 상태는 SEM 측정 장치를 사용하였다. 또한, 박막 표면의 정량적인 분석과 표면 특성을 고찰하기 위하여 프랙탈 분석과 영상처리를 하였다.

3. 결과 및 검토

합성한 BST(70/30)코팅 용액의 조성비는 EDX분석 결과 Table 1과 같았다. Ba의 원자량이 137.34이고 Sr의 원자량은 87.62이므로 Ba과 Sr의 조성 물비를 산출한 결과 68 : 32로 목표값 70 : 30에 비해 미소한 오차를 보였다.

Table1. EDX result of BST(70/30) coating solution

comp. Spec.	Ba	Sr	Ti	O
Weight%	58.02	17.09	18.84	6.05

시료의 열 분석 결과는 그림 1과 같다. 그림 1에서 100 [°C] 부근의 흡열 피크와 중량감소는 수분과 Acetic Acid의 증발로 인한 것으로 판단된다.

Nishide 등의 연구에 의하면 사용된 유기 배위체가 Gel 내에 잔류하고 있기 때문에 그들의 연소에 따른 발열 피크가 500[°C]이전에 2~3개 나타난다고 밝히고 있다.

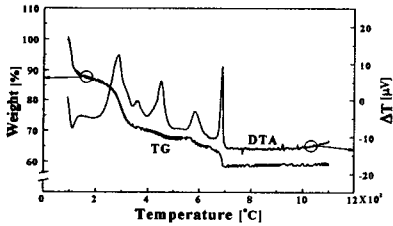
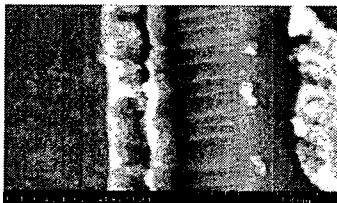


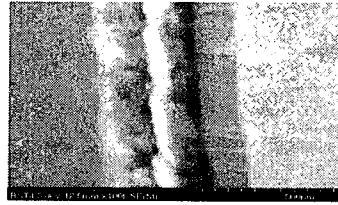
Fig. 1. TG-DTA result of BST(70/30).

그림 2는 BST(70/30) 3회, 4회, 5회 코팅한 박막의 단면사진이다. BST3의 두께는 2500[Å], BST4의 두께는 3500[Å], BST5의 두께는 3800[Å]이었다. 실온에서 생성된 막이 다공질이고, 가열할 때 소결에 의해 세공이 감소되는 과정으로 인해 코팅 회수에 비례한 두께가 되지 못하는 것으로 판단된다.

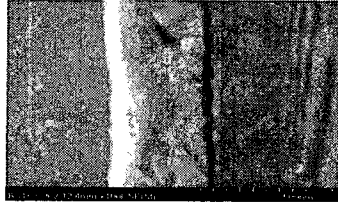
박막의 성장은 BST3, 4, 5, 모두 균일하게 형성되었음을 관찰할 수 있었다.



(a) BST3



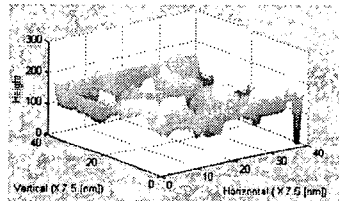
(b) BST4



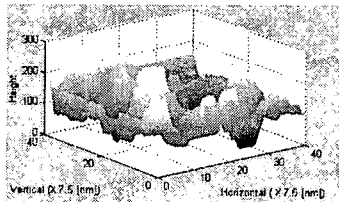
(c) BST5

Fig.2. Surface SEM photograph of BST thin films.

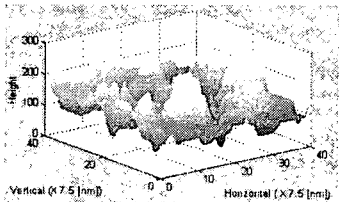
그림 3는 광메모리 소자용 BST 박막 커패시터 표면을 이미지화한 것이다.



(a) BST3



(b) BST4



(c) BST5

Fig.3. Surface 3D image of BST thin films.

이는 표면의 코팅 정도를 정량화하기 위해 SEM에서 얻어

진 이미지를 영상화 한 것이다. Ba와 Sr의 분비가 7:3인 BST3의 박막이 가장 균일하게 증착되었다. BST3의 조성비를 기본으로 하여 코팅 회수를 증가시킬수록 박막의 표면은 불규칙하게 증착되었다. 그림에서 BST 박막의 입자는 균일하게 성장하여 형성되었다. 또한, 표면 SEM에서 광메모리 소자용 BST 박막 커패시터의 입자 크기는 40~50[nm] 정도이었다.

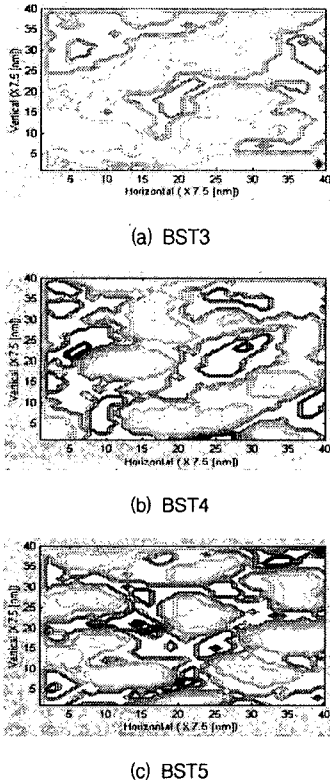


Fig.4. Contour plot of surface morphology.

그림 4는 광메모리 소자용 BST 박막 표면의 등고선 표현이다. 코팅 회수가 증가할수록 등고선의 경사가 급하여 표면이 불규칙하게 증착되었음을 알 수 있다. 그림에서 등고선의 밀집도가 높을수록 표면은 요철이 심하게 되기 때문에 전기적 특성에 영향을 줄 것으로 사료된다.

그림 5는 주파수에 따른 유전손 특성 곡선이다. BST 3, 4, 5의 유전손은 주파수가 증가함에 따라 유전 손실도 완만하게 증가하며 코팅회수가 많을수록 유전손이 더 컸다. 이것은 입계 면적이 증가함에 따라 입계의 석출물이나 기공 등의 증가에 기인한 것으로 판단된다. 1[MHz]일 때의 유전손은 각각 0.08, 0.09, 0.1이었다. 또한 고주파수에서 유전체의 증가는 유전체와 전극 면지향에 의해 증가하고, 전극의 두께가 얇아지면 손실이 커지게 된다.

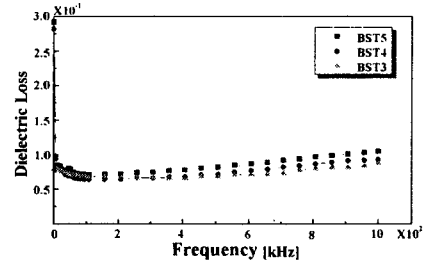


Fig.5. The properties of dielectric loss according to frequency.

그림 6은 인가 전압에 따른 BST3, 4, 5의 박막 커패시터의 누설전류밀도 변화이다. 각 시료에서 4[V]까지는 전압의 변화에 따른 누설전류밀도의 변화가 아주 미소하여 $10^{-7} \sim 10^{-9}$ [A/cm²] 정도로 안정적이지만, 4~9[V] 전압을 가했을 때에는 전압에 비례적으로 증가하다가 9[V] 이상에서는 급격히 증가하였다. 누설전류 밀도의 기준은 256Mbit의 ULSI급 DRAM의 경우 1.5[V]인가할 때 약 10^{-7} [A/cm²]이고 본 실험의 결과는 기준 범위에 해당되며 코팅회수에 따라 BST3, BST4, BST5의 순으로 두께가 두꺼울수록 누설전류밀도는 컸다.

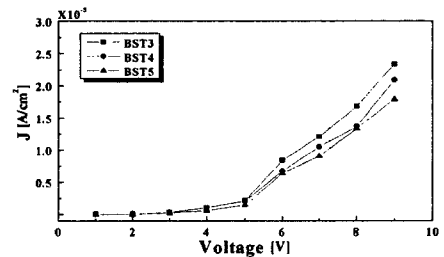


Fig. 6. Leakage current density according to voltage.

4. 결론

Sol-Gel법으로 (Ba_{0.7}Sr_{0.3})TiO₃ 용액을 조성하고 두께가 다른 BST 박막을 제작하여 구조적 특성과 전기적 특성을 측정 한 결과 다음과 같다.

1. BST박막의 두께와 입자 성장은 SEM사진으로 분석한 결과 BST3, 4, 5의 두께는 각각 2500[Å], 3500[Å], 3800[Å]이었다.
2. 주파수에 따른 유전율은 각 시료에서 주파수가 증가함에 따라 감소하는 전형적인 유전분산 특성이었고 주파수에 따라 안정적이었다.
또한, BST 박막의 두께에 따른 유전율은 두께가 증가함에 따라 증가하였다.

참고 문헌

- [1] C. S. Hwang, et al., "Deposition and Electrical Characterization of Very Thin SrTiO₃ Films for Ultra Scale Integrated Dynamic Random Access Memory Application", Jpn. J. Appl. Phys., Vol. 34, pp.5178-5183, 1995.
- [2] S. O. Park, "A stack Capacitor Technology with (Ba,Sr)TiO₃ Dielectrics and Pt Electrodes for 1 Giga-bit Density DRAM", VLSI 96, pp.24-25, 1996.
- [3] K. Torii, et al., "Single-Target Sputtering Process for PZT Thin Films with Precise Composition Control", SSDM 91, pp.195-197, 1991.
- [4] 김경택 외, "DRAM용 (Ba_{0.7}Sr_{0.3})TiO₃ 薄膜의 電氣的 特性", Trans KIEE. Vol. 47, No. 10, OCT, p.1700, 1998.
- [5] E. Fujii, et al., "ULSI DRAM Technology with Ba_{0.7}Sr_{0.3}TiO₃ Film of 1.3nm Equivalent SiO₂ Thickness and 10⁻⁹ A/cm² Leakage Current", IEDM 92, pp.267-270, 1992.
- [6] K. Koyama, et al., "A Stacked Capacitor with (Ba_xSr_{1-x})TiO₃ for 256M DRAM", IEEM 91, pp.823-826, 1991.