

고신뢰성 ESD보호용 칩 바리스터의 전기적 특성

윤중락, 최근목, 정태석, 이석원*, 이현용**

상화콘덴서공업(주), *호서대학교 정보제어공학과, **명지대학교 전기공학과

Electrical Properties of Multilayer Chip Varistor for ESD Protection with High Reliability.

Jung-Rag Yoon, Hyun-moo Cho, Jong-deok Lee, Sang-man Park, Young-hie Lee*, Sung-gap Lee
Seonam Univ. *Kwangwoon Univ.

Abstract : In order to improve the ESD(Electrical Static Discharge) resistance of multilayer chip varistors, we have investigated ZnO-Pr₆O₁₁ based chip varistor by applying tape casting technology, whose fundamental component were ZnO : Pr₆O₁₁ :Co₃O₄ : Y₂O₃ : Al₂O₃= 93.67: 2.53:2.53:1.25 : 0.015 (wt %). The effect of sintering condition on the multilayer chip varistors and electric properties was studied. The electrical properties and ESD resistance of multilayer chip varistor could be influenced the sintering temperature and condition.

Key Words : ESD(Electrical Static Discharge), Multi-layer chip varistor,

1. 서론

적층형 칩 바리스터는 절연체로 작동하다가 특정한 전압에서 전류의 흐름이 급격히 증가하는 비선형 전압소자로서 적층 칩 세라믹공정을 적용하여 만든 소자이다. 적층형 칩 바리스터는 수Kv ~ 수십Kv에 이르는 다양한 ESD에 대한 보호 부품으로 적용되고 있으며 휴대용기기의 ESD에 의한 제품의 오동작, 파피를 방지하는 정전기 방지용 제품으로 널리 쓰이고 있다. [1] 바리스터의 동작 전압은 두전극 사이에 존재하는 입계의 수에 의해 결정되며 일반적으로 하나의 입계는 2.5 ~ 5 [V]의 항복전압을 갖는 것으로 알려져 있으며 10[V] 정도의 바리스터 전압을 가지는 적층형 칩 바리스터를 제작하기 위해서는 전극간의 바리스터 두께를 박막화 하거나 입자의 크기를 키우는 방법이 있다. [2] 적층형 칩 바리스터의 대표적인 조성으로는 ZnO-Bi₂O₃-Cr₂O₃-CoO-MnO₂를 주조성으로 한 ZnO-Bi₂O₃계와 ZnO-Pr₆O₁₁-CoO를 주조성으로 한 ZnO-Pr₆O₁₁계가 있으며 바리스터의 전기적 특성 중 써지 내량, 에너지 내량은 ZnO-Bi₂O₃계가 우수한 반면 반복 ESD 특성은 ZnO-Pr₆O₁₁계가 유리한 것으로 알려져 있다. [1,2] 본 논문에서는 높은 정전용량을 가지면서 ESD 측면에서 고신뢰성을 가지는 특성 가지는 적층 칩 바리스터를 얻기 위하여 ZnO-Pr₆O₁₁-CoO를 주조성으로 택하였다. 또한, 누설전류, 비직선계수등의 전기적특성 개선을 위하여 Y₂O₃, Al₂O₃를 첨가한 ZnO : Pr₆O₁₁ :Co₃O₄ : Y₂O₃ : Al₂O₃= 93.67: 2.53:2.53:1.25 : 0.015 (wt %) 조성에 대한 소결 온도 및 냉각 시간에 따른 전기적 특성을 조사하였다.

2. 실험

본 실험에 사용된 순도 99.9%이상의 순도를 가지는 ZnO, Pr₆O₁₁, Co₃O₄, Y₂O₃, Al₂O₃ 원료를 적용하였으며 원

료 분말을 조성비에 맞게 평량한 후 지르코니아 볼과 물을 이용하여 24시간 분쇄, 혼합후 건조하였다. 건조한 분말을 800℃에서 2시간 하소한 후 비드밀 (bead mill)을 이용하여 D₅₀: 0.82 [um], BET : 4.8 g/m²으로 분쇄하였다. 분쇄한 분말에 PVB, 분산제, 톨루엔, 가소제를 첨가하여 슬러리를 제작한 후 닥터블레이드법을 이용하여 그린시트를 제조하였다. 100 Pd 내부전극을 이용하여 그린시트에 인쇄한 후 적층, 가압한 후 절단하였다. 절단한 그린 칩을 300℃에서 24시간 탈마인더 한 후 실험 계획법을 적용하여 소결온도 및 시간에 따른 전기적 특성을 검사하였다. 적층 바리스터의 크기는 1.0[L] X 0.5[W] X 0.5[T] [mm]이고 그린시트의 두께는 17[um], 내부전극 층수는 8층으로 설계 제작하였다.

3. 결과 및 검토

그림 1은 적층 칩 바리스터의 파단면 사진으로 전극간의 두께는 12 [um]이며 기공이 적은 치밀한 구조를 보이고 있다.

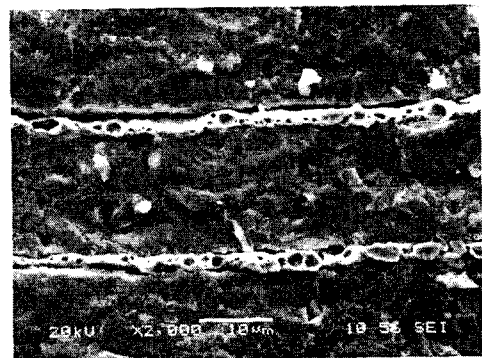
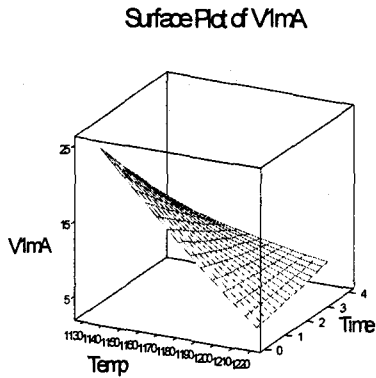


그림 1. 제조된 시편의 미세구조

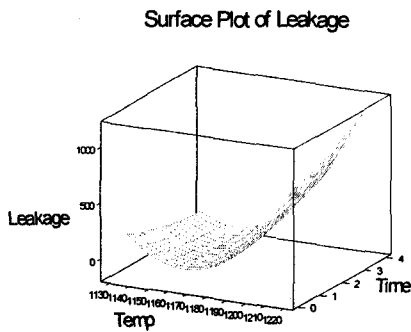
그림 2는 적층 칩 바리스터의 소결온도 및 시간에 따른 바리스터 전압 V_{1mA} 로서 소결온도 및 시간이 증가 할수록 V_{1mA} 값이 17.7[V]에서 4.7 [V]까지 감소함을 볼 수 있다. 이와 같은 결과는 소결온도 증가에 입자의 크기의 증가에 의한 것으로 단위두께당 전압이 391 ~ 1,500[V/mm]의 값을 가짐을 볼 수 있다.



Hold values: Cooling: 20

그림 2. 소결온도 및 시간에 따른 바리스터 전압

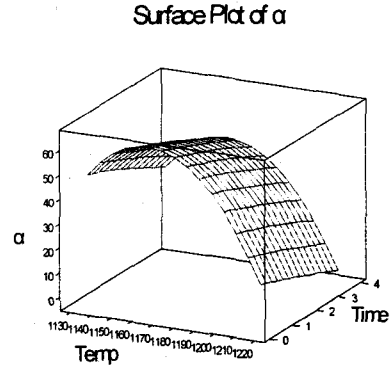
그림 3는 소결온도 및 시간에 따른 적층 칩 바리스터의 누설전류로서 1175°C까지는 0.3[uA]이하로서 우수한 전기적 특성을 보이는 반면 이상의 온도에서는 급격히 증가하는 양상을 보이고 있다. 소결시간에 의한 영향은 1150°C에서는 소결시간이 길어짐에 따라 누설전류가 적게 나타나지만 1175°C 이상에서는 반대로 누설전류의 크기가 증가된다.



Hold values: Cooling: 20

그림 3. 소결온도 및 시간에 따른 누설전류

그림 4는 소결온도 및 시간에 적층 칩 바리스터의 비직선 계수로서 1150 ~ 1175°C의 온도영역에서는 45 ~ 69의 우수한 특성을 보이는 반면에 그 이상의 온도에서는 그림 3에 나타나는 듯이 누설전류 증가한 의한 영향과 같이 비직선계수가 급격히 감소함을 볼 수 있다.



Hold values: Cooling: 20

그림 4. 소결온도 및 시간에 따른 비직선 계수.

1175°C, 2시간 소결한 적층 칩 바리스터에 8Kv ESD 10회 인가한 후 전기적 특성 변화량 측정결과 $\Delta V_{1mA}/V_{1mA}$ 변화량은 positive에서 0.33%, Negative에서 0.55%이고 누설전류는 1 [uA]이하로 우수한 ESD 저항성을 나타내었다.

4. 결론

본 연구에서는 ZnO-Pr₆O₁계 원료를 적용하여 적층 칩 바리스터를 제작하여 다음과 같은 결론을 얻었다.

1. 소결온도 및 시간에 따른 바리스터 전압[V_{1mA}], 누설전류, 비직선계수가 소결시간에 의한 영향 보다는 온도에 더 큰 영향을 받음을 확인하였다.
2. 소결조건 1150 ~ 1175°C, 1 ~ 2시간 영역에서 바리스터 단위 두께당 전압 800[V/mm], 누설전류 1[uA] 이하의 우수한 특성을 얻을 수 있었다.
3. 1175°C, 2시간, 8Kv ESD 10회 인가한 후 전기적 특성 변화량 측정결과 $\Delta V_{1mA}/V_{1mA}$ 변화량은 positive에서 0.33%, Negative에서 0.55%이고 누설전류는 1 [uA]이하로 우수한 ESD 저항성을 나타내었다

참고 문헌

[1] L. H. Harr, Component Handling with ESD Control in Passive Electronic Component Handbook, 2nd ed., Ed. by Charles. A. Harper, McGraw-Hill, U.S., 1997.

[2] Y.-S.Lee, K.-S.Liao, and T.-Y Tseng, "Microstructure and Crystal Phase of Praseodymium Oxides-Based Zinc Oxide Varistor Ceramics," J. Am. Ceram., 79[9], p.2379, 1996