

ICP-CVD 반응기 내에서 N₂O 플라즈마 산화법을 이용하여 증착된 ultra thin silicon oxynitride films 에 관한 연구

황성현, 정성욱, 이준신
성균관대학교 정보통신공학부

Study on the ultra thin film of silicon oxynitride deposited by plasma - assisted N₂O oxidation in ICP-CVD reactor

sunghyun Hwang, Sungwook Jung and J.Yi

School of Information and Communication Engineering, Sungkyunkwan University

Abstract : Scaling rules for TFT application devices have led to the necessity of ultra thin dielectric films and high-k dielectric layers. In this paper, The advantages of high concentration of nitrogen in silicon oxide layer deposited by using N₂O in Inductively Coupled Plasma Chemical Vapor Deposition (ICP-CVD) reported about Ellipsometric measurement, Capacitance-Voltage characterization and processing conditions.

Key word : ICP-CVD, silicon oxynitride

2. 실험

1. 서론

실리콘 시대라고까지 불리울 만큼 현대의 정보화 사회를 이끈 20세기의 중요한 과학 기술적 사건은 1947년의 트랜지스터의 발명이다. 트랜지스터로 대변되는 실리콘 기술은 라디오, 컴퓨터, 인터넷을 거쳐 현재 우리의 생활의 구석구석까지 파고들어 실리콘 소자는 이제 우리의 일상생활에서 없어서는 안 되는 필수 불가결한 요소가 되었다.

최근 VLSI의 기억소자, 특히 Memory, MOSFET, TFT와 같은 제품의 Scaling down 규칙에 따라 초극박막화 된 3nm 이하의 SiO₂ 막과 고유전율을 가지고 유전 특성이 우수하면서 충분한 신뢰성을 갖는 것이 필수적이다.[1] SiO₂ 막은 두께가 얇아질수록 Si웨이퍼와의 결합구조상에서의 전기적인 능동 결합들인 dangling bond, weak Si-Si bond, strained Si-O bond, hydrogen - containing species 등이 있다. 이에 따른 고 전계 인가에 따른 절연 파괴 가능성과 함께 장기 신뢰성 저하가 문제로 제기되고 있다. 또한 얇은 막을 통하여 터널링 현상이 발생하기 때문에 막에서 흐르는 전류 밀도를 줄이기 위하여 높은 유전율을 갖는 high-k 물질을 사용하려는 대안에 관한 연구가 활발히 진행 중이다.

이러한 점들을 개선하기 위해 기존의 SiO₂ 물질과 유사하면서 수%의 질소 성분을 더 포함하고 있는 질화산화물(oxynitride: SiO_xN_y)이 산화막 신뢰성과 함께 여러 소자들의 막 특성을 안정적인 구조로 특성을 개선할 수 있는 물질로 보고되고 있다.[2],[3]

본 연구에서는 ICP-CVD 반응기 내에서 N₂O plasma 산화법을 이용하여 각각의 공정 조건들을 고정시키고, 처리시간 (treatment time)을 가변 하여 생성된 SiO_xN_y 막막의 두께 변화 특성 (ellipsometric), 굴절률, 그리고 C-V (Capacitance-Voltage) 특성을 측정, 조사하였다.

본 실험은 저항률 10~20 ohm·cm, 직경 4 inch, p-type (100) 실리콘 웨이퍼를 사용하였고, cleaning은 RCA 클리닝 법을 사용 하였다.

실리콘 질화산화막의 증착은 ICP-CVD 반응기 내에서 N₂O 기체를 plasma 반응을 일으켜 실리콘 위에 성장하였다. 본 연구에 적용되어 진행된 공정조건은 N₂O 기체의 유량 2.5 sccm, 반응기내 압력 10 mTorr, RF power 150W, 기판 온도를 350℃로 고정하고, 증착 시간을 1에서 30분 범위로 각각 증착 시간을 가변 하여 실행하였다.

표 1은 ICP-CVD 반응기내의 공정 조건을 나타낸 것이다.

표 1. ICP - CVD 를 이용한 N₂O plasma 산화법의 공정 조건

NO	N ₂ O (sccm)	Working pressure (mTorr)	RF Power (W)	Substrate Temp. (°C)	Deposition time (min)
1	2.5	10	150	350	1
2					3
3					5
4					10
5					30

각 시료의 두께와 굴절률은 Ellipsometer 로 측정하였고, 시료의 위치별로 5번 측정하여 그 평균값으로 uniformity를 확인하였고, 전기적 특성인 C-V 는 임피던스 아날라이저 (Keithley 617)와 MDC system을 이용하여 측정 및 분석하였다.

3. 결과 및 검토

그림 1은 각 시료를 공정 시간에 따라 가변 하여 두께와 굴절율을 측정하여 도표화 한 것이다. 그림에서 나타난 결과와 같이 RF power 와 N₂O 가스의 화학적 반응으로 N₂O plasma가 생성되어 Si 웨이퍼 표면과 반응하여 형성된 매우 얇은 실리콘 질화산화막의 증착율과 굴절률의 변화를 알 수 있다. 장시간의 N₂O plasma에 노출 시켰을 경우 증착율이 낮아질 것을 예상할 수 있다.

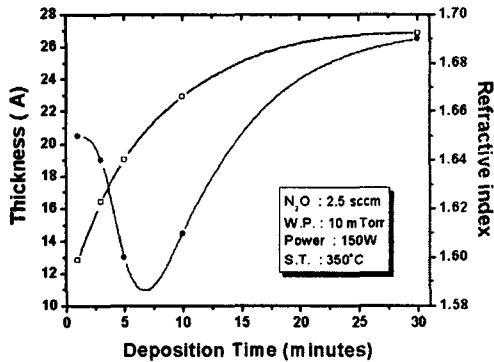


그림 1. 증착시간에 따른 두께와 굴절율의 변화

그림 2는 Al/SiO_xN_y/Si 구조의 MOS 커패시터로 제작하여 C-V 특성을 측정한 결과를 나타내었다. positive bias 5V에서 Negative bias -10V 로 sweep 하였다. 증착시간이 각각 1, 3, 5분일 때의 공핍 영역에서의 기울기가 완만함을 볼 수 있는데, 이는 형성된 막의 두께가 약 12-18 Å 정도로 매우 얇기 때문에 전류의 누설에 의하여 발생하는 현상으로 보여 진다. 증착시간을 각각 10, 30 분으로 늘려서 공정했을 때의 막의 두께가 약 23-26 Å 정도로 더 두꺼워짐을 알 수 있고, 결합구조가 nitrogen의 성분비가 더 높아지면서 더 안정적인 형태로 형성될 것이 사료되기 때문에 공핍영역에서의 기울기가 더 날카로워 지고 flat band voltage가 positive 방향으로 shift 하면서 C-V 특성 곡선이 안정적인 형태를 보여준다. inversion 영역에서의 그래프 형태가 약간 불안정하게 약간 아래쪽으로 처져 있는데, 이것은 공정상의 cleaning 문제나, 산화막 내의 유동전하의 영향, 또는 전하 포획에 의한 현상인 것으로 보여 진다.

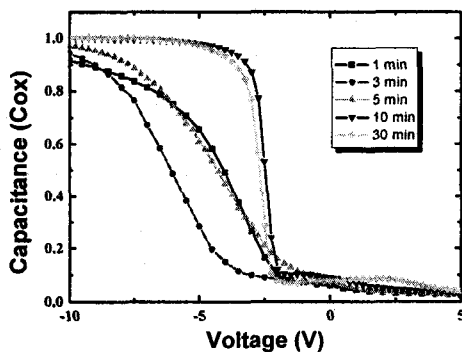


그림 2. 공정 시간에 따른 C-V 특성 변화

4. 결 론

본 연구는 ICP-CVD 반응기 내에서 N₂O plasma 산화법을 이용하여 high-k 물질인 양질의 SiO_xN_y막의 공정 조건과 특성을 조사하였다.

N₂O 기체 2.5 sccm, 반응기내 압력 10 mTorr, RF power 150 W, substrate temp. 350 °C, Deposition time 10, 30 min을 사용한 공정에서 막의 균일도와 C-V 곡선 특성이 반전, 공핍, 축적 영역을 거쳐 안정적인임을 알 수 있다. 이를 통해 기존 공정에 보편적으로 사용된 SiO₂ 막 대신에 SiO_xN_y막을 scaling down 된 MOSFET 소자에 적용 가능한 극초박막 절연체로서의 역할의 수행 특성을 알 수 있다. 추후 지속적인 연구를 통해서 I-V, EDS, XPS, FT-IR 등의 막 특성 측정을 통해 누설 전류, 화학적 물성 분석에 대한 분석 평가가 추가 될 것이다. 또한 표 1의 공정 조건 No. 1, 2, 3 을 통하여 위에서 언급한 특성 평가를 통하여 예상되는 tunneling 효과를 기대하여 비휘발성 메모리 소자에 적용될 매우 얇으면서 양질의 tunnel oxide로서의 응용 또한 가능할 것으로 사료되어진다.

감사의 글

본 연구는 21세기 프린티어 (차세대 정보디스플레이 기술개발) 사업 (과제번호 : ASD - 1)의 연구비 지원에 의한 것입니다.

참 고 문 헌

- [1] A. Uchiyama, H. Fukuda, T. Hayashi and S. Ohno, "High Performance dual-gate sub-halfmicron CMOSFETs with 6 nm-thick Nitried SiO₂ Films in N₂O Ambient," IEDM 90, pp.425-428.
- [2] E.H. Nicollian and J.R. Brews, "MOS Physics and Technology," John Willy and Sons, pp. 406-409
- [3] Eun Gu Lee, In Kil Park and Jin Seong Park, "Characteristics of Oxynitride Dielectrics Prepared in N₂O Ambient by Furnace" Journal of the Korean Ceramic Society Vol.32. No.1, PP. 31~36