

# Si<sub>0.88</sub>Ge<sub>0.12</sub> 이종접합 구조의 채널을 이용한 n-MOSFET의 DC 특성

최상식, 양현덕, 한태현\*, 조덕호\*, 이내웅\*\*, 심규환

반도체물성연구소, 반도체과학기술학과, 전북대학교, \*(주) 타키오닉스, \*\*성균관대학교

## DC Characteristics of n-MOSFET with Si<sub>0.88</sub>Ge<sub>0.12</sub> Heterostructure Channels

Sang-Sik Choi, Hyun-Duk Yang, Tae-Hyun Han\*, Deok-Ho Cho\*, Kyu-Hwan Shim

Semiconductor Physics Research Institute, Department of Semiconductor Science and Technology

Chonbuk National University, \*Tachyonics, \*\*Sungkyunkwan University

**Abstract :** Si<sub>0.88</sub>Ge<sub>0.12</sub>/Si heterostructure channels grown by RPCVD were employed to n-type metal oxide semiconductor field effect transistors(MOSFETs), and their electrical properties were investigated. SiGe nMOSFETs presented very high transconductance compared to conventional Si-bulk MOSFETs, regardless substantial drawbacks remaining in subthreshold-slope, I<sub>off</sub>, and leakage current level. It looks worthwhile to utilize excellent transconductance properties into rf applications requesting high speed and amplification capability, although optimization works on both device structure and unit processes are necessary for enhanced isolation and reduced power dissipation.

**Key Words :** SiGe, MOSFET, Epitaxy, RPCVD

### 1. 서 론

현재 반도체 제작 기술은 정보통신 기술의 발전과 더불어 고집적화, 고속동작, 저소비전력을 위한 소자에 대한 연구가 주류를 이루고 있다. 그 중에서도 SiGe 반도체는 통신기술의 발전으로 인해 경제 산업적 가치가 급증하고 있다 [1].

SiGe 반도체는 기존의 안정화된 실리콘 반도체 공정을 기반으로 하고 있어서 우수한 양산 능력과 저가격에 적합한 반도체 소자이다. 또한 빠른 동작 특성, 선형성, 고주파잡음, 저주파잡음, 저전력 특성이 우수하여 수 GHz대까지의 고주파 고속통신 분야나 광통신용 IC를 저가격에 제조할 수 있는 이점을 제시한다. 최근 실리콘 CMOS 기술이 지속적으로 발전하여 수십 나노급 게이트 길이를 갖는 소자가 발표되고 있다. 이러한 소자의 미세화는 집적도와 속도를 향상시켜 고성능화를 실현시켜 왔으나, 물리적 한계와 비용 등의 실용적 한계에 근접할 것으로 보인다. 이러한 추세 속에서 SiGe는 실리콘 CMOS 기술이 가지고 있는 subthreshold 전류, 1/f 잡음, 신뢰성에 대한 문제를 극복할 것으로 전망된다. [2, 3].

에너지 갭(gap)이 1.12 eV인 실리콘과 0.66 eV인 게르마늄을 합성하는 경우, 에너지 갭이 다른 헤테로(hetero) 구조의 양자소자를 만들 수 있고, 채널에서 전자와 같은 운반자의 이동속도를 높일 수 있다. SiGe반도체는 현재의 Si 반도체보다 고주파에서 잡음이 적고 동작의 선형성이 뛰어나며 RFIC시장에서 주류를 이루고 있는 갈륨비소 반도체에 비해 집적도가 높고 가격이 저렴해 응용이 증가할 것으로 전망된다.

본 연구에서는 실리콘반도체의 rf 통신용으로 채널층에 Si/Si<sub>0.88</sub>Ge<sub>0.12</sub>/Si 양자구조를 도입하여 n-MOSFET를 제작하였으며, 그 소자의 전기적 특성을 측정 분석하였다.

### 2. 실험

본 실험에서는 상용의 CMOS 공정을 최소한으로 변경하여 게이트 길이가 0.6 μm인 SiGe n-MOSFET을 제작하였다. LOCOS에 의해 소자를 격리시키고 RPCVD (Reduced Pressure Chemical Vapor Deposition)를 이용해 채널에피를 성장시켜서 이종접합 구조인 Si/Si<sub>0.88</sub>Ge<sub>0.12</sub>/Si quantum-well 구조의 채널을 그림1(a)와 같은 다층구조로 형성하였다.

CMOS와 동일하게 보론을 이온주입 하여 p-well을 형성하였고, 그 위에 Si/SiGe 채널의 에피층을 성장하였다. 게이트 산화막은 800℃, H<sub>2</sub>/O<sub>2</sub> 분위기에서 열산화에 의해 7 nm의 두께로 성장하였다. 게이트로 IDP(P: 2x10<sup>20</sup> cm<sup>-3</sup>) 층을 사용하였다. 소스-드레인에 Arsenic을 이온주입한 후, 800℃에서 RTA로 활성화하였다. 실리사이드는 Ti/TiN을 30/30 nm 두께로 증착하여 자기정렬이 되도록 RTA와 습식식각으로 형성하였다. 그림1(b)는 제작된 소자의 SEM 이미지이며 게이트, 소스, 드레인, 바디의 금속-반도체 접합을 보여준다.

SiGe 채널 에피 구조의 분석에는 SIMS를 이용하였고, HP4155 반도체 파라미터 분석기를 이용하여 소자의 DC 특성을 측정 분석하였다.

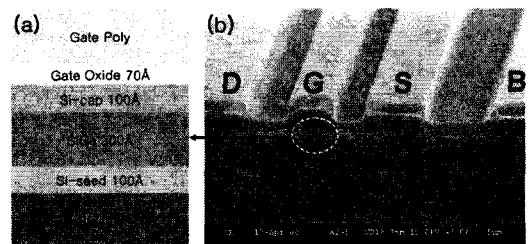


그림 1. (a) SiGe/Si 채널 에피구조와 (b)제작된 SiGe n-MOSFET 단면의 SEM 이미지

### 3. 결과 및 검토

그림2는 소자의 채널 에피구조에서의 SIMS (Secondary Ion Mass Spectroscopy) profile을 나타낸다. 그림에서 Si-cap 층과, SiGe 층이 각각 100 Å, 200 Å으로 설계한 에피층에 적합한 깊이분포를 보였으며, 이러한 실험을 통하여 Si/SiGe/Si의 이종접합 에피층을 MOS 소자의 채널에 적용하였다. 본 실험의 에피층 구조는 SiGe pMOSFET 에서도 동일하게 사용할 수 있어서, SiGe CMOS로 운용할 가능성에 대한 실험적 데이터를 제공한다.

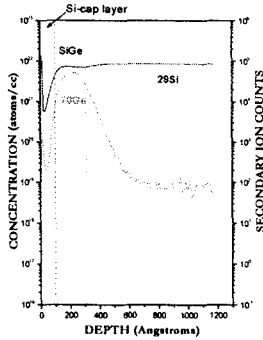


그림 2. 채널 에피에서 측정된 SIMS 깊이분포

그림3(a)와 (b)는  $W_g \times L_g = 25 \mu\text{m} \times 0.6 \mu\text{m}$  인 소자의 선형영역( $V_{ds} = -0.1 \text{ V}$ )과 포화영역( $V_{ds} = -3.0 \text{ V}$ )에서 측정된 전달특성이다. 여기에서 문턱전압은 0.2 V로 측정되었고, SS (Subthreshold-Slope)는 270 mV/decade 로 큰 기울기를 보였다. 또한 DIBL(Drain Induced Barrier Lowering)은 86mV로 측정되었다. 이때 DIBL은  $V_{ds} = 0.1 \text{ V}$ 와 1.1 V 사이에서의  $V_{th}$  변화로 측정하였다 [4]. 포화영역에서의 최대 트랜스컨덕턴스( $g_{m,max}$ )값은 4.8 mS로 Bulk-MOS에 비해 40배 정도의 높은 전달특성을 보였다. 그러나  $I_{off}$  전류는  $1.2 \times 10^{-4} \text{ A}$ 로 큰 값을 보였다. 문턱전압을 조절하기 위하여 이온주입 조건을 변화시킬 필요가 있으며, Off 상태에서의 누설전류를 줄이기 위해 세부공정에 대한 최적화가 요구된다.

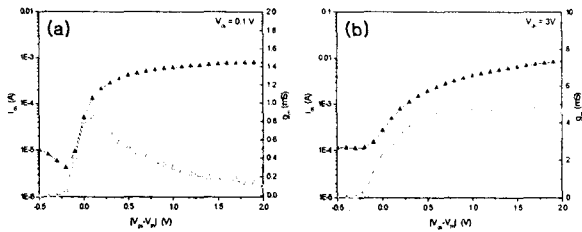


그림 3. (a)linear( $V_{ds} = -0.1 \text{ V}$ ), (b)saturation( $V_{ds} = -3 \text{ V}$ ) 영역에서 측정된 소자의 전달특성

그림4는 드레인 전류-전압 특성을  $|V_{gs} - V_{th}|$ 가 0 V에서 2 V까지 500 mV 간격으로 측정된 결과이다.  $V_{ds} = 3 \text{ V}$ ,  $|V_{gs} - V_{th}| = 2 \text{ V}$ 일 때 최대 드레인 전류는 9.6 mA로 측정되었다. 포화영역에서 우수한 선형성을 보이고 있으며, 드레인 전압이 증가하면서 누설전류에 의해 드레인 전류가 증가하는 현상이 나타난다. 이러한 누설전류의 원인을 밝히

기 위한 실험이 진행 중이며, 누설전류를 줄이기 위한 세부공정과 소자구조의 변화를 고려하고 있다. 단, 그림4의 작은 소스-드레인 저항과 높은 transconductance는 상당히 우수한 특성으로 판단된다.

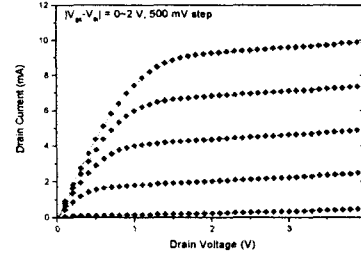


그림 4. SiGe n-MOSFET 소자에서 측정된  $V_{ds}$ - $I_{ds}$ 특성.

$\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 의 이종접합 구조를 사용하는 nMOSFET를 개발하여 기본적인 DC 특성에 대해 살펴보았다. 기존의 실리콘 공정을 이용하여 SiGe MOSFET를 제작하여 우수한  $g_m$ 의 개선효과를 얻었다. 단, 최적화에 의해  $I_{off}$ , SS, DIBL 특성의 개선을 위하여 게이트 산화막, 터널링, 바다로의 누설 성분에 대한 분석이 필요하다 [5]. SOI와 더욱 얇은 채널층을 적용하면 개선될 것으로 예측된다. 여하튼 본 소자의 높은  $g_m$ 은 고성능 rf 응용이 가능함을 보였다.

### 4. 결론

상용의 실리콘 CMOS 공정기술을 이용하여  $\text{Si}_{0.88}\text{Ge}_{0.12}$  이종접합 구조의 채널의 n-MOSFET을 개발하였고, 소자의 DC 특성을 분석하였다. 실리콘 MOSFET에 비하여 매우 높은 전류전달 특성을 보였으나, 큰 SS,  $I_{off}$  전류, 누설전류의 문제점을 보였다. 따라서 채널에피를 포함한 소자의 구조와 게이트 산화막, 실리사이드의 세부공정에 대한 최적화가 추가적으로 요구된다.

### 감사의 글

“본 연구는 산업자원부에서 지원하는 신기술실용화기술 개발 사업(10016968)에 의해 수행되었습니다.”

### 참고 문헌

- [1] P.R. Chidambaram, C. Brown, S. Chakravarthi, C. Machala, R. Wise, IEEE Electron Device Lett. **53**, 944, 2006.
- [2] A. D. Lambert, IEEE Electron Device Lett, **46**, 7, 1999.
- [3] 양현덕, 심규환 “실리콘-게르마늄 반도체의 기술동향” ITFIND 주간기술동향 1157호, 2004년, 8월.
- [4] Y.J. Song, S.H. Kim, N.E. Lee, J.Y. Kang, J.I. Song, K.H. Shim, Semiconductor Science and Technology, **19**, 792, 2004.
- [5] M.Kimura, T.Ohmi, J. Appl. Phys **80**, 6360, 1996.