

# 고전압용 LDI 칩의 정전기 보호를 위한 EDNMOS 소자의 백그라운드 도핑 특성

서용진\*, 김길호\*\*, 이우선\*\*\*

대불대학교 전기전자공학과\*, 매그나칩 반도체\*\*, 조선대학교 전기공학과\*\*\*

## Control of Background Doping Concentration (BDC) for Electrostatic Discharge (ESD) Protection of High Voltage Operating LDI Chip

Yong-Jin Seo\*, Kil-Ho Kim\*\*, Woo-Sun Lee\*\*\*

DaeBul University\*, MagnaChip Semiconductor\*\*, ChoSun University\*\*\*

**Abstract :** Background doping concentration (BDC) is proven to be a critical factor to affect the high current behavior of the extended drain NMOSFET (EDNMOS) devices. The EDNMOS device with low BDC suffers from strong snapback in the high current region, which results in poor electrostatic discharge (ESD) protection performance and high latchup risk. However, the strong snapback can be avoided in the EDNMOS device with high BDC. This implies that both the good ESD protection performance and the latchup immunity can be realized in terms of the EDNMOS by properly controlling its BDC.

**Key Words :** electrostatic discharge (ESD), Background doping concentration (BDC), extended drain NMOSFET (EDNMOS).

### 1. 서 론

안정한 ESD 보호 성능은 고전압 동작용 N형 MOSFET 소자에서는 특히 어려우며, ESD 스트레스에 대한 그들의 취약점은 매우 강한 스냅백(snapback)에 그 원인이 있다. 그 결과 전류집중, melting damage, non-uniform multi-finger triggering, 높은 latch-up 위험 등을 초래한다[1,2]. 최근 고전압에서 동작하는 이중 확산된 N형 MOSFET (double diffused drain N-type MOSFET ; DDDNMOS) 소자가 이중 (double) 스냅백 현상을 본시부터 가지고 있음을 보였다. 여기서 지극히 낮은 스냅백 힐딩 전압에 의해 두번째 on-상태가 특성화되었다[3]. 관련된 메커니즘은 고전자 주입에 의한 베이스 푸쉬 아웃(base push-out)으로 알려져 있다 [2,3]. 주입된 전자밀도가 background의 캐리어 밀도를 능가할 때 베이스 푸쉬 아웃이 일어나므로 BDC(background doping concentration)는 double 스냅백 현상의 발생에 영향을 주는 중요한 인자가 된다. 따라서 고전압 동작용 N형 MOSFET의 전류-전압 특성에 대한 BDC의 영향이 조사되어야 할 필요가 있다.

본 논문에서는 ESD 방지를 위한 최적 방법론에 목표하여 확장된 드레인을 갖는 EDNMOS 소자에 대해서 BDC의 영향을 조사하였다.

### 2. 소자 구조 및 시뮬레이션 방법

일반적인 마이크로 칩의 입·출력 회로는 입출력 신호를 전달하는 Input/Output(I/O) 단자, 전력을 공급하는 Vdd 단자, 그리고 접지된 Vss 단자로 구성되어 있다. 정전기 스트레스는 각각의 단자들 사이의 어떤 조합에 대해서도 발생 가능하며, 또한 양방향의 특성을 갖는다. 따라서 발생 가능한 모든 정전기 스트레스는 다음과 같이 6개의 형태로 분류할 수 있다. 이상적인 정전기 보호회로는 정전기 스트레스 모두

에 대해 효율적으로 대응하여 내부 회로를 보호할 수 있어야 한다. 이러한 정전기 보호회로를 도식적으로 나타내면 Fig. 1과 같다.

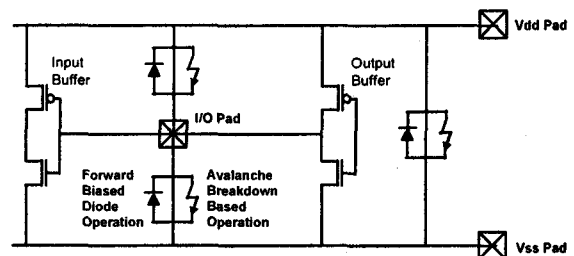


Fig. 1. Schematic diagram of ESD protection circuit and ESD protection device.

양방향 정전기 스트레스에 효율적으로 대응하면서 회로의 정상 동작에 방해가 되지 않기 위해서는 각각의 정전기 보호소자는 그 스트레스가 인가되는 방향에 따라 Forward Biased Diode 동작 특성과 Avalanche Breakdown Snapback 동작 특성을 함께 나타내야 한다. 이와 같은 전기적 특성을 그래프로 도식화 하면 Fig. 2와 같다. Fig. 2에 의하면 정전기 보호소자는 회로가 정상적인 조건 하에 있을 때 ( $0 \leq \text{Voltage} \leq V_{op}$ )에는 동작하지 않고, 정전기 스트레스와 같이 비정상적인 조건 하에 있을 때에만 동작함을 알 수 있다. 이러한 기본적인 조건 이외에도 정전기 보호소자가 동작할 때의 I-V 특성이 갖추어져야 할 추가적인 조건, 소위 말하는 "정전기 보호소자의 특성 창"이 있는데 이러한 조건들을 구체적으로 기술하면 다음과 같이 요약할 수 있다.

- (1) 정전기 보호소자는 칩에 정상적인 동작전압( $V_{op}$ )이 인가되었을 때는 동작하지 않아야 한다.
- (2) 정전기 보호소자가 동작하는 동안 게이트 산화막이 손상되지 않아야 한다.

- (3) 정전기 보호소자가 래치업(latch-up)에 의해 비정상적으로 동작하지 않아야 한다.
- (4) 정전기 보호소자는 그 자체가 정전기 스트레스 전류에 대해 충분히 강해야 한다.

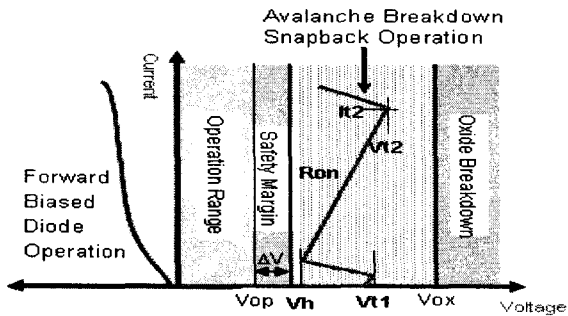


Fig. 2. (a) Typical I-V characteristics and design window of ESD protection device.

EDNMOS 소자의 고전류 특성은 공정시뮬레이터인 TSUPREM4와 소자 시뮬레이터인 DESSIS를 사용하여 분석되었다. Human body model (HBM)의 ESD 스트레스를 시뮬레이션하기 위해 mixed mode transient 시뮬레이션이 10 nsec의 상승 시간과 100 nsec의 지속시간을 갖는 ladder type current pulse를 채택하여 수행되었다.

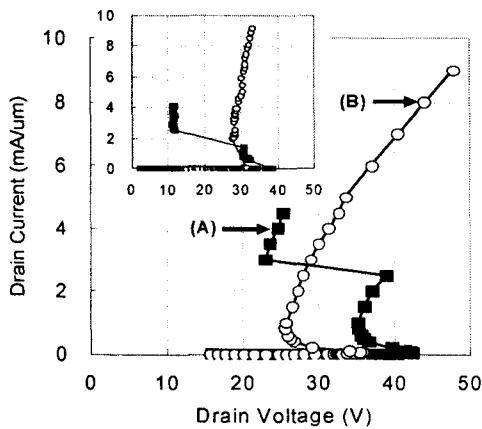


Fig. 3. Simulation results on I-V relations of 1-finger structure EDNMOS devices with different background doping concentration. (Symbol ■: Low BDC. Symbol ○: High BDC). The inset represents corresponding TLP Data.

### 3. 결과 및 고찰

Fig. 3은 각각 서로 다른 BDC를 갖는 EDNMOS 소자의 시뮬레이션 및 TLP 모니터링한 I-V 관계를 나타낸다. BDC가 EDNMOS 소자의 고전류 동작특성에 있어서 critical한 인자인 것으로 입증되었다. double snapback 현상은 낮은 BDC를 갖는 EDNMOS에서 나타났다. (Low BDC: HP-Well implant dose =  $7.5 \times 10^{12} \text{cm}^{-2}$  and N-Drift implant dose =  $1.1 \times 10^{13} \text{cm}^{-2}$ ). 두번째 온 상태는 낮은 스냅백 출딩 전압, 낮은 열적 브레이크다운, 또한 트리거링 전압보다 훨씬 더

작은 낮은 열적 브레이크다운 전압에서 특징되었다. 이러한 특성을 가지고 EDNMOS 소자가 두번째 온 상태에 들어가면, 전류 국부화와 연속적인 멜팅 손상이 ESD 스트레스에 대한 높은 약점에 의해 쉽게 발생한다.

Non-uniform multi-finger triggering과 높은 latchup risk는 또 다른 문제점들이다. 어떤 critical limit를 넘도록 BDC를 증가시키면 (High BDC:HP-Well implant dose =  $1.7 \times 10^{13} \text{cm}^{-2}$  and N-Drift implant dose =  $4.0 \times 10^{13} \text{cm}^{-2}$ ), EDNMOS 소자는 이중 스냅백 현상을 보이지 않았다. 대신에 적당한 스냅백 출딩 전압, 높은 열적 브레이크 다운 전류, 그 결과로 생기는 높은 열적 브레이크다운 전압을 갖는 첫번째 온상태를 유지하였다. 따라서, 안전한 ESD 보호 성능과 래치업 immunity는 높은 BDC를 갖는 EDNMOS에서 구현되었으며, 시뮬레이션 데이터와 이에 상응하는 TLP 데이터 모두 정성적으로 일치하는 결과를 보였다.

### 4. 결론

높은 BDC를 갖는 EDNMOS 소자는 double snapback 현상을 보이지 않고, 첫번째 온-상태를 유지하였다. 이는 안전한 ESD 방지 성능과 래치업 면적이 EDNMOS 소자에서 가급적 BDC를 충분히 높게 유지시킴으로써 구현될 수 있음을 암시하는 것이다. 접합 브레이크다운 전압이 BDC에 의존하기 때문에 ESD 방지에 응용하기 위한 BDC의 조절은 실제적으로는 그 사용에 있어서 제한되었다. 이러한 제한을 극복하기 위한 지속적인 노력이 후속 연구에서 기대되어 진다.

### 감사의 글

이 논문은 2005년 정부(교육인적자원부)의 재원으로 한국학술진흥재단의 지원을 받아 수행된 연구임. (KRF-2005-041-D00311).

### [참고 문헌]

- [1] B. Keppens, M. P. J. Mergens, C. S. Trinh, C. C. Russ, B. V. Camp, and K. G. Verhaege, "ESD protection solutions for high voltage technologies," in Proc. EOS/ESD Symp., 2004, pp. 289-298.
- [2] V. Parthasarathy, V. Khemka, R. Zhu, J. Whitfield, R. Ida, and A. Bose, "A double RESURF LDMOS with drain profile engineering for improved ESD robustness," IEEE Electron Device Lett., vol. 23, pp. 212-214, Apr. 2002.
- [3] M. D. Ker and K. H. Lin, "Double snapback characteristics in high-voltage nMOSFETs and the impact to on-chip ESD protection design," IEEE Electron Device Lett., vol. 25, pp. 640-642, Sep. 2004.