

# NMOS와 PMOS 소자에 적합한 Ta-Mo 이원 합금 게이트의 특성

손기민, 이민경, 이정민, 홍신남  
한국항공대학교

## Property of Ta-Mo Alloy as Gate Electrodes For NMOS and PMOS Silicon Devices

Ki-Min Son, Min-Kyung Lee\*, Jeong-Min Lee\*\*, Shin-Nam Hong\*\*\*  
Hankuk Aviation University

**Abstract :** Ta-Mo를 co-sputtering으로 증착하여 MOS-C(Capacitor)를 제작하였다. 열적·화학적 안정성을 판별하기 위해 600℃, 700℃, 800℃에서 급속 열처리를 행하였고, C-V 측정으로 얻은 데이터로 평탄 전압, 일함수, EOT값을 계산 하였다. I-V 측정으로 누설 전류 특성을 파악 하였다. 위의 실험 데이터를 종합하여 폴리 실리콘 게이트를 대체할 차세대 게이트 물질로써 Ta-Mo 게이트 물질을 제안하였다.

**Key Words :** Ta-Mo, 이원 합금 물질, 원자 비율

### 1. 서 론

반도체 공정기술의 급속한 발전으로 소자의 크기 역시 급속하게 감소하고 있다. 소자의 크기가 급속하게 감소 하면서 기존에 사용했던 폴리 실리콘 게이트로는 만족스러운 소자의 특성을 얻기 어렵다[1]. 그 이유는 그 동안 문제가 되었던 폴리실리콘 공핍, 봉소 침투, 코너 공핍, 페르미 레벨 고정 현상 등 때문이다. 이러한 폴리 실리콘 게이트의 한계를 극복하기 위해 금속 게이트 물질로 대체 하려는 연구가 진행중이다.

금속 게이트 물질은 폴리 실리콘이 가지고 있는 단점을 해결할 수 있다. 하지만 폴리 실리콘을 대체하기 위해서는 몇 가지 조건을 만족하여야 한다. 첫째로, 일함수의 크기가 nMOS, pMOS 일때 각각  $4.0 \pm 0.2\text{eV}$ ,  $5.0 \pm 0.2\text{eV}$ 의 값을 만족 하여야 한다. 또한 기존 폴리 실리콘에 적용되던 공정을 대부분 적용할 수 있어야 한다. 마지막으로 열처리 공정시에 열적·화학적으로 안정적인 특성을 지녀야 한다[2][3].

금속 게이트 물질은 metal nitride, metal silicide, 기타 금속 화합물 등 여러 가지로 연구가 진행되고 있다. 또한 NMOS에 적합한 물질은 Al, Ta, TaN 등 많은 물질이 존재 하는 반면 PMOS에 적합한 물질은 아주 적은 수만 존재한다고 학계에 발표되어 있다[4][5].

본 논문에서는 Ta-Mo 이원 합금 물질을 NMOS에 적합한 물질로 제안할 것이다. 또한 Ta과 Mo의 원자 비율을 달리하여 Ta-MO 이원 합금 물질을 PMOS에 적합한 물질로 제안할 것이다.

### 2. 실험

도핑된 p-형 실리콘 기판(100)과 n-형 실리콘 기판(100) 위에 실리콘 산화막(SiO<sub>2</sub>)를 열산화 방법으로 100Å 성장 시켰고 게이트는 순도 99.95%의 Mo과 Ta 타겟(Target)을 각각 준비하여  $3 \times 10^{-9}$  torr의 기본 압력에서 co-sputtering

방법을 수행하여 게이트를 제작하였다. co-sputtering 조건은 아래 그림 1과 같다.

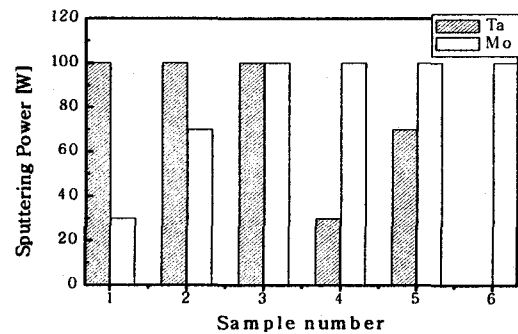


그림 1 각 시편별 sputtering 조건

$100\mu\text{m} \times 100\mu\text{m}$ 의 게이트 영역을 정의하기 위해 lift-off를 이용하여 MOS Capacitor를 제작하였다. 각 시편의 활성화를 위해 600℃, 700℃, 800℃에서 10초간 급속 열처리를 시행한 후 C-V 측정을 하였다. 측정된 C-V 데이터로부터 NCSU(North Carolina State University) Quantum Model을 이용하여 평탄전압, 등가 산화막 두께 등과 같은 파라미터를 추출하였고 일함수 계산 후 NMOS에 적합한 일함수를 가지는 2번 시편과 PMOS에 적합한 일함수를 가지는 6번 시편을 가지고 나머지 실험을 실행하였다. 누설전류를 측정하기 위해 -4 ~ 4V의 전압을 인가하여 I-V 측정을 시행하였다.

### 3. 결과 및 고찰

그림 2은 Mo 비율에 따른 Ta-Mo 게이트의 일함수를 나타낸 그래프이다. 왼쪽부터 순서대로 1-6번 시편이다. 그래프를 보면 알 수 있듯이 1, 2번 시편은 NMOS(~4eV)에 6번 시편은 PMOS(~5eV)에 적합한 일함수를 갖고 있다.

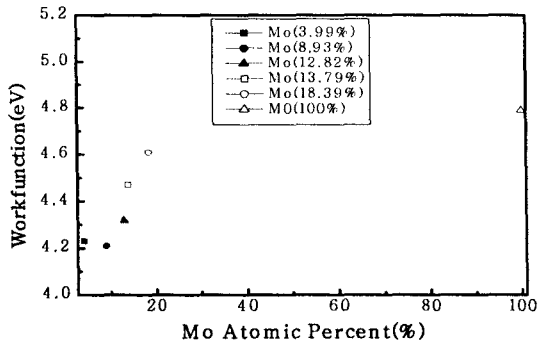
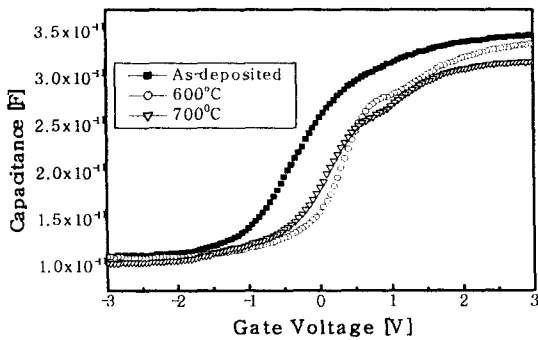
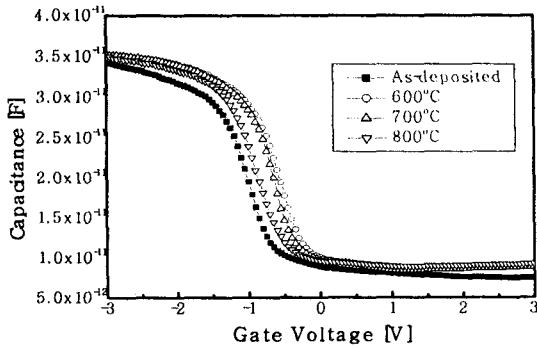


그림 2. Mo 비율에 따른 일함수



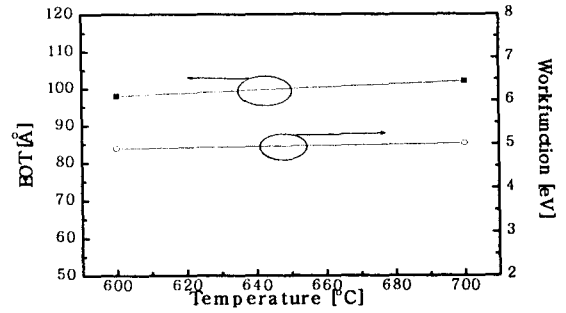
(a) 2번시편(NMOS)의 C-V 곡선



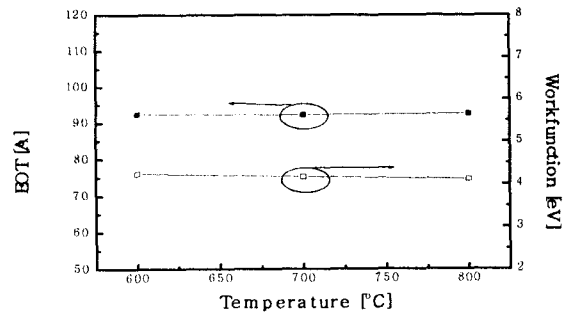
(b) 6번시편(PMOS)의 C-V 곡선

그림 3 RTA 온도에 따른 C-V 곡선

그림 3 (a), (b)의 결과를 보면 열처리 온도가 변화함에 따라 2번 시편의 경우 평탄전압이 0.13V 정도 6번 시편의 경우 0.09V 정도의 이동을 보였다. 또한, 그림 4 (a), (b)에 나타나 있듯이 2번 시편은 약 1Å, 6번 시편은 5Å 정도의 EOT변화를 가졌다. 이 결과로 2번 시편은 800°C, 6번 시편은 700°C의 온도까지 열적으로 안정한 것을 알 수 있다. 또한 적은 EOT의 변화와 일함수의 변화로 SiO<sub>2</sub>와 화학적으로 안정한 것을 알 수 있다.



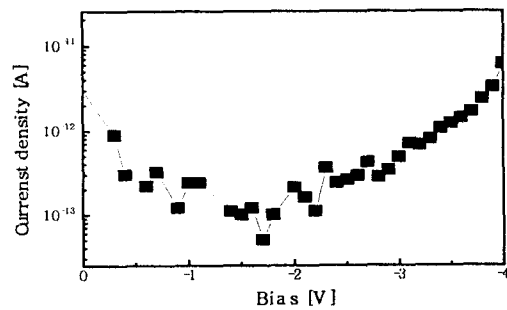
(a) 6번시편의 EOT, 일함수 변화



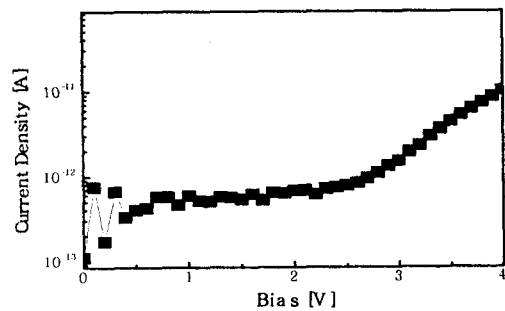
(b) 2번 시편의 EOT, 일함수 변화

그림 4 RTA 온도에 따른 EOT, 일함수 변화

그림 5 (a), (b)는 각 시편의 누설전류를 측정된 그래프이다.



(a) 2번 시편의 누설전류



(b) 6번 시편의 누설전류

그림 5 각 시편의 누설전류 곡선

그림 5의 결과를 보면 2, 6번 시편 모두 4V, -4V Bias에서  $1.02 \times 10^{-11}$ A 정도의 매우 작은 누설전류가 흐름을 알 수 있다.

#### 4. 결 론

본 논문에서는 NMOS와 PMOS에 사용가능한 Ta-Mo 이원 합금 게이트 물질에 대해 연구하였다. Ta-Mo 이원 합금 물질은 Mo의 원자 비율이 증가 할수록 일함수 값이 증가하는 특성을 지닌다. 따라서 NMOS와 PMOS에 적합한 일함수를 sputtering power를 조절함으로써 조절할 수 있다. 급속 열처리 후 C-V 측정 실험을 하였고 평탄전압과 EOT의 변화를 계산 하였다. 이 결과 실리콘 산화막 위에서 Ta-Mo 게이트는 열적·화학적으로 안정한 특성을 가짐을 알 수 있었다. 또한 매우 좋은 누설 전류 특성을 지녔다.

위 실험을 종합한 결과 Ta-Mo 원자 비율이 Ta-91.07% Mo-8.93% 일때 NMOS에 적합하며 Mo이 100%일때 PMOS에 적합한 차세대 물질임을 확인하였다.

#### 감사의 글

이 논문은 2005년도 한국학술진흥재단의 지원에 의하여 연구되었음(R05-2004-000-11226-0).

#### 참고 문헌

- [1] "Overall Roadmap Technology Characteristics" ITRS, 2004.
- [2] H. Zhong, G. Heuss, "Characterization of RuO<sub>2</sub> electrode on Zr Silicate and ZrO<sub>2</sub> Dielectrics," Applied Physics Letters, Volume 78, Number 8, pp.1134-1136, February 2001.
- [3] C. S. Park, B. J. Cho, "Thermally Stable Fully Silicided Hf-Silicide Metal-Gate Electrode," IEEE Electron Device Letters, Volume 25, Number 6 ,pp. 372-374, June 2004.
- [4] H. Zhong, G. Heuss, "Electrical Properties of RuO<sub>2</sub> Gate Electrodes for Dual Metal Gate Si-CMOS", IEEE Electron Device letters, Volume. 21, Number. 21, December 2000
- [5] A. Chatterjee, R. A. Chapman, "CMOS Metal Replacement Gate Transistor using Tantalum Pentoxide Gate Insulator," Tech. Dig. Int. Electron Devices Meeting. 1998, p.777.