

마이크로 칩의 정전기 방지를 위한 DPS-GG-EDNMOS 소자의 특성

서용진*, 김길호**, 이우선***

대불대학교 전기전자공학과*, 매그나칩 반도체**, 조선대학교 전기공학과***

Characteristics of Double Polarity Source-Grounded Gate-Extended Drain NMOS Device for Electro-Static Discharge Protection of High Voltage Operating Microchip

Yong-Jin Seo*, Kil-Ho Kim**, Woo-Sun Lee***

DaeBul University*, MagnaChip Semiconductor**, ChoSun University***

Abstract : High current behaviors of the grounded gate extended drain N-type metal-oxide-semiconductor field effects transistor (GG_EDNMOS) electro-static discharge (ESD) protection devices are analyzed. Simulation based contour analyses reveal that combination of BJT operation and deep electron channeling induced by high electron injection gives rise to the 2-nd on-state. Thus, the deep electron channel formation needs to be prevented in order to realize stable and robust ESD protection performance. Based on our analyses, general methodology to avoid the double snapback and to realize stable ESD protection is to be discussed.

Key Words : ESD (electro-static discharge), DPS-GG-EDNMOS (double polarity source-grounded gate extended drain N-type metal-oxide-semiconductor field effects transistor), double snapback

1. 서 론

마이크로 칩의 정전기(electro-static discharge; ESD) 스트레스에 대한 보호소자로 게이트가 커플(couple)된 큰 폭을 갖는 측면 확산된 N형 MOSFET (LDNMOS)가 ESD 방지 특성을 최적화하기 위한 가능한 해결방안으로서 제안되었다.[1,2] 그러나 큰 폭을 갖는 LDNMOS 소자와 게이트 커플된 레지스터, 다이오드들은 매우 큰 레이아웃 면적을 점유한다.[2,3] 이러한 소자 기술은 부가적인 이온주입 공정을 필요로 하며, 또한 소자면적의 증가가 필요하다. 게다가, 강한 스냅백의 발생을 막을 수가 없다. 안정적인 ESD 보호 성능을 구현하기 위해 게이트 아래에 N-드리프트 층을 중첩시키는 것이 강한 스냅백의 발생을 효과적으로 막을 수 있는 것으로 입증되었다.[4] 따라서 본 논문은 ESD 보호를 위한 최적화를 위하여 DDDNMOS형의 ESD 보호 소자의 특정한 형태인 DPS-GG_EDNMOS 소자에 대한 TLP 데이터와 2차원 소자 시뮬레이션 분석을 제시한다. 이러한 분석에 근거하여, ESD 보호 특성을 최적화하기 위한 일반적인 방법론이 논의되었다.

2. 결과 및 고찰

2.1 이중 스냅백에 대한 N-드리프트 이온주입의 영향

이전 연구에서 보고했던 결과[4]들은 안정하고 강한 ESD 보호 성능을 구현하기 위하여 깊은 전자 채널의 형성을 피할 필요가 있음을 제안하는 것이었다. 온-상태의 전자 밀도 분포는 소자내의 백그라운드 도핑 분포에 매우 의존하기 때문에 이온주입 조건은 깊은 전자 채널 형성을 결정하기 위한 임계 인자가 된다. 그림 1에 보인 것처럼, 만약에 N-드리프트 도즈가 임계값인 $3.3 \times 10^{13} \text{cm}^{-3}$ 보다 더 높게 유지된다

면 이중 스냅백의 발생을 피할 수 있다. 이는 N-드리프트 이온주입 도즈를 조절하는 것이 GG_EDNMOS 소자에서 안정적인 ESD 보호를 구현하기 위해 효과적인 방법이 될 수 있음을 암시하는 것이다. 또한 이에 상응하는 등고선 분석은 이중 스냅백과 깊은 전자 채널 형성 사이에 일치를 보인다. (그림 2 참조) 따라서 깊은 전자 채널이 N-드리프트 영역에 걸쳐 한번 형성되어지면, 자유 캐리어의 농도는 $3.3 \times 10^{13} \text{cm}^{-3}$ 보다 더 높은 이온주입 도즈를 갖는 N-드리프트 영역의 백그라운드 도핑을 차단할 만큼 여전히 충분히 높다는 것에 주목해야한다.

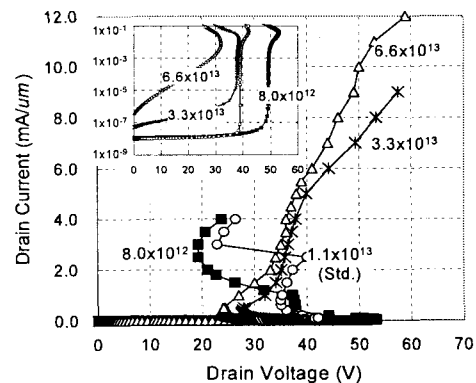


Figure 1. Simulation calculated current-voltage relation of the GG_EDNMOS with various N-drift implant doses. Graph in the inset shows the effects of N-drift implant dose on the avalanche breakdown voltage of the GG_EDNMOS.

2.2 ESD 보호 호자를 최적화하기 위한 채널 차단

N-드리프트 이온주입 도즈를 조절하는 것이 GG_EDNMOS 소자에서 안정한 ESD 보호를 구현하기 위한 효과적인 방법으로 밝혀졌다[4]. 그러나, 이것은 실제적인 사용에 있어서는 다소 제한된 방법론이다. 왜냐하면 그림 1에 삽입한 그림에 보인 것처럼, 접합 브레이크다운 전압을 변화시키기 때문이다. 접합 브레이크다운 전압을 변화시키지 않고서도 강한 ESD 보호성능을 구현하기 위한 대안의 선택은 채널 차단(blocking)이 될 수도 있다. 본 연구에서 제안하는 채널 차단(blocking)의 한 예를 그림 3에 표현하였다. 소위 말하는 이중 극성 소스(double polarity source)를 갖는 GG_EDNMOS (DPS_GG_EDNMOS) 소자는 소스 측면에 P+의 확산 층을 삽입한다. 이중 소스 측면으로부터 전자 풍부 영역의 측면 확장을 고의로 차단하는 구조이다. DPS_GG_EDNMOS 소자의 접합 브레이크다운 전압은 표준 GG_EDNMOS 소자의 접합 브레이크다운 전압과 같도록 요구된다. 왜냐하면 브레이크다운 전압은 드레인 측면에 대한 접합 특성에 의해 전체적으로 결정되기 때문이다. 시뮬레이션으로 추론된 전류-전압 관계는 삽입된 P+ 확산 층이 그림 4와 삽입된 그림에 보인 바와 같이 접합 브레이크다운 전압의 변화 없이도 두번째 온-상태의 발생을 효과적으로 막아줌을 의미한다. DPS_GG_EDNMOS 소자의 BJT 트리거링 전압과 스냅백 출딩 전압은 증가를 보였는데, 이는 채널 차단에 기인한 BJT의 감소된 전류 이득(gain)에 의한 것이다. 여기서 DPS_GG_EDNMOS 소자의 BJT 트리거링 전압과 스냅백 출딩 전압은 삽입된 P+ 확산 층의 면적 또는 그것의 도핑 농도의 변화에 의해 조절될 수 있다는 가능성을 보였다.

3. 결론

GG_EDNMOS 소자의 높은 ESD 취약점은 극히 낮은 스냅백 출딩 전압과 낮은 온-저항을 갖는 두번째 온-상태의 발생에 그 원인이 있다. 따라서, 안정하고 튼튼한 ESD 보호 현상은 깊은 전자 채널링의 형성을 방지함으로써 구현될 수 있다. 시뮬레이션 분석은 N-드리프트 이온주입 도즈가 증가할수록 깊은 전자채널의 형성을 효과적으로 방지할 수 있음을 나타내었다. 소오스 측면에 부가적인 P+ 확산층의 삽입과 같은 채널차단은 양호한 ESD 보호 특성을 얻기 위한 최적의 방법임이 입증되었다.

감사의 글

이 논문은 2005년 정부(교육인적자원부)의 재원으로 한국학술진흥재단의 지원을 받아 수행된 연구임. (KRF-2005-041-D00311).

참고 문헌

- [1] M. P. J. Mergens, W. Wilkening, S. Mettler, H. Wolf, A. Stricker and W. Fichtner: IEEE Trans. on Electron Devices 47 (2000) 2128.
- [2] R. M. Steinhoff, J. B. Huang, P. L. Hower and J. S. Brodsky: Proc. EOS / ESD Symp. (2003) p. 98.

- [3] V. Parthasarathy, V. Khemka, R. Zhu, J. Whitfield, R. Ida and A. Bose: IEEE Electron Device Lett. 23 (2002) 212.
- [4] 서용진, 김길호, 이우선, "GG-EDNMOS 정전기 보호소자의 Double Snapback 메카니즘, 한국전기전자재료학회 춘계학술대회 발표논문집.(2006. 4. 22).

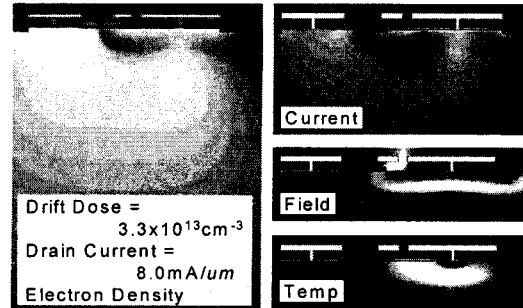


Figure 2. Contours of electron density, total current, electric field, and temperature for the GG_EDNMOS with N-drift implant dose $3.3 \times 10^{13} \text{cm}^{-3}$ and applied current density $8.0 \text{mA}/\mu\text{m}$.

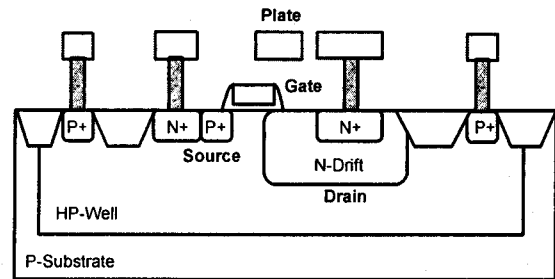


Figure 3. Schematic diagram of DPS_GG_EDNMOS ESD protection device.

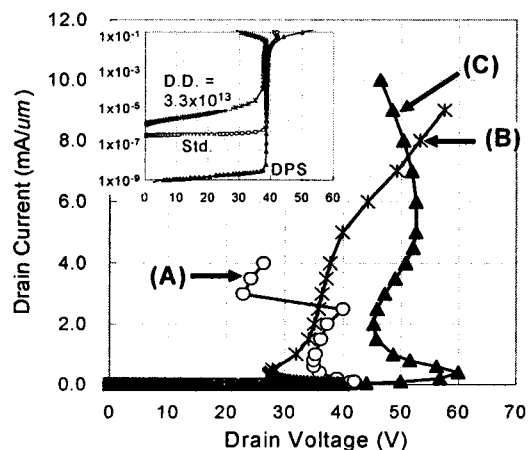


Figure 4. (A) Simulation calculated I-V relations of the standard GG_EDNMOS with N-drift dose $1.1 \times 10^{13} \text{cm}^{-3}$. (B) of the GG_EDNMOS with N-drift dose $3.3 \times 10^{13} \text{cm}^{-3}$. (C) of DPS_GG_EDNMOS ESD protection device. Graph in the inset represents low current behavior and avalanche breakdown voltage of each device.