

# 0.35 $\mu\text{m}$ 공정을 이용하여 제작된 MOSFET의 채널 변화에 따른 특성연구

강정환, 안민수, 윤일구  
연세대학교 전기전자공학과

## MOSFET Characteristics with Channel Variation fabricated by 0.35- $\mu\text{m}$ Process

Jung Han Kang, Minsu Ahn, Ilgu Yun  
Dept. of Electrical and Electronic Engineering, Yonsei University.

**Abstract :** In this paper, intrinsic n channel MOSFETs with external parasitic components are modeled. Using sensitivity analysis, effective parasitic components are tested and the optimized model is extracted. The extracted model is fitted to the measured S-parameters with different channel width. Based on this methodology, this method, external parasitic components that affect MOSFET operations can be analyzed and modeled.

**Key Words :** n-MOSFET, external parasitic components

### 1. 서론

최근 반도체소자의 집적화가 가속되고, 고속동작이 요구됨에 따라 회로 설계에 많은 어려움이 발생한다. 또한 RF CMOS소자의 트랜지스터 소형화에 따라 고속동작시 전압원과 노이즈에 더욱 민감해 지고 있다. 특히 이에 영향을 주는 입출력 메탈라인이 고속동작시 발생시키는 기생성분을 분석하고, 이를 활용하여 회로설계를 개선할 수 있다. 본 연구는 0.35  $\mu\text{m}$  공정으로 제작된 n형 MOSFET 소자의 기생성분 분석을 위한 회로를 제안하고 이를 이용하여 MOSFET의 채널폭 변화에 따른 모델링을 수행하였다.

### 2. 실험

#### 2.1 제작공정

실험에 사용된 n채널 MOSFET은 TSMC (Taiwan Semiconductor Manufacturing Company)사의 0.35  $\mu\text{m}$  다지형 게이트 공정으로 채널폭에 변화를 주어 제작되었다. 다지형 게이트 MOSFET은 그림1과 같다. 채널길이와 채널폭은  $L_f, W = W_f \times N_f$ 로 정의되며, 모델링에 사용된 소자는  $L_f = 0.35 \mu\text{m}, W = 300, 400, 500 \mu\text{m}$ 의 길이를 가진다.

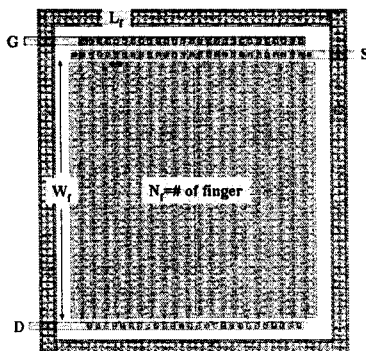


그림 1. 다지형 n채널 MOSFET의 레이아웃.

#### 2.2 특성 측정

HP4145B Semiconductor parameter analyzer를 이용하여 1 V 게이트전압, 0 V~2.5 V (0.1 V간격) 드레인전압에서 I-V 특성을 측정하였다. 고주파 특성은 Agilent 8722 VNA (Vector Network Analyzer)를 이용하여 50 Mhz~10 Ghz에서의 S-parameter (scattering parameter)를 측정하였다. 게이트 특성에 중점하여 입력단의 반사율과 입출력단의 고립화를 나타내는 S11, S12 파라미터를 사용하였다.

### 3. 모델링

기생성분을 포함한 모델회로는 그림2와 같다. 소스, 벌크를 접지하고, 게이트, 드레인 입출력에 대하여 고속동작시의 기생성분을 예측하였다. TSMC 0.35  $\mu\text{m}$  공정모델과 외부기생성분을 포함한 모델을 정의하여 게이트, 드레인 전압 1 V일때의 S-parameter fitting방법으로 모델의 성분값을 추출하였다. 각 성분에 대한 sensitivity 분석을 통해 게이트 저항 성분, 게이트-소스, 게이트-드레인 메탈 사이의 캐패시턴스 성분, 입출력 인덕턴스 성분을 가지는 모델을 정의후 최적화 하였다.

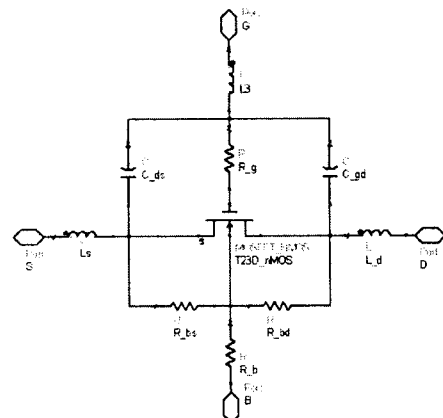


그림 2. 외부기생성분을 포함한 n채널 MOSFET의 회로.

#### 4. 결과 및 고찰

그림3-8은 모델을 통해 다른 채널폭의 MOSFET에 대한 최적화 모델링 결과이다. 제안된 모델이 채널폭에 따른 S-parameter를 잘 설명함을 확인할 수 있다.

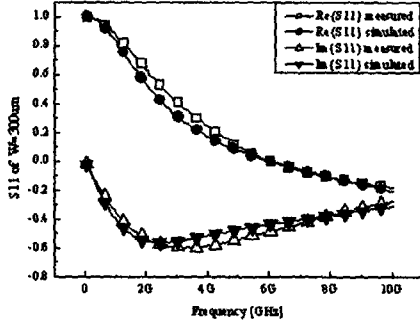


그림 3. W=300um의 최적화된 모델링 결과(S11)

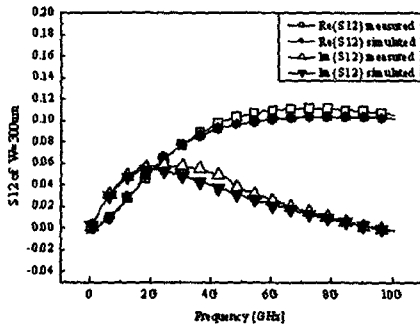


그림 4. W=300um의 최적화된 모델링 결과(S12)

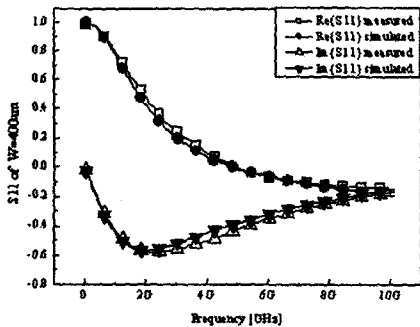


그림 5. W=400um의 최적화된 모델링 결과(S11)

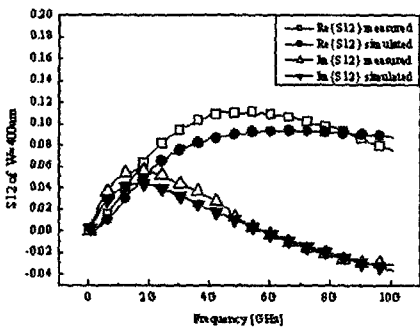


그림 6. W=400um의 최적화된 모델링 결과(S12)

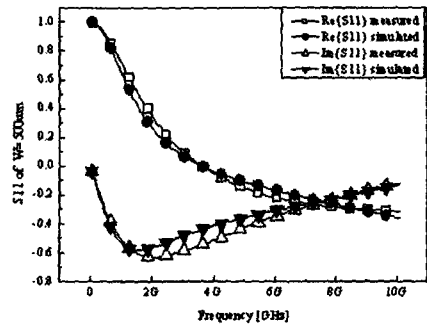


그림 7. W=500um의 최적화된 모델링 결과(S11)

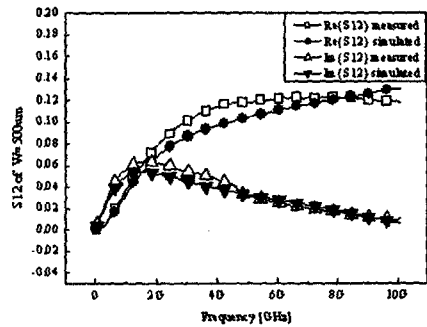


그림 8. W=500um의 최적화된 모델링 결과(S12)

#### 5. 결론

본 연구에서는 고속동작시의 외부기생분들을 포함한 MOSFET을 모델링 하였다. 각 성분들의 경향분석을 통해 모델링을 제안하였으며, MOSFET의 채널폭에 따른 최적화 모델링을 하였다. 각 성분들의 경향분석을 통하여 MOSFET 동작에 영향을 주는 외부성분을 확인하고, 회로 설계에 활용할 수 있다.

#### 감사의 글

본 논문을 쓰기 위한 연구에 사용된 설계 tool을 제공해 준 IC Design Education Center (IDEC)에게 감사의 뜻을 표합니다.

#### 참고문헌

- [1] 김천수, 유현규, "RF CMOS 기술의 현재와 미래", 전자공학회지, 29권, 9호, 2002년 9월
- [2] Gilles Dambrine, Alain Cappy, Frederic Heliodore, and Edouard Playez, "A New Method for Determining the FET Small-Signal Equivalent Circuit", IEEE Trans. on Microwave theory and techniques, Vol. 36, No. 7, July 1988
- [3] Cristian C. Enz, and Yuhua Cheng, "MOS transistor Modeling for RF IC Design", IEEE trans. on Solid-state circuits, Vol. 35, No. 2, February 2000