

저온 동시 소성세라믹으로 제작된 노출형 교차전극형 캐패시터의 특성 연구

안민수, 강정환, 윤일구
연세대학교대학교 전기전자공학과

Characterization of Exposed interdigitated Capacitor in Low Temperature Co-fired Ceramic

Minsu Ahn, Jung Han Kang, Ilgu Yun.
Dept. of Electrical and Electronic Engineering, Yonsei University.

Abstract : In this paper, we describe a method of accurate modeling capacitor in Low Temperature Co-fired Ceramic(LTCC). We obtain building blocks that present characterization of test structure through partial element equivalent circuit (PEEC) method. The extracted model of building blocks can be used for predicting behaviors of capacitors with different geometries. This method can provide the good inspection of capacitor to device engineer.

Key Words : LTCC, PEEC, Capacitor

1. 서론

21세기에 들어서 정보통신분야의 발달과 함께 고주파에서 동작 가능한 소자들이 각광을 받고 있으며 이러한 소자들은 소형화와 낮은 비용이 요구된다. 그러므로 집적화와 고성능 시스템의 특성 예측을 위한 정확한 수동소자 모델링이 중요시 되고 있다. 특히 여러 수동 소자 중 캐패시터는 주파수의 선택적 통과 특성 때문에 여과기, 공진기, 발전기 등의 회로 필수적인 요소 이므로 정확한 모델링이 요구된다.

본 논문에서는 교차전극형 캐패시터를 부분 등가회로 모델(partial equivalent circuit model :PEEC) 방법을 이용하여 모델링한 후 예측 모델링을 수행하였다.

2. 실험

2.1 공정

테스트 구조로 유전상수9.8의 교차전극형 캐패시터를 제작하였다. 은을 전도체로 사용한 후 도금 하였다. 캐패시터의 두께는 10 um로 하였다. 테스트는 구조는 8층의 LTCC sheet로 제작하였으며 각 sheet의 두께는 80 um 이다. 제작된 테스트 구조의 도식이 그림 1에 나타나 있다. 4개의 교차전극을 갖는 구조를 test structure 1, 5개의 교차전극을 갖는 구조를 test structure 2, 6개의 교차전극을 갖는 구조를 test structure 3으로 명명 하였다.

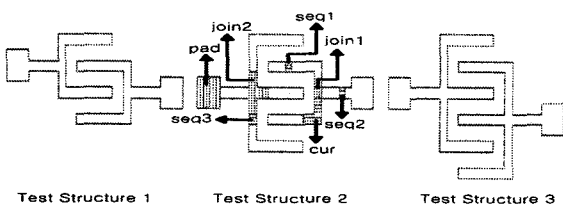


그림 1. 제작된 테스트 구조의 2차원 모형.

2.2 테스트 구조 측정

테스트 구조는 고주파 측정을 위하여 Agilent 8722 network analyzer에 ground-signal-ground configuration coplanar probe를 연결하여 측정하였다. Calibration은 측정 전에, through-reflect-match (TRM) 방법을 이용하여 이루어 졌다. 각각의 테스트 구조에 대해 50 MHz부터 10 GHz까지 201개의 scattering parameter (S-parameter)를 측정하였다.

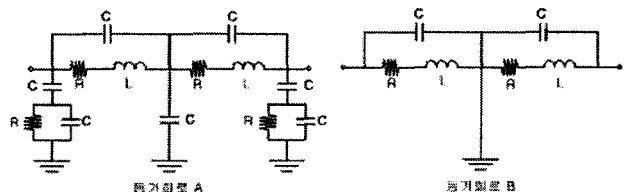


그림 2. 기본적인 빌딩 블록 정의.

3 모델링

PEEC 방법을 이용한 모델링을 수행함에 있어 test structure 2를 그림1과 같이 7개의 빌딩 블록으로 나누었다. 각각의 빌딩 블록 중 사용된 등가회로 구조는 2가지로 그림2에 나타내었다. Pad 블록은 구조적으로 ground와의 캐패시터 성분을 고려하여 등가회로 A를 사용하였으며, 나머지 블록은 등가회로 B를 사용하였다. 빌딩블록을 이용하여 등가회로로 구성된 캐패시터는 HSPICE circuit simulator를 이용하여 모델링을 수행하였다. test structure2의 모델링을 통하여 얻어진 최적화 된 결과를 test structure1 과 3에 적용하여 예측 모델링을 수행하였다.

4. 결과 및 고찰

그림3-4는 test structure 2에 대한 최적화 된 S-parameter의 S11과 S12를 측정치와 비교한 것이다. 그림

5-8는 test structure2의 모델링을 통하여 얻어진 최적화 된 결과를 test structure1 과 3에 대하여 예측 모델링을 수행한 후 측정치와 비교한 것이다. ▲는 측정치의 실수부를 ●는 측정치의 허수부를 나타낸다. △와○는 최적화 및 예측된 실수부와 허수부의 모델링 결과를 각각 나타낸다. 최적화 및 예측된 결과는 측정치는 매우 유사한 경향성을 나타냄을 알 수 있다.

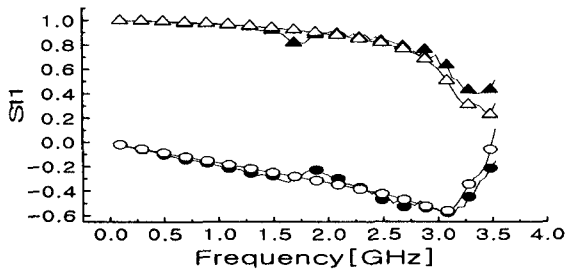


그림 3. Test structure 2의 S11의 최적화 된 모델링 결과

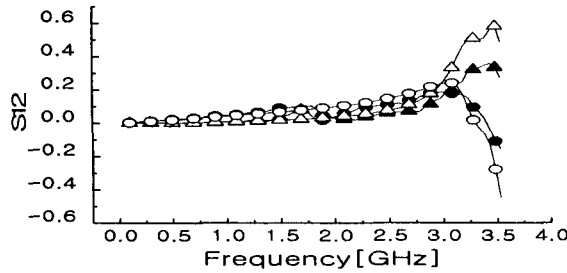


그림 4. Test structure 2의 S12의 최적화 된 모델링 결과

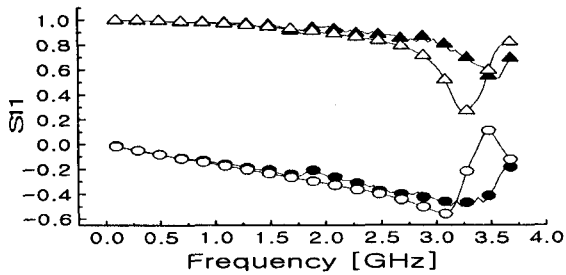


그림 5. Test structure 1의 S11의 예측 모델링 결과

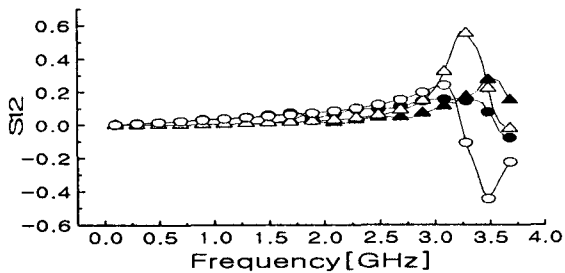


그림 6. Test structure 1의 S12의 예측 모델링 결과

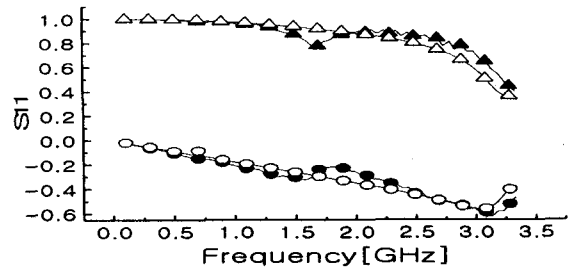


그림 7. Test structure 3의 S11의 예측 모델링 결과

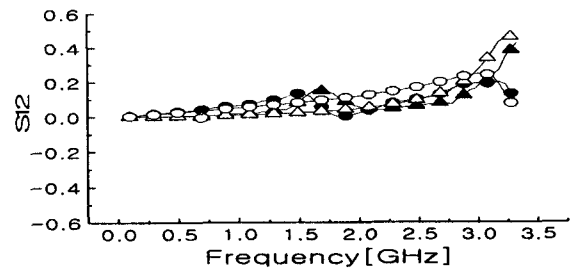


그림 8. Test structure 3의 S12의 예측 모델링 결과

5. 결론

본 논문에서는 LTCC공정으로 제작된 교차전극형 캐패시터를 PEEC방법으로 모델링 하였다. 모델링을 통하여 얻어진 최적화 된 결과를 통하여 예측 모델링을 수행하였다. 예측 모델링의 결과로부터 PEEC 방법이 집적회로에 응용 할 수 있는 교차전극형 캐패시터의 특성을 예측하고 분석 하는데 유용함을 알게 되었다.

감사의 글

본 논문을 쓰기 위한 연구에 사용된 설계 tool 을 제공해준 IC Design Education Center (IDEC)에게 감사의 뜻을 표합니다

참고 문헌

- [1] Ravi Poddar, Emily M. Moon, Martin A. Brooke and Nan Marie Jokerst "Accurate, Rapid, High Frequency Empirically Based Predictive Modeling of Arbitrary Geometry Planar Resistive Passive Device", IEEE Trans. Component, Packaging, and Manufacturing Technology-Part B, VOL. 21, NO. 2, MAY 1998
- [2] A. Ruehli, "Equivalent Circuit Models for Three Dimensional Multiconductor System", IEEE Trans. Microwave Theory Tech., Vol. 22, p216-221, 1974.
- [3] B. C. Kim, D. Han, R. Liu, Y. J. Yoon, "Characterization and Testing on Integral Passive for Wireless Application", 8th International Symposium on Advanced Packaging Material, pp. 375-379, March 2002.