

테라비트급 SONOS 플래시 메모리 제작

김주연, 김병철*, 서광열**, 김정우***

울산과학기술대학, 진주산업대학교*, 광운대학교**, 삼성전자***

Fabrication of Tera bit level SONOS Flash memories

Joo-yeon Kim, Byun-cheul Kim*, Kwang-yell SDe**, Jung-woo Kim***

Ulsan College, Jinju national University*, Kwangwoon University**, Samsung Electronics***

Abstract : To develop tera-bit level SONOS flash memories, SONOS unit memory and 64 bit flash arrays are fabricated. The unit cells have both channel length and width of 30nm. The NAND & NOR arrays are fabricated on SOI wafer and patterned by E-beam. The unit cells represent good write/erase characteristics and reliability characteristics. SSL-NOR array have normal write/erase operation. These researches are leading the realization of Tera-bit level non-volatile nano flash memory.

Key Words : Flash memory, SONOS, 30nm Memory array, CSL(Common Source Line)-NOR, SSL(Separated source line)-NOR, NAND

1. 서론

비휘발성 메모리 시장에서 2가지 대표적인 구조가 있다. 하나는 플로팅 게이트형(floating gate type)이고 다른 하나는 전하트랩형이다. 현재 플로팅 게이트 형이 주류를 이루고 있으나 신뢰성을 만족하기 위해 두꺼운 산화막을 형성하여야 하고 6MV/cm 이상의 높은 필드가 쓰기/소거 동작 시 인가되어야 한다. 이러한 고전압 동작과 두꺼운 산화막은 나노스케일의 스케일 다운을 어렵게 한다. 이에 반해 전하트랩형 SONOS (silicon-oxide-nitride-oxide-silicon) 소자는 질화막내에서 전하를 트랩하기 때문에 얇은 터널링 산화막을 사용하고 따라서 저전압 동작이 가능하다[1]-[3]. 또한 2-BIT 및 MULTI BIT 동작이 가능하여 최근에 집중적인 연구가 이루어지고 있다[4].

이러한 SONOS형 플래시 메모리로 tera bit 급 플래시 메모리를 제작하기 위하여 채널 길이와 폭이 30nm인 SONOS 메모리 소자를 제작하였을뿐만 아니라 64BIT 메모리 어레이를 제작하여 TERA BIT 급 플래시 메모리 개발의 가능성을 조사하였다.

2. 실험

테라 비트급 비휘발성 메모리 제작을 위하여 단위 메모리 소자와 8x8 비트의 NAND, CSL(Common Source line)-NOR와 SSL(Separated Source line)-NOR 어레이를 설계하였고, 공정 평가를 위한 SPICE parameter 추출을 위한 패턴들을 설계하였다.

제작은 통상의 CMOS 공정을 이용하여 SOI 기판 위에 ONO를 각각 30Å/60Å/55Å으로 형성하고 E-beam으로 패

턴을 형성하였다.

3. 결과 및 고찰

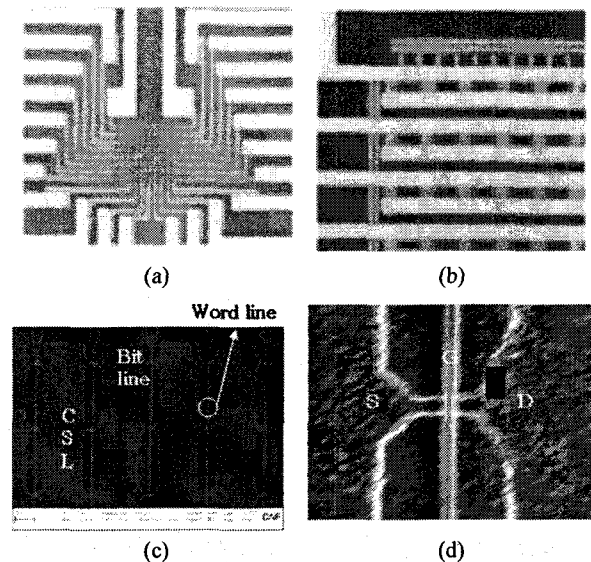


그림 1. 제조된 SONOS 플래시 메모리 어레이

그림 1의 (a)는 제작된 NAND 어레이 (b)는 SSL-NOR 어레이의 사진이다. 그림 1(c)는 산화막을 제거한 CSL-NOR의 TEM 사진이다. 그림(d)는 CSL-NOR 어레이를 형성하고 있는 단위 메모리 셀의 TEM 사진이다. 30nm x 30nm의 채널 폭과 길이를 갖는다.

메모리 어레이 특성을 평가하기 전에 단위 셀의 특성을

평가하였다. DIBL은 175 mV/v로 나타났고 Sub-threshold swing, SS는 드레인 전압이 0.5V일 때 528 [mv/decade]로 측정되었다. 따라서 제작된 단위소자는 드레인 전압에 의한 영향이 크기 때문에 읽기 동작 시 누설 전류를 고려하여 비트라인 전압을 선택하여야 한다.

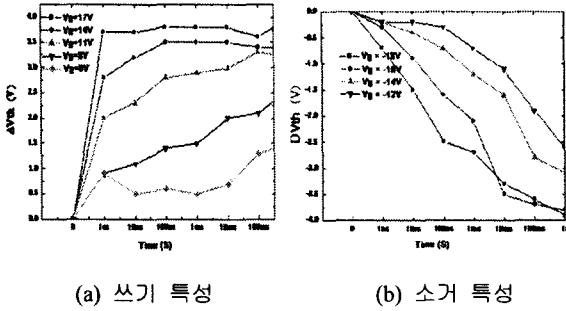


그림 2. 단위 메모리 소자의 쓰기/소거 특성

그림 2와 같이 기본적인 쓰기/소거 동작을 조사한 결과 멀티레벨 메모리 동작과 저전압 동작에 적합한 것으로 판단된다. 쓰기/소거 동작은 터널링 방법으로 진행되었고 쓰기전압은 $\Delta V_{th} \sim 4V @ 10\mu s$ 이고 소거전압은 $\Delta V_{th} \sim -4V @ 10 ms$ 의 특성을 보이고 있다. CHE 쓰기는 SOI 구조에서 기판의 플로팅에 의한 영향으로 문턱전압을 변화 시키지 못하였다.

다음 그림 3은 단위 소자의 신뢰성 특성이다. 10년 이상의 기억유지 특성과 105 cycle 이상의 내구성 특성이 모두 양호한 것으로 측정되었다.

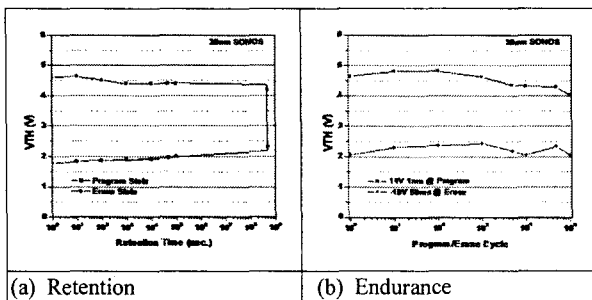


그림 3. SONOS 단위 소자의 신뢰성 특성

이상의 단위 소자평가 특성으로부터 어레이 특성을 평가한 결과 SSL-NOR의 경우 터널링 쓰기/소거 동작을 적용하였을 때 셀들이 약 10%가 정상 동작을 하였고 이때의 문턱전압 분포를 그림 4에 나타냈다. 쓰기 상태의 문턱전압의 분포가 상대적으로 넓게 분포하였다. 쓰기 상태에서 문턱전압의 분포가 넓을 경우 pass cell의 전압 결정에 어려움이 많다.

SSL-NOR 어레이는 CHE 쓰기를 하여야 셀의 inhibit를 확보할 수 있어 동작을 확인 할 수 없었으며 NAND 어레이

의 경우 현재의 문턱전압 특성과 쓰기 전압 특성으로는 어레이 동작을 확인할 수 없다. 문턱전압의 분포를 조절하여야 하며 비트라인의 전위가 문턱전압 만큼 씩 감소하지 않고 전달 할 수 있도록 body-contact을 형성하여 비트라인의 저항으로 인한 disturbance를 감소하도록 하여야 한다.

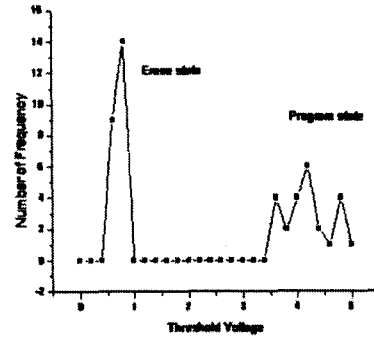


그림 4. SSL-NOR 어레이 단위 셀의 문턱전압 분포

4. 결론

테라비트급 나노 플래시 메모리를 제작하기 위하여 채널 길이와 폭이 30nm인 SONOS 단위소자와 이를 이용한 64bit 어레이를 설계 제작하였다. 30nm의 구현은 E-beam으로 하였고 ONO 두께는 각각 30 Å/60 Å/55 Å이다. 제작된 단위 소자의 쓰기/지우기 및 신뢰성 특성은 멀티레벨 메모리와 저전압 메모리 특성에 적용할 만큼 우수하였다.

SSL의 경우 FN 터널링 쓰기로 쓰기/소거 동작을 확인하였으나 어레이에서 동작하는 단위 셀의 수가 10% 내외로 적었다.

본 실험을 통하여 테라비트급 SONOS 플래시 메모리 개발이 더욱 가시화되고 있다

감사의 글

본 연구는 과학기술부의 Tera-level 나노소자 프로젝트의 지원에 의한 것입니다.

참고 문헌

- [1] 한전자, "복합 스트레스에 의한 열화진단", 전기전자재료학회논문지, 15권, 1호, p. 10, 2001.
- [2] T. W. Choi, C. S. Lee, and S. C. Yoo, "Electrical ceramics", Proc. 2002 Summer Conf. KIEEME, p. 10, 2002.
- [3] T. W. Choi and S. C. Yoo, "Electrical and mechanical properties of ceramics", J. of KIEEME(in Korean), Vol. 15, No. 1, p. 10, 2001.
- [4] T. W. Choi and S. C. Yoo, "Electrical and mechanical properties of ceramics", J. Mater. Sci., Vol. 15, No. 1, p. 10, 2001.