

나노급 CMOSFET을 위한 SOI기판에 Doping된 B11을 이용한 Ni-Silicide의 열안정성 개선

정순연, 오순영, 김용진, 이원재, 장잉잉, 종준, 이세광, 왕진석, 이희덕

충남대학교

Thermal Stability Improvement of Ni-Silicide on the SOI Substrate Doped B11 for Nano-scale CMOSFET

Soon-Yen Jung, Soon-Young Oh, Yong-Jin Kim, Won-Jae Lee, Ying-Ying Zhang, Zhun Zhong, Shi-Guang Li, Jin-Suk Wang,

and Hi-Deok Lee

Dept. of Electronics Engineering, Chungnam National University, yusong-Gu, Daejeon 350-764, Korea

Abstract : In this study, Ni silicide on the SOI substrate doped B11 is proposed to improve thermal stability. The sheet resistance of Ni-silicide utilizing pure SOI substrate increased after the post-silicidation annealing at 600 °C for 30 min. However, using the proposed B11 implanted substrate, the sheet resistance showed stable characteristics after the post-silicidation annealing up to 700 °C for 30 min.

Key Words : SOI, Nickel silicide, thermal stability, dopant, nano-scale CMOSFETs

1. 서론

CMOSFET 소자는 ULSI (Ultra Large Scale Integration) 공정이 발전함에 따라 소자의 크기가 급격히 감소하고 있으며, 최근에는 100 nm 이하의 나노 영역에서 소자 제작 공정 기술에 대한 연구가 매우 활발히 진행되고 있다. 하지만 이와 함께 게이트 누설 전류 (leakage current), 단채널 효과 (short channel effect) 소스/드레인 접합 누설 전류 (junction leakage current) 등의 문제점들이 함께 나타나고 있어 그 해결책이 매우 필요한 상황에 있으며 이러한 문제점들을 기존의 Bulk-Si를 SOI (Silicon on Insulator) 기판으로 대체함으로써 개선이 가능하다고 여겨지고 있다 [1-2]. 특히 매몰 산화층 (BOX:Buried Oxide) 위에 형성된 실리콘의 두께를 줄임으로써 (Si-film의 두께 < 50 nm), 게이트 구동에 따라 Si-film 부분이 완전 공핍 (Fully depleted) 되며, 게이트의 구동력이 높아져 단채널 효과가 감소하고 높은 구동 전류 (drive current)를 얻을 수 있는 장점이 있다 [3-4]. 또한 Nickel-silicide는 한번의 열처리 과정만으로도 14 $\mu\Omega\text{cm}$ 의 낮은 비저항을 갖는 Nickel Mono-Silicide (NiSi)를 얻을 수 있는 장점이 있다. 그러나 이러한 장점에도 불구하고 실리사이드 형성 후의 열안정성이 취약한 단점을 가지고 있다. 열안정성을 향상시키기 위해 현재 많은 연구가 진행 중에 있다 [5].

본 논문에서는 소스/드레인과 게이트에서 B11이 주입된 경우에 대하여 Ni-silicide의 특성을 분석을 통하여 후속 공정 과정에서 열안정성 평가에서도 특성을 향상시켰다.

2. 실험

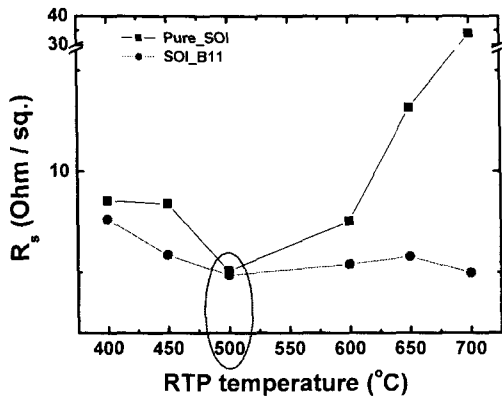
본 실험을 위하여 Si-film 두께 50 nm를 갖는 SOI에

B11 (3.5keV, $3 \times 10^{15}/\text{cm}^2$)을 주입한 기판을 사용하였다. 금속 박막을 증착하기 전에 DI water으로 희석시킨 HF 용액(HF : D · I = 1 : 100)에서 30초간 자연 산화막을 식각하였다. RF magnetron sputter를 사용하여 기본 진공도 (base pressure) 및 증착 진공도 (working pressure)를 각각 5×10^{-7} 및 3×10^{-3} Torr에서 Ni (10 nm)을 증착하였다. 증착 전에 충분한 pre-sputter로 오염을 방지하였으며, 증착하는 동안 wafer holder를 회전시켜 증착의 균일도를 높였다. Ni Silicide형성을 위해 급속 열처리를 기본 진공도 3×10^{-2} Torr에서 30초간 실시하였으며, Silicide 형성 후 반응하지 않은 금속은 $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2$ (4 : 1) 용액에서 선택적으로 식각하였다. 열안정성 분석 실험을 위하여 고순도 질소 (N_2 , 99.99%) 분위기에서 고온 열처리 (Furnace Anneal)를 600~700 °C에서 30분간 열처리하였으며, FPP (Four-Point Probe)를 이용하여 증착된 금속의 두께 및 급속 열처리 온도에 따른 Silicide의 면저항을 측정하였다. Silicide의 단면특성과 두께 확인을 위해 FE-SEM (Field Emission Scanning Electron Microscopy, 한국 기초 과학 지원 연구원 전주 분소, 모델명 S-4700)을 사용하였다.

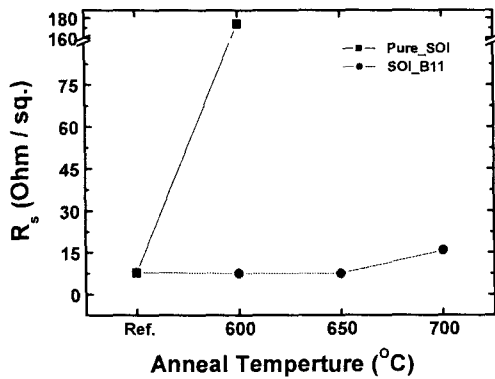
3. 결과 및 검토

Si-film의 두께가 50 nm인 SOI 기판에 B11이 주입된 경우 Ni (10 nm)를 증착한 후 급속 열처리를 하여 실리사이드 형성 후 고온 열처리 전과 후의 면저항 특성은 그림 1과 같다.

그림 1 (a)의 경우 Pure-SOI와 B11이 주입된 경우 모두 500°C에서 가장 안정된 면저항 값을 갖지만 B11이 주입된 경우 더 낮고 안정된 면저항 값을 나타내고 있다.



(a)

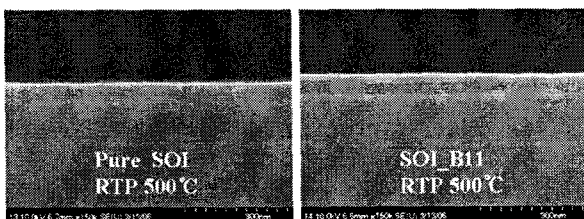


(b)

그림 1. Ni-silicide의 고온 열처리 전·후의 면저항 특성
(a) RTP (b) Anneal

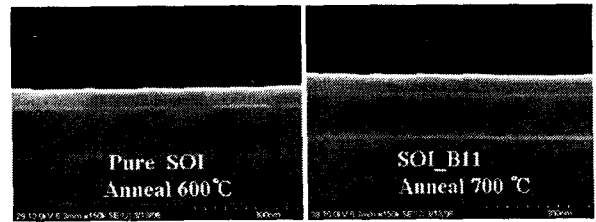
500 °C에서 실리사이드를 형성한 후 열안정성 평가를 위한 특성을 보기 위해 600, 650 700 °C에서 30 분간 고온열처리를 하였다. 고온 열처리 후 Pure_SOI의 경우 면저항이 600 °C 급격히 증가하였고 그 이후에서는 면저항이 측정되지 않았지만 B11을 주입한 경우 그림 1 (b)와 같이 700 °C, 30 분까지 낮고 안정된 면저항 값을 유지되고 있어 열안정성을 개선시킬 수 있었다.

그림 2 (a), (b)는 고온 열처리 전 후의 Ni-silicide의 FE-SEM 단면 특성이다. 급속 열처리 500 °C, 30 초에서 실리사이드를 형성 한 후 단면 특성을 확인하였다.



(a)

(b)



(c)

(d)

그림 2. 고온 열처리 전·후 Ni-silicide의 FE-SEM 단면 특성 (a),(b) RTP 500°C, 30 초 (c),(d) Anneal 700°C, 30 분

그림 2 (c), (d)를 보면 Pure_SOI 경우 실리사이드가 열화 및 단절현상이 일어났지만 B11을 주입한 경우 700°C, 30 분간 고온 열처리 후 실리사이드가 열화 및 단절현상이 일어나지 않음을 확인 하였다.

이로써 B11을 주입한 경우에 실리사이드 특성이 향상됨을 확인할 수 있다.

4. 결론

본 논문에서는 SOI 기판에 도핑된 B11을 이용하여 형성된 Ni-silicide의 열안정성을 분석하였다. B11이 주입된 기판을 사용하여 면저항 뿐만 아니라 계면 특성까지 개선시킬 수 있었다. Pure_SOI를 사용했을 경우는 600°C, 30 분에서 면저항이 급격히 증가하여 응집현상과 단절현상이 일어난 반면 B11을 주입한 경우에는 700°C, 30 분의 고온 열처리 후에도 낮은 면저항을 확인하였으며 단면특성 또한 우수한 특성을 보여 열안정성이 개선되었음을 확인하였다.

감사의 글

본 논문은 한국과학재단 목적기초연구 (과제: R01-2003-000-11659-0)의 지원하에 이루어졌음.

참고 문헌

- [1] Jang-Gn Yun, Soon-Young Oh, Bin-Feng Huang, Hee-Hwan Ji, Yong-Goo Kim, Seong-Hyung Park, Heui-Seung Lee, Dae-Byung Kim, Ui-Sik Kim, Han-Seob Cha, Sang-Bum Hu, Jeong-Gun Lee, Sung-Kweon Baek, Hyun-Sang Hwang, and Hi-Deok Lee, IEE ELECTRON DEVICE LETTERS, (2005), p90-92
- [2] Tommy C. Hsiao, Ping Liu, and Jason C. S. Woo, IEEE ELECTRON DEVICE LETTERS, (1997), p. 309-311
- [3] Jer-Shen Maa, Bruce Ulrich, Sheng Teng Hsu, and Greg Stecker, Thin Solid Films, (1998), p. 412-417
- [4] Lisa T. Su, Melanie J. Sherony, Hang Hu, James E. Chung, and Dimitri A. Antoniadis, Fellow, IEE ELECTRON DEVICE LETTERS, (1994), p. 363-365
- [5] Mi-Suk Bae, Hee-Hwan Ji, Hun-Jin Lee, Soon-Young Oh, Jang-Gn Yun, Bin-Feng Huang, Jin-Suk Wang, and Hi-Deok Lee. The Institute of Electronics Engineers of Korea, (2003), p 803-810