

## SOI 기판에서 Silicide의 후속 공정 열처리 영향에 대한 연구

이 원재, 오 순영, 김 용진, 장 잉잉, 종 준, 이세광, 정 순연, 김 영철\*, 왕 진석, 이 희덕  
 충남대학교, \*한국기술교육대학교

### Study of Post-silicidation Annealing Effect on SOI Substrate

Won-Jae Lee, Soon-Young Oh, Yong-Jin Kim, Ying-Ying Zhang, Zhun Zhong, Shi-Guang Lee, Soon-Yen Jung,  
 Yeong-Cheol Kim\*, Jin-Suk Wang and Hi-Deok Lee  
 Chungnam National University, \*Korea University of Technology and Education

**Abstract :** In this paper, a nickel silicide technology with post-silicidation annealing effect for thin film SOI devices is investigated in detail. Although lower resistivity Ni silicide can be easily obtained at low forming temperature, poor thermal stability and changing of characteristic are serious problems during the post silicidation annealing like ILD (Inter Layer Dielectric) deposition or metallization. So these effects are observed as deposited Ni thickness differently on As doped SOI (Si film 30nm). Especially, the sheet resistance of Ni thickness deposited 20nm was lower than 30nm before the post silicidation annealing. But after the post silicidation annealing, the sheet resistance was changed. Therefore, in thin film SOI MOSFETs or Ni-FUSI technology that the Si film is less than 50nm, it is important to decide the thickness of deposited Ni in order to avoid forming high resistivity silicide.

**Key Words :** Silicide, FUSI, Nickel, NiSi, SOI, post-silicidation

### 1. 서 론

Salicide(Self-aligned silicide)기술은 CMOS소자의 소스 그리고 드레인, 게이트의 저항을 낮춰 소자의 성능을 향상 시키는데 필요한 기술이다[1]. 최근에는 소자의 집적도가 커지면서 작은 선포의존성과 실리콘 소모율, 낮은 비저항을 갖는 Nickel이 기존의 Titanium, Cobalt를 이용한 silicide를 대체할 물질로 각광받고 있다[2]. 또한 기존의 Bulk 기판에 비하여 접합 캐패시턴스와 누설전류를 줄이므로써 낮은 전력소모율과 높은 성능의 소자를 위한 SOI (Silicon-On-Insulator) 기판이 사용되어지고 있는데 여기에는 소스, 드레인의 얇은 형성으로 인한 높은 저항으로 silicide기술을 접목할 수밖에 없다[3]. 그리고 FUSI(Fully Silicided)를 통하여 게이트의 저항을 크게 줄임으로써 소자의 성능을 향상시키는 기술이 연구되어지고 있는데 SOI나 FUSI의 경우 제한된 실리콘에 의하여 silicide형성시 void나 기타 열처리 후 특성의 변화를 갖게된다[4]. 본 논문에서는 이러한 특성을 As이 도핑된 SOI에서 실험하였다.

### 2. 실험

P-type Si과 30nm 두께 실리콘의 As이 implant된 SOI 기판을 사용하였다. 기판은 자연 산화막을 제거하기 위해 1% HF용액에 30초간 에칭 하였으며, RF magnetron sputter를 이용하여 10, 20, 30, 40nm의 두께로 증착하였다. 그리고, Ni silicide를 형성하기 위한 최적의 온도를 찾기위해 30 mTorr이하의 진공에서 급속열처리(RTP)를 400 ~ 800 °C의 온도로 분할하여 30초간 실시하였다. Ni-silicide 형성 후 반응하지 않은 급속층은 H<sub>2</sub>SO<sub>4</sub>+H<sub>2</sub>O<sub>2</sub>(4:1)용액에서 선택적으로 식각하였다. 최종적으로 열안정성 시험을 위해 전

기로에서 650 °C전후로 30분간 고온 열처리를 하였다. 분석장비로는 면저항을 측정하기 위한 Four-Point Probe(FPP)와 형성된 silicide의 두께와 Uniformity 측정을 위해 FE-SEM(Field Emission Scanning Electron Microscopy, 한국 기초 과학 지원 연구원 전주 분소, 모델명 S-4700)을 이용하였으며 Nickel의 분포를 보기 위해 XPS(X-ray/Ultraviolet Photoelectron Spectroscopy, 한국 기초 과학 지원 연구원 전주 분소, 모델명 AXIS - NOVA)를 통한 Depth profile을 측정하였다. 또한 상변이를 관찰하기 위한 XRD(X-ray Diffractometer) 분석을 실시하였다.

### 3. 결과 및 고찰

그림 1은 급속열처리후 형성된 silicide의 면저항을 측정 한 결과이다. 1-(b) SOI에서 볼수 있듯이 Nickel의 두께에 따른 면저항의 차이가 1-(a) bulk와 비교했을 때와 확연히 다른 것을 알수 있다. 이는 SOI에서 제한된 실리콘의 양으로 인하여 증착된 Nickel이 두꺼워질수록 metal-rich phase의 형성으로 면저항이 증가함을 알 수 있다[5]. 또한 실리콘의 두께가 30nm인 SOI에서 Nickel이 20nm인 경우에 가장 낮은 면저항의 silicide가 형성 됨을 알 수있다.

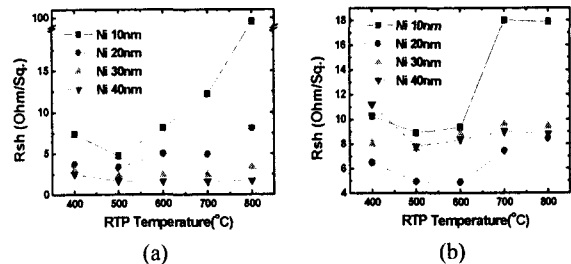


그림 1. Ni-silicide 형성후 면저항 특성 (a) Bulk 기판 (b) SOI 기판

그림 2는 후속 공정 열처리 후 면저항특성이다. 여기에서 급속열처리 후 면저항 특성과 반전되는 특성을 SOI에서 볼수 있는데 급속열처리 후에는 Nickel 20nm일때 가장 낮은 면저항 특성을 보였으나 후속 공정 열처리 후 30nm 일때가 높은 온도로 갈수록 낮은 면저항 특성을 보임을 알 수 있다.

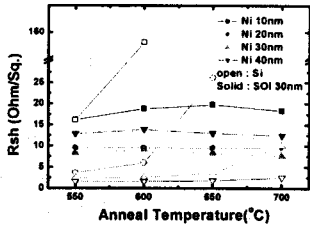


그림 2. 후속 공정 열처리(Anneal) 후 면저항 특성

그림 3의 FE-SEM 단면확인 결과 30nm silicon 막 전체에 silicide가 형성되어 있음을 볼 수 있다. Nickel 20nm의 경우 급속 열처리 후 silicide와 silicon 경계에서 약간의 반을 하지 않은 silicon을 볼수 있다.

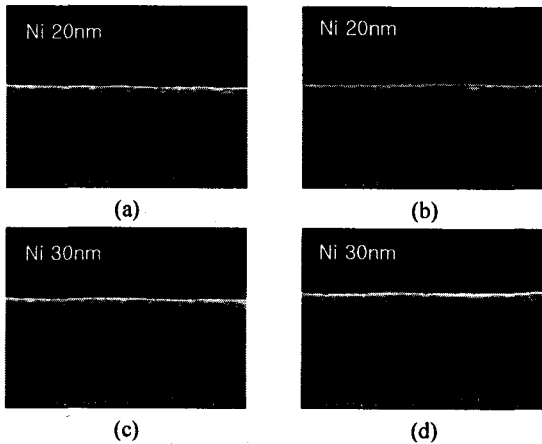


그림 3. 급속열처리(RTP) 후와 후속 공정 열처리 (Anneal) 후의 FE-SEM 단면 특성 (a),(c) 급속 열처리 후 (b),(d) 후속공정 열처리 후

그림 4의 XRD 분석결과 급속 열처리(RTP) 후 20nm인 경우 NiSi의 피크 값이 작은 것을 알 수 있다. 후속 공정 열처리(Anneal)후 NiSi의 피크 값이 다시 커짐을 확인 할 수 있었다.

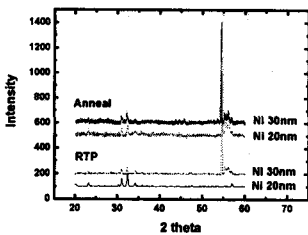


그림 4. 후속공정 열처리(Anneal) 전후의 상변이 특성

그림 5의 XPS depth profile을 보면 20nm에서 표면에 많은 Nickel이 확산하여 기판쪽을 들어가 전체적으로 silicon과 비슷한 비율로 silicide가 형성 되어 있음을 볼수 있다. 또

한 30nm의 경우 silicide 전체의 경우 Nickel의 비율이 많은 것을 볼수 있으며 열처리 후에도 전체적으로 기판으로의 확산만 있을뿐 비율의 변화는 크게 없는 것으로 나타났다.

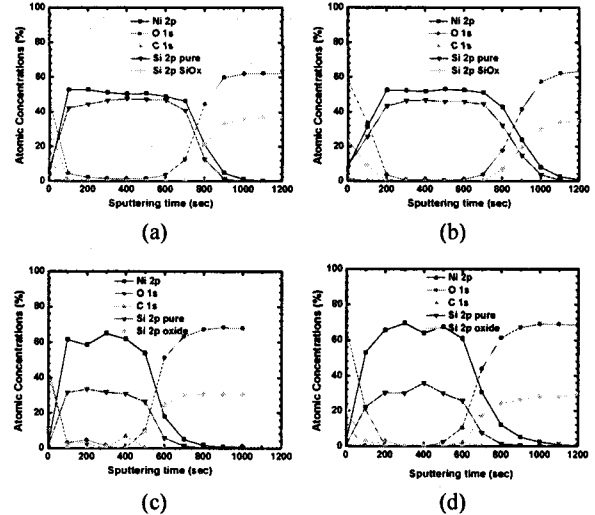


그림 5. 후속공정 열처리(Anneal) 전후의 depth profile  
Ni 20nm : (a) before (b) after, Ni 30nm : (c) before (d) after

#### 4. 결론

본 논문에서는 SOI 기판에서 Nickel의 증착 두께에 따른 형성특성과 후속공정 열처리 후의 특성에 대해서 연구 하였다. 면저항과 XRD, XPS결과에서 볼 수 있듯이 후속 공정 열처리 후의 silicide 특성 변화를 볼 수 있는데 20nm인 경우 silicide 형성 후 nickel이 확산이 고르게 되지 않고 표면에 몰려 있는 반면 후속공정 열처리 후 확산되었음을 볼 수 있다. 결과적으로 얇은 SOI MOSFETs나 FUSI를 이용할 경우 silicon film에 비례한 Nickel의 두께 선정은 후속공정의 열처리에 의한 특성의 변화까지 주시할 필요가 있다.

#### 감사의 글

본 논문은 한국과학재단 목적기초연구 (과제: R01-2003-000-11659-0)의 지원하에 이루어졌음.

#### 참고 문헌

- [1] T. Shibata, K. Hieda, M. Sato, M. Konaka, R. L. M Dang, and H. Iizuka, IEDM Tech. Dig.(1981), p. 647.
- [2] J. P. Lu, D. Miles, J. Zhao, A. Gurba, Y. Xu, C. Lin, M. Hewson, J. Ruan, L. Tsung, R. Kuan, T. Grider, D. Mercer, And C. Montgomery. IEDM Tech. Dig. (2002), p. 371.
- [3] Ping Liu, Tommy C. Hsiao, Jason C. S. Woo. IEEE Transactions on electron edvices. (1998), p 1280.
- [4] J. A. Kittl, A. Veloso, A. Lauwers, K. G. Anil, C. Demeurisse, S. Kuvic, M. J. H. van Dal, O. Richard, M. A. Pawlak, M. Jurczak, C. Vrancken, T. Chiarella, S. Vrus, K. Maex and S. Biesemans. VLSI Tech. Dig. (2005), p. 72.
- [5] J. G. Yun, S. Y. Oh, Y. J. Kim, W. J. Lee, T. Wang, A. Tuya, H. H. Ji, I. S. Han, J. S. Wang, and H. D. Lee. IEEE EDSSC. (2005) p. 765.