

# Constrained Sintering 공정에 의한 K7.6/K65 이종접합 Embedded Capacitor의 제조 및 특성

조태현, 조현민, 김준철, 김동수, 강남기  
전자부품연구원 전자소재패키징연구센터

## Fabrication and Properties of Heterostructure (K7.6/K65) Embedded Capacitor by Constrained Sintering Process

Tae-Hyun Cho, Hyun-Min Cho, Jun-Chul Kim, Dong-Su Kim, Nam-Kee Kang

Electronic Materials & Packaging Research Center, Korea Electronics Technology Institute (KETI)

**Abstract :** 개인 휴대 통신 기기의 급속한 발달로 인해 부품의 소형화, 고집적화가 중요한 요소로 대두되고 있으며 이를 위해서는 모듈내부에 3차원적인 수동소자의 내장이 가능한 LTCC (Low Temperature Co-fired Ceramics) 공정이 각광받고 있다. Embedded Capacitor를 제조하기 위해 유전율이 7.6과 65인 LTCC 재료를 이종접합 하여 제조하였으며 이종재료의 수축거동 차이에 의한 camber가 발생하였다. 이를 해결하고 또한 고주파 부품용 정밀회로 패턴을 구현하기 위해 PLAS 방식의 Constrained Sintering 공정을 적용하여 camber 문제를 해결하였으며 capacitance 값이 두 이종재료의 유전율과 1:1로 비례하지 않았는데 이는 유전율 65 tape에 잔존하는 기공 때문으로 판단되며 미세구조로써 확인하였다.

**Key Words :** Constrained Sintering, PLAS, Heterostructure, Embedded Capacitor

### 1. 서론

무선통신, 개인 휴대 통신, 대용량 정보전송 등 전자산업의 비약적인 발전으로 정보통신 및 전자부품의 고기능화, 고집적화, 소형화가 절실하게 요구되고 있다. 이러한 부품개발에 있어 핵심적인 요소로 자리 잡은 것이 모듈기판 기술이며 고주파 소자의 모듈내부로의 내장을 통한 소형화 및 고집적화 기술개발의 필요성이 요구되고 있다. Inductor, Resister, Capacitor 등과 같은 수동소자 중 회로구성에 있어 가장 많은 비중을 차지하는 Capacitor를 LTCC (Low Temperature Co-fired Ceramics) 기술을 사용하여 모듈내부에 위치시키는 Embedded Capacitor에 대한 연구가 집중적으로 이루어지고 있으며 특정 유전율을 갖는 단일재료보다는 다기능화를 이룰 수 있는 저유전율과 고유전율을 갖는 재료를 이종접합 LTCC 기술을 사용하여 Embedded Capacitor에 적용하는 것이 좋다. 이는 신호전달속도와 유전율이 반비례관계에 있으므로 회로 및 부품의 빠른 신호전달을 위해 저유전율 재료가 필요하며 수동소자의 집적화를 통해 소형화를 이루기 위해서는 고유전율 재료가 필요하게 된다. 한편, 이러한 이종접합 LTCC 소성 시 발생하는 가장 큰 문제점은 이종재료의 수축거동 차이에 의한 모듈기판의 camber가 발생한다는 점이며 이러한 문제점을 해결한 것이 Constrained Sintering 공정이다.

Constrained Sintering 방식에는 소성 중에 압력을 가해 X-Y 수축을 억제하는 PAS (Pressure Assisted Sintering) 방식, Alumina tape 등을 수축억제 및 희생층으로 사용하는 PLAS (PressureLess Assisted Sintering) 방식, 그리고 LTCC tape 자체가 소성 중에 수축하지 않는 SCS (Self-Constrained Sintering) 방식이 있다.

본 논문에서는 저유전율, 고유전율 재료의 이종접합을 PLAS 방식의 Constrained Sintering을 적용하여 Embedded Capacitor를 제조하여 소성특성 및 Capacitance 값을 평가하였다.

### 2. 실험

본 논문에서 이종접합 재료로 각각 7.6과 65의 유전율을 갖는 상용 powder를 사용하여 유기물을 첨가하여 슬러리를 제조 한 후 tape casting 하여 sheet를 제조하였다. 제조된 sheet에 conductor를 형성하기 위해 pattern printing 한 후 stacking, lamination을 실시하였다. 여기서 capacitor 구현은 유전율 7.6 tape 사이에 65인 tape를 적층하여 구현하였으며 적층구조는 그림 1과 같다.

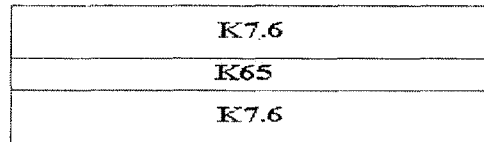


그림 1. 이종접합 적층구조

Constrained Sintering layer는 Alumina tape을 Top과 Bottom에 위치시켜 적층하여 소성시킨 PLAS 방식을 적용하였다. 소성 후 수축억제 및 희생층으로 사용된 Alumina tape을 제거하고 capacitance를 측정하였으며 미세구조를 확인하였다.

### 3. 결과 및 고찰

그림 2는 이종접합한 LTCC 모듈기판을 Free Sintering 한

것과 Constrained Sintering 공정을 적용한 샘플사진을 나타낸 것이다. 그림에서 알 수 있듯이 Free Sintering 한 샘플은 camber가 발생하였으며 이는 일반적으로 고유전율 재료는 수축시작온도가 저유전율 재료에 비해 높은 수축거동 특성 때문이며 이를 해결하기 위해 Constrained Sintering 공정을 적용한 샘플에서는 camber가 발생하지 않았다.

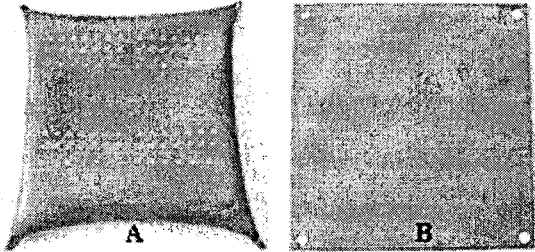


그림 2. 소성방식에 의한 모듈기판 사진  
(A : Free Sintering, B: Constrained sintering)

그림 3은 이중접합한 capacitor의 단면사진을 나타낸 것이며 그림 4는 유전율 7.6과 65인 이중재료의 면적에 따른 capacitance를 나타낸 것이다. 이중재료의 유전율은 수치 상 약 8.5배 차이가 나지만 그림 4에서 보면 7.6과 65의 capacitance 값이 8.5배 만큼의 1:1로 비례하지 않음을 알 수 있다. 이는 Constrained Sintering 공정이 X-Y 방향으로 수축을 억제하고 Z 방향으로만 수축을 하기 때문에 Free Sintering 공정보다 치밀화를 이루지 못해 내부에 기공이 잔존하기 때문으로 판단된다.

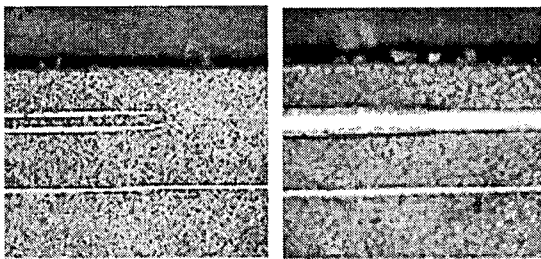


그림 3. 이중접합 Embedded Capacitor의 단면사진

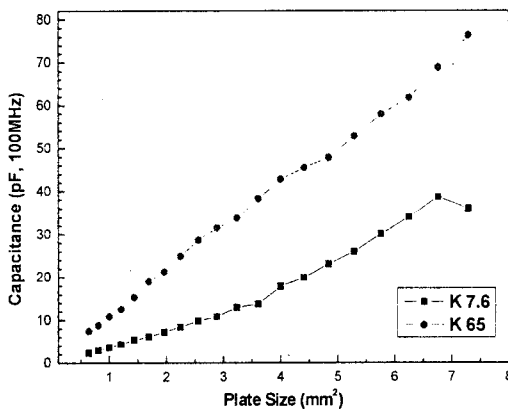


그림 4. 이중접합 Embedded Capacitor의 Capacitance

앞서 설명한 Capacitance 값이 1:1로 비례하지 않는 이유를 Constrained Sintering 공정에 의한 잔존하는 기공 때문이라 설명하였는데 그림 5에 나타낸 미세구조를 통해 완전한 치밀화를 이루지 못하였음을 알 수 있었다.

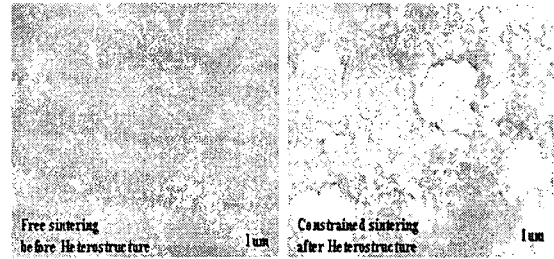


그림 5. K 65 tape의 미세구조

#### 4. 결론

본 논문에서는 유전율 7.6과 65를 갖는 이중재료를 소결방식에 따라 이중접합 Embedded Capacitor를 제조하였다. Free Sintering 시 이중재료의 수축거동의 차이에 의해 발생한 camber를 PLAS 방식의 Constrained Sintering을 적용하여 해결하였으며 capacitance 값이 유전율 수치 상 약 8.5배의 1:1 비율이 아닌 것은 Constrained Sintering 공정 특성 상 완전한 치밀화를 이루지 못했기 때문이라 판단되며 미세구조를 통해 확인하였다.

#### 참고 문헌

[1] H. M. Cho, "Warping of Co-fired High K/Low K LTCC Substrate", Journal of the Microelectronics & Packaging Society, Vol. 11, No. 3, 2004.