

## High Speed Sram Transistor Performance 향상에 관한 연구

남궁 현, 황덕성, 장형순, 박순병, 홍순혁, 김상중, 김석규, 김기준  
노용한\*

삼성 반도체 총괄 메모리 사업부, DRAM PA팀 / 성균관대학교 정보통신공학부\*

**Abstract :** For high performance transistor in the 0.14um generation, high speed sram is using a weak region of SCE(Short Channel Effect). It causes serious SCE problem (Vth Roll-Off and Punch-Through etc.). This paper shows improvement of Vth roll-off and Ion/Ioff characteristics through high concentration Pocket implant, LDD(Light Doped Drain) and low energy Implant to reduce S/D Extension resistance. We achieve stabilized Vth and improved transistor Ion/Ioff performance of 10%.

**Key Words :** SCE(Short Channel Effect), Pocket implant, LDD(Light Doped Drain), Ion/Ioff

### 1. 서 론

MOS Device가 Scale Down 됨에 따라 Vth Roll-Off, DIBL, Punchthrough등 Short Channel Effect 문제가 중요한 Issue 사항이 되어가고 있다.

특히, Thin Gate Oxide(20Å)와 CoSix로 이루어진 High Speed Sram에서는 Transistor Performance를 극대화 하기 위해 0.14um급 제품 Transistor를 SCE(Short Channel Effect)에 취약한 영역에 사용함에 따라 Vth Roll-Off 현상이 심각하게 나타나고 있어 본 연구에서는 Channel length 변화에 따라 Short Channel Effect 특성 중 하나인 Vth Roll-Off 현상 및 Ion/Ioff 특성을 개선하고자 하는데 그 목적이 있다.

본 연구에서는 140nm Tr의 Vth 안정성을 확보 하고 Current Gain을 얻기 위한 방법 중 하나인 S/D Extension 농도 강화 및 low energy Implant를 통해 S/D Extension 저항(Rs)와 Junction Depth(Xj) 감소시킴으로써 Current Gain 과 SCE특성 개선을 확보 하고자 한다.

아래 그림 1은 일반적인 Deep-Submicron MOSFET 구조이며 100nm급 Tr의 Vth 안정성 및 Current Gain을 확보하기 위해 가장 많이 사용하는 Pocket 과 LDD Implant를 최적화 할 것이다.

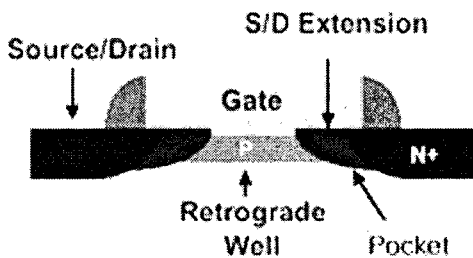


그림 1. Deep-Submicron MOSFET 구조

### 2. 실험

현재 사용하고 있는 Transistor는 Planar Type의 Gox 20

Å, Dual Poly gate, CoSix 공정을 사용하고 있으며 N,PMOS 모두 Surface Channel을 사용하는 Transistor이다.

SCE 현상을 확인할 수 있는 Vth Roll-off 특성을 보면 그림 2와 같이 Gate Length 140nm에서 Vth Roll-Off 현상이 시작됨을 알 수 있으며 Ion/Ioff 특성은 Off-current 2nA/um에서 약 580uA/um(NMOS), 265uA/um(PMOS) [at 8 5°C] 특성을 가지고 있다.

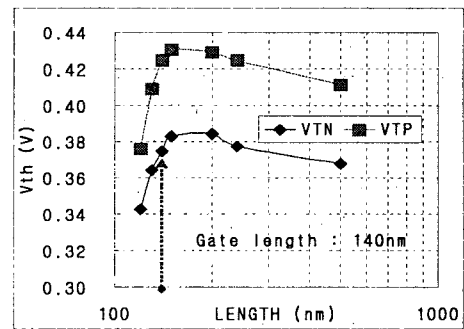


그림 2. Vth Roll-off of N/PMOS Devices

위에서 언급한 Vt Roll-off 현상을 개선하고자 표 1과 같이 Pocket Implant Dose를 상향하고 이에 따라 발생할 수 있는 Vth 상승을 감안하여 Vth adjust Implant Dose를 하향하였고, Current Gain을 얻기 위해 S/D Extension 농도 강화 및 low energy Implant사용하여 S/D Extension 저항을 감소 시켜 SCE특성을 개선하는 방향으로 실험을 진행 하였다.

표 1. NMOS, PMOS SPLIT 조건

SPLIT	A	B	C	D	REF	Tilt
LVTH-1	In, 130keV, 4.3E12	In, 140keV, 3.5E12	In, 140keV, 1.5E12	In, 140keV, 3.5E12	In, 140keV, 5.5E12	7°
LVTH-2	skip				B+, 20keV, 1.5E12	7°
N-Pocket	B+, 30keV, 3.0E12	B+, 30keV, 5.0E12x4		B+, 30keV, 3.0E12	B+, 30keV, 3.0E12	30°
NLDD	As, 5keV, 1.5E15				As, 10keV, 8E14	0°

SPLIT	A	B	REF'	Tilt
VTP	P+, 120keV, 1.0E12		P+, 120keV, 2.0E12	7°
P-Pocket	As, 105keV, 7.5E12x4	As, 100keV, 8.5E12x4	As, 120KeV, 6.5E12x4	35°
PLDD	BF2, 5keV, 8.0E14		BF2, 7KeV, 1E14	0°
P+S/D	B+, 3keV, 3.0E15x2		B+, 5KeV, 1.5E15x2	7°

### 3. 결과 및 검토

논문, 특히에 언급된 Pocket Implant로 SCE 개선 및 S/D Extension 농도 강화로 Tr특성 개선에 대한 보고가 많이 있지만 현 device에 적용 가능한지에 대한 평가를 실시하였다.

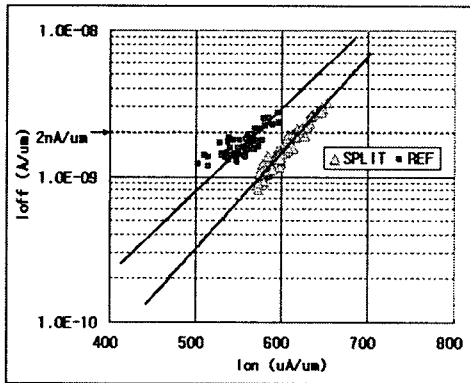


그림 3. Ion versus Ioff of NMOS Devices

실험 결과 NMOS C-Group, PMOS B-Group에서 Pocket Implant에 의해 표 2와 같이 Gate Length Under Size의  $\Delta V_{th}$ 에 대해 약 10mV 감소 효과를 얻을 수 있었으며, 그림 4에서와 같이 S/D 저항 감소에 따른 Id 증가와 SCE 개선에 따른 Off Current 감소로 그림 3과 같이 NMOS의 경우 Tr On/Off 특성이 약 10% 향상되는 결과를 얻을 수 있었다.

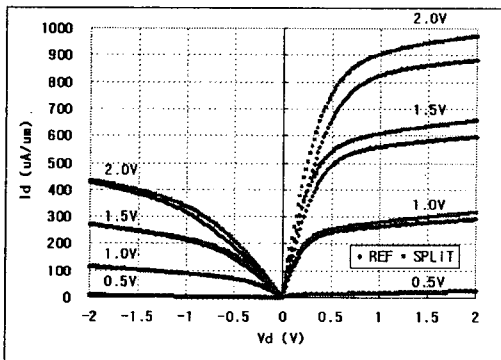


그림 4. I-V curves for N/PMOS Devices

표 2. NMOS C-Group, PMOS C-Group의  $\Delta V_{th}$

	0.14um	0.13um	$\Delta V_{th}$ (mV)
NMOS	0.372	0.358	14
	0.406	0.404	3
PMOS	0.423	0.414	10
	0.420	0.415	4

지금까지의 SPLIT결과 (nmos C-group, pmos B-group)를 Main Chip에 반영하여 확인한 결과 NMOS Performance 향상이 반영되어 표3과 그림 5와 같이 IDD는 약 25%, 산포는 약 23% 개선되었고, ISB는 9%, 산포는 23%의 개선 효과를 얻을 수 있었다.

표 3. Main Chip 적용 결과

	IDD		ISB	
	AVG.	3*STD.	AVG.	3*STD.
REF'	135	96	48	13
REF'-1	168	101	52	18
SPLIT	169	74	53	10
비교	25% (0%)	23% (27%)	9.4% (0%)	23% (38%)

(※ REF'-1은 SPLIT과 동일 Idd LEVEL SAMPLE)

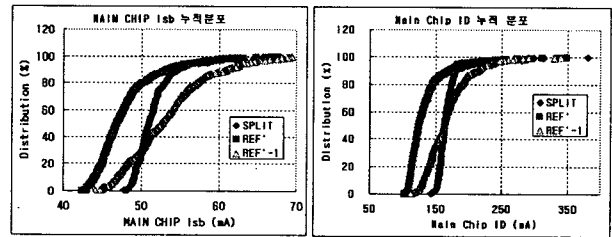


그림 5. Main Chip IDD and ISB Distribution 비교

NMOS와 같이 PMOS에서도 Performance 향상을 기대하였으나 Reference대비 아주 미약한 S/D 저항 개선을 보여 Shallow Junction 형성이 생각보다 미약한 것으로 보여 PLDD Implant의 BF2후 Spike RTA 및 Low Thermal 공정으로의 접근이 요구되어 진다.

### 4. 결론

SCE(Short channel effect)특성 중 하나인  $V_{th}$  Roll-Off 특성 및 Transistor Performance 개선을 위하여 Pocket Implant 및 Low Energy Implant를 사용하여 LDD(Light Doped Drain) 농도를 강화한 결과 140nm Tr 영역의  $V_{th}$  안정성을 확보함과 동시에 S/D 저항 감소에 따른 Id 증가와 SCE 개선에 따른 Off Current 감소로 NMOS의 경우 Tr On/Off 특성이 약 10% 향상되는 결과를 얻을 수 있었다.

또한, Main Chip 상에서 Speed 특성과 연관된 On Current 특성이 약 25%, Isb 약 9.4% 증가하여 Tr On/Off 특성 향상이 Main Chip에 반영됨과 동시에 각 특성의 산포도 개선 됨을 확인할 수 있었다.

### 참고 문헌

- [1] M. Rodder et al., IEDM 1995, p. 111
- [2] H. Noda et al., IEDM 1993, p. 123-126
- [3] P. S. Chang et al., IEDM 1992, p. 905-908
- [4] T. Hori et al., IEDM 1994, p. 75