

## APCVD법으로 증착된 Al/TiO<sub>2</sub>/Si MIS 특성

이광수, 장경수, 김경해, 정성욱, 이준신  
성균관대학교

### Characterization of Al/TiO<sub>2</sub>/Si MIS by APCVD

Kwangsoo Lee, Kyungsoo Jang, Kyunghae Kim, Sungwook Jung, Junsin Yi  
Sungkyunkwan Univ.

**Abstract :** 나노급 CMOS 기술에서 high-k 물질을 이용하여 게이트 유전막을 형성하고자 하는 연구가 활발히 진행 되고 있다. 본 논문에서는 high-k 물질인 TiO<sub>2</sub>의 특성에 대한 연구를 수행하였다. TiO<sub>2</sub>를 APCVD법으로 p-type 실리콘 기판에 50 Å~300 Å 두께로 증착하였고, evaporator를 이용하여 TiO<sub>2</sub> 박막위에 Al을 증착하여 MIS소자를 제작하였다. 두께를 가변 하여 Capacitance-Voltage (C-V) 특성을 측정, 분석하였다.

**Key Words :** APCVD(Atmospheric Pressure Chemical Vapor Deposition), TiO<sub>2</sub>(Titanium dioxide), MIS(Metal Insulator Semiconductor), high-k

### 1. 서론

수십년간 SiO<sub>2</sub>를 게이트 유전막으로 사용한 CMOS기술은 SiO<sub>2</sub>의 우수한 특성으로 인해 발전을 거듭해왔다. SiO<sub>2</sub>는 열역학적 안정성, Si와의 우수한 계면특성, 전기적 절연 능력 등을 지니고 있어 게이트 유전체로서의 독보적인 위치를 차지해 왔다. 하지만 나노급 CMOS 기술에서 SiO<sub>2</sub>의 두께가 매우 얇아지면서 야기되는 직접 터널링(direct tunneling)에 의한 누설전류 및 신뢰성 문제가 발생하였다. 이를 극복하기 위해 고유전율을 가지는 물질을 이용한 대체 게이트 산화막에 대한 연구가 활발히 진행되고 있다. 대체물질로서 Ta<sub>2</sub>O<sub>5</sub>(k=25), Al<sub>2</sub>O<sub>3</sub>(k=9), TiO<sub>2</sub>(k=40~170), ZrO<sub>2</sub>(20~25), HfO<sub>2</sub>(24~40), Pr<sub>2</sub>O<sub>3</sub>(k=31) 등이 주목을 받고 있다.[1]

이 중 TiO<sub>2</sub>는 k=40~170으로 다른 물질에 비해 매우 높은 유전상수 값을 갖는다. 이렇게 높은 유전율은 Ti 이온에 관련된 soft phonon의 기여에 의한 것인데 다른 IVB족 금속 산화물에서는 이런 특성이 보이지 않는다.[2]

본 연구에서는 APCVD chamber 내에서 각각의 실험 조건은 고정시키고 Tetra-isopropyl titanate[(OC<sub>3</sub>H<sub>7</sub>)<sub>4</sub>Ti]와 O<sub>2</sub>의 반응시간을 가변 하여 생성된 TiO<sub>2</sub> 박막의 두께, 굴절률, SEM(Scanning Electron Microscope), C-V 특성을 측정, 분석하였다.

### 2. 실험

본 실험에서 직경 4 inch, 저항률 1~10 ohm·cm, p-type (100) 실리콘 웨이퍼를 사용하였고, RCA 방법으로 세정한 후 APCVD장비의 chamber에 장착하였다. 그림 1은 TiO<sub>2</sub> 증착실험 시 사용된 APCVD장비 구조이다. Tetra-isopropyl titanate[(OC<sub>3</sub>H<sub>7</sub>)<sub>4</sub>Ti]와 O<sub>2</sub> 5lpm을 이용하여 TiO<sub>2</sub> 박막을 생성하였고, N<sub>2</sub> 5lpm을 각각 carrier gas와 bubbler gas로 사용하였다. Chamber 내부의 기판 온도를 350℃로 고정하여

실험을 진행하였고, Tetra-isopropyl titanate[(OC<sub>3</sub>H<sub>7</sub>)<sub>4</sub>Ti]은 60℃로 가열하였다. 증착 시간은 4에서 14분 동안 진행하였고, 증착의 균일성을 위하여 5rpm의 속도로 chamber 내부를 회전하였다. TiO<sub>2</sub> 증착 실험이 끝난 후 각 시료의 두께와 굴절률은 ellipsometer로 측정하였고 SEM(Scanning Electron Microscope)으로 표면을 분석하였다. Evaporator를 사용해 TiO<sub>2</sub> 박막 위에 Al을 3000Å 증착하였으며 제작된 MIS 소자의 Capacitance-Voltage (C-V) 측정은 Impedance analyzer와 MDC system을 사용하였다.

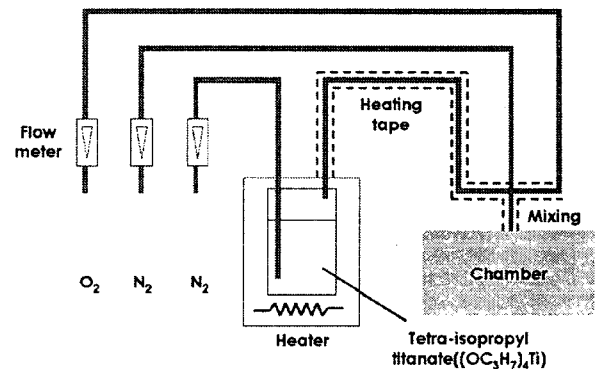


그림 1. TiO<sub>2</sub> 증착 시 사용된 APCVD장비 구조

### 3. 결과 및 검토

그림 2는 APCVD장비로 TiO<sub>2</sub>를 증착했을 때 공정시간에 따른 박막두께와 굴절률을 나타낸다. 그림에서 나타난 결과와 같이 Tetra-isopropyl titanate[(OC<sub>3</sub>H<sub>7</sub>)<sub>4</sub>Ti]에 N<sub>2</sub>가 유입되어 생성된 가스와 O<sub>2</sub>의 화학적인 반응으로 Si 웨이퍼 표면에 생성된 TiO<sub>2</sub> 박막의 증착두께와 굴절률을 알 수 있었다.

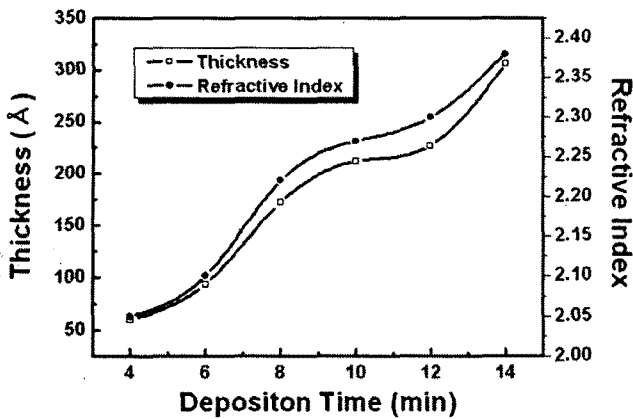


그림 2. 증착시간에 따른 TiO<sub>2</sub> 박막두께와 굴절률

그림 3은 350℃에서 증착된 TiO<sub>2</sub> 박막을 SEM 측정함으로써 결정립 경계(grain boundary)를 가지는 다결정 박막 구조를 보여준다

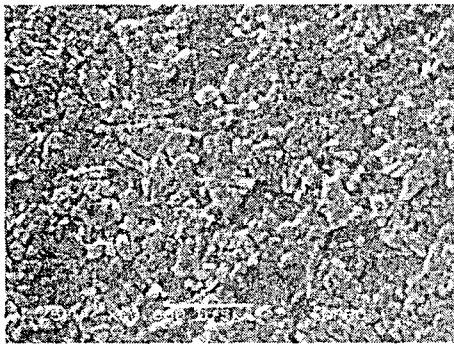


그림 3. 350℃에서 증착된 TiO<sub>2</sub> 박막 SEM 사진

그림 4는 TiO<sub>2</sub> 박막 위에 Al을 3000Å 증착하여 제작되어진 Al/TiO<sub>2</sub>/Si MIS의 C-V 특성을 측정한 결과이다. 증착 시간이 짧을수록 그래프의 기울기가 완만함을 볼 수 있는데, 이는 형성된 막의 두께가 얇을수록 전류의 누설이 많아져서 발생하는 현상으로 보여진다. TiO<sub>2</sub> 박막의 결정립 경계(grain boundary)와 Ti-O 결합을 포함한 물질에서 잘 알려진 문제인 많은 산소 공핍을 가지고 있는 reduced oxide 층이 누설전류의 통로가 되어진 것으로 생각된다.[2][3]

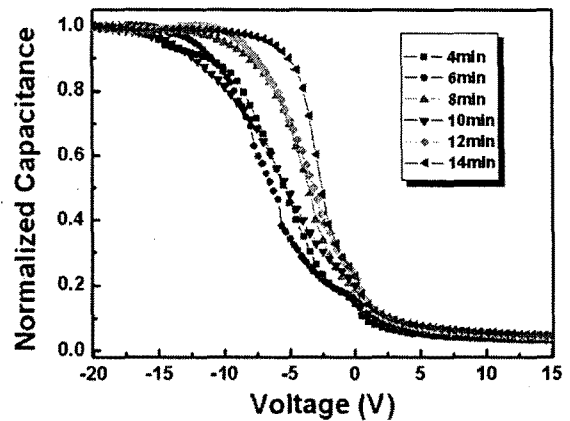


그림 4. 공정시간에 따른 Al/TiO<sub>2</sub>/Si MIS의 C-V 특성

#### 4. 결론

본 논문에서는 350℃에서 APCVD법을 이용해 Si에 증착된 TiO<sub>2</sub> 박막의 공정시간에 따른 두께와 굴절률에 대해 조사하였고, SEM 사진을 통해 박막의 표면을 분석하였다. TiO<sub>2</sub>를 절연막으로 MIS를 제작하여 C-V를 측정한 결과 C-V 측정 그래프의 기울기가 완만함을 볼 수 있었다. TiO<sub>2</sub> 박막의 결정립 경계(grain boundary) 및 reduced oxide 층이 누설전류의 통로가 되었기 때문으로 생각되고, Si과 TiO<sub>2</sub> 층의 중간에 얇은 절연막을 생성시키거나 열처리를 통해 보완하면 양질의 게이트 유전막으로 응용될 수 있을 것으로 생각된다.

#### 감사의 글

본 연구는 21세기 프론티어 (차세대 정보디스플레이 기술개발) 사업 (과제번호 : ASD - 1)의 연구비 지원에 의한 것입니다.

#### 참고 문헌

- [1] 손영훈, 장의구, 이철인, "High-k 게이트 유전재료의 기술 동향", 전기전자재료학회지, 16권, 3호, p.5, 2003.
- [2] 이현우, "High-k Gate Dielectrics : 고유전율 게이트 유전체 개발 동향", 전기전자재료학회지, 14권, 12호, p.30, 2001.
- [3] Lit-Ho Chong, Kanad Mallik, C.H. de Groot, "The vertical metal insulator semiconductor tunnel transistor: A proposed Fowler-Nordheim tunneling device", Microelectronic Engineering, 81 (2005) 171-180