

Ru CMP Slurry의 개발 및 특성평가

김인권, 권태영, 박진구*, 박형순*
 한양대학교, *하이닉스 반도체

Development and Characterization of Ru CMP Slurry

In-kwon Kim, Tae-young Kwon, Jin-goo Park* and Hyung-soon Park*
 Hanyang Univ. *Hynix Semiconductor Inc.

Abstract : In MIM (metal insulator metal) capacitor, Ru (ruthenium) has been suggested as new bottom electrode due to its excellent electrical performance, a low leakage of current and compatibility to the high dielectric constant materials. In this case of Ru bottom electrode, CMP (chemical mechanical planarization) process was needed in order to planarize and isolate the bottom electrode. In this study, the effect of chemical A on polishing and etching behavior was investigated as functions of chemical A concentration, abrasive particle and pressure. Chemical A was used as oxidant and etchant. The thickness of passivation layer on the treated Ru surface increased with the increase of chemical A concentration. The etch rate and removal rate of Ru were increased by the addition of chemical A. The removal rate was highest in slurry of pH 9 with the addition of 0.1 M chemical A and 2 wt% alumina at 4 psi. The maximum removal rate is about 80 nm/min.

Key Words : Ruthenium, Chemical Mechanical Planarization, Slurry

1. 서론

메모리 반도체 분야의 기존 DRAM (dynamic random access memory)에서는 poly-Si를 하부전극으로 사용한 MIS (metal-insulator-semiconductor) 구조의 캐퍼시터가 사용되어 왔다. 하지만 기존의 poly-Si 하부전극은 고유전막과의 안정성 및 전기적 특성을 만족시키기 어렵다. 이러한 이유 때문에 MIM (metal-insulator-metal) 구조의 캐퍼시터가 연구되고 있다[1-2]. 이러한 MIM 공정은 기존의 MIS 공정을 통한 캐퍼시터에 비해 그 크기를 축소시킬 수 있으며, 금속 하부전극을 사용하였을 경우 고유전막 재료가 적용되었을 때 높은 캐퍼시턴스값을 만족시킬 수 있다[3-4]. 이러한 금속 하부전극으로 Ru이 사용될 경우, 우수한 전기적 특성을 가지며 누설전류가 낮다. 그리고 고유전막과의 안정성이 우수하다[5]. 하지만, Ru를 하부전극으로 사용할 경우 CMP (chemical mechanical planarization)를 통해 상부층의 평탄화와 함께 각각의 캐퍼시터들을 분리시켜줘야 한다[6]. 그러나 기존의 습식 식각 용액으로는 Ru를 제거하기 어렵다. 따라서 Ru CMP를 위한 slurry의 개발이 매우 중요하다.

본 연구에서는 새로운 화학액(chemical A)을 이용하여 chemical과 연마입자의 농도별 그리고 압력변화에 대한 Ru의 연마율을 각각 측정해보았다.

2. 실험

ALD를 이용하여 Ru (~150 nm thickness)이 증착된 Ru wafer를 2.0 × 2.0 cm² 로 절단하여 실험을 실시하였다. Chemical A의 농도에 따라 1분간 처리한 후 Ru 박막의 식각속도, 접촉각 그리고 부동태막의 생성두께를 측정해보았다. Ru wafer의 식각율과 연마율은 처리 전과 후의 면적

항값을 4 point probe(CRT-RS100, Changmin Tech.)로 측정 한 후, 두께로 계산하였다. 접촉각과 부동태막 두께는 SCA (G-10, Krüss)와 ellipsometer (VASE, J.A. Woollam Co.)로 각각 측정하였다.

슬러리 제작을 위하여 식각액과 연마제로 각각 chemical A와 알루미나 (Degussa, 99.99%, 13 nm) 입자를 사용하였고 NH₄OH를 이용하여 pH 9를 유지하였다. CMP 공정은 PM5 (Logitech)를 이용하여 실시하였다. Wafer와 Ru의 부착력이 매우 낮아 연마율은 30초간 CMP한 후 두 배의 값을 취하여 계산하였다.

3. 결과 및 검토

그림 1은 chemical A의 농도에 따른 식각율을 보여준다. 농도가 증가함에 따라 식각율도 증가하는 것을 알 수 있다. Chemical A가 Ru막을 효과적으로 식각시킨다는 것을 알 수 있다. 그림 2는 chemical A 농도에 따라 Ru wafer를 1분동안 처리한 후 Ru 표면의 접촉각을 보여준다. 농도가 증가함에 따라 접촉각은 감소하였다. 이것은 chemical A에 처리 후 Ru 표면에 부동태막이 형성되었음을 예상할 수 있다.

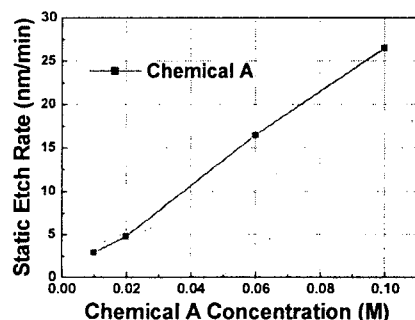


그림 1. Chemical A의 농도에 따른 식각율

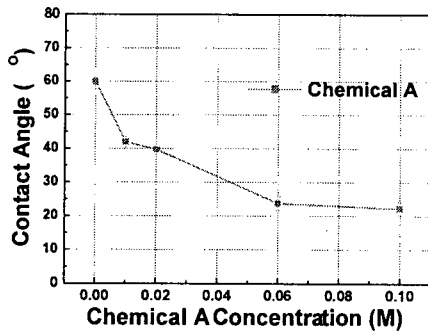


그림 2. Chemical A의 농도에 따른 접촉각 변화

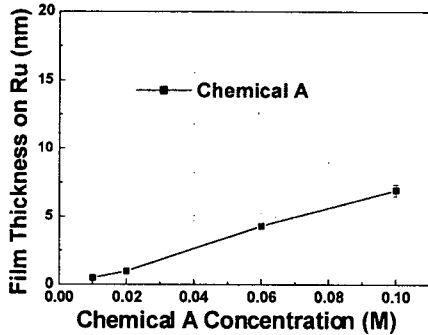


그림 3. Chemical 농도에 따른 Ru 표면의 부동태막 두께

그림 3은 chemical A의 농도에 따라 Ru wafer를 처리한 후 Ru 표면의 부동태막의 두께를 보여준다. Chemical A의 농도가 증가함에 따라 Ru 표면의 부동태막의 두께가 증가하는 것을 볼 수 있다. 이러한 결과들을 통해 chemical A는 Ru에 대해 식각뿐만 아니라 얇은 부동태막도 형성시킴으로써 CMP 공정 중 효과적으로 Ru를 제거할 수 있을 거라 예상할 수 있다.

그림 4는 제작된 슬러리를 이용하여 공정압력에 따른 Ru wafer의 연마율을 보여준다. 공정압력이 증가함에 따라 연마율이 증가하지만 4 psi 이상에서는 더 이상의 증가가 없다. 이것은 슬러리의 조성이 일정할 경우 일정한 chemical A에 의해 생성되는 부동태막의 생성속도는 압력 증가에 의해 강화된 기계적 제거속도보다 상대적으로 낮아져 연마율은 크게 증가하지 않았다고 예상되어진다.

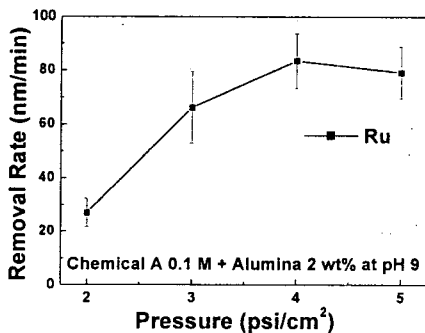


그림 4. 공정압력에 따른 Ru wafer의 연마율

4. 결론

본 연구에서는 새로운 chemical A를 이용하여 Ru에 대한 식각률과 Ru 표면의 특성을 평가해보았다. Chemical A의 농도가 증가함에 따라 Ru의 식각률은 증가하였으며 Ru 표면의 접촉각은 약 20°까지 감소하였다. 또한, 얇은 부동태막이 생성되었다. 이를 통해 chemical A는 Ru를 식각시킴은 물론 소량 산화시킴을 알 수 있었다. Chemical 0.1 M, alumina 2 wt%를 혼합하여 pH 9로 제작하여 공정압력에 따른 연마율을 측정해보았다. 압력이 증가함에 따라 기계적인 제거능력은 증가하지만 부동태막의 생성속도는 상대적으로 낮아져 4 psi 이상에서는 더 이상 연마율은 증가하지 않았다. 4 psi에서 약 85 nm/min의 연마율을 얻을 수 있었다.

감사의 글

본 연구는 하이닉스 반도체의 연구비 지원과 Post BK 21 사업 그리고 교육부, 인적자원개발부, 산업자원부, 노동부의 재정적 지원으로 수행한 최우수 연구실 육성 과제의 연구비로 수행 되었으며, 이에 관계자 여러분께 감사드립니다.

참고 문헌

- [1] Ch. Wenger, R. Sorge, T. Schroeder, A.U. Mane, G. Lippert, G. Lupina, J. Dabrowski, P. Zaumseil and H.-J. Muessig, *Microelectronic Eng.*, Vol. 80, pp. 313-316, 2005
- [2] Y. Matsui, M. Hiratani, S. Kimura, I. Asano, *J. Electrochem. Soc.*, Vol 152, pp. F54-F59, 2005
- [3] K. Kishiro, N. Inoue, S.-C. Chen and M. Yoshimaru, *Jpn. J. Appl. Phys.*, Vol. 37, No.3B, pp. 1336, 1998
- [4] M. Hiratani, T. Hamada, S. Iijima, Y. Ohji, I. Asano, N. Nakanish and S. Kimura, *Symp. on VLSI Tech. Dig.*, pp. 41-42, 2001
- [5] S. Y. Kang, K. H. Choi, S. K. Lee, C. S. Hwang and H. J. Kim, *J. Electrochem.Soc.* Vol. 147(3), pp. 1161-1167, 2000
- [6] W. J. Lee and H. S. Park, *Appl. Surf. Sci.*, Vol. 228, pp. 410, 2004