

## 고상 확산법을 이용한 SOI MOSFET 제작 기술

이우현, 구현모, 김관수, 기은주, 조원주, 구상모, 정홍배  
광운대학교 전자재료공학과

### SOI MOSFET device fabricated by Solid Phase Diffusion

Woo-Hyun Lee, Hyun-Mo Koo, Kwan-su Kim, Eun-Ju Ki, Won-Ju Cho, Sang-Mo Koo, Hongbay Chung  
Department of Electronic materials engineering, Kwangwoon University, Seoul, Korea.

**Abstract :** 고상 확산 방법을 이용하여 얇은 소스/드레인 접합을 가지는 SOI (Silicon-On-Insulator) MOSFET 소자를 제작하였다. 확산원으로는 PSG(Phosphorus silicate glass) 박막과 PBF(Poly Boron Film) 박막이 각각 n, p-type 소자 형성을 위해 사용되었다. 얇은 접합 형성을 위하여 급속 열처리 방법(RTA: Rapid Thermal Annealing)을 이용하여 PSG와 PBF로부터 인과 봉소를 SOI MOSFET 소자의 소스/드레인으로 확산시켰다. 또한, 소자 특성 개선을 위한 후속 열처리 공정으로 희석된 수소 분위기 중에서 FA(Furnace Annealing)를 실시하였다. SPD 기술을 적용하여 10 nm 이하의 매우 얇은 p-n 접합을 형성할 수 있었고, 양호한 다이오드 특성을 얻을 수 있었다. 또한, SPD 방법으로 결함이 없는 접합 형성이 가능하며, 소자 제작 공정의 최적화를 통해 차세대 CMOS 소자로 기대되는 SOI MOSFET를 성공적으로 제작할 수 있었다.

**Key Words :** SOI MOSFET, Solid phase diffusion, Poly boron film, Phosphorus silicate glass

### 1. 서 론

반도체 소자가 나노미터 크기로 줄어들면서 MOS 트랜지스터 소자의 미세화에 따른 소자 제작공정 및 동작특성의 문제점이 대두되고 있으며, 특히 단채널 효과를 줄이기 위한 연구가 다각도로 진행되고 있다. SOI 기판을 이용한 MOS 트랜지스터 소자는 미세화에 따른 단채널 효과 억제에 매우 유효한 방법으로서, 다중게이트 구조의 신개념 소자가 제안되고 있다. 초미세 트랜지스터를 제작하기 위해서는 얇은 소스/드레인 접합 형성이 필수적이며, 본 연구에서는 얇은 접합 형성을 위한 고상확산방법과 급속 열처리 공정이 SOI MOS 소자의 동작특성에 미치는 영향을 평가하였다. 고상확산은 간단한 방법에 의하여 불순물을 얇은 깊이로 확산시킬 수 있으며 결함의 발생을 억제할 수 있는 장점을 가진다. RTA를 이용한 인과 봉소의 고상 확산방법으로 인하여 SOI MOS 트랜지스터의 동작특성이 열화되는 것을 관찰하였으며, 희석된 수소(3%) 가스를 이용한 후속 열처리(PRA: post-RTA)에 의한 계면준위 변화를 평가하였다.

### 2. 실 험

SOI MOSFET 소자의 제작 공정은 그림 1과 같다. SOI MOSFET 제작은 100 nm의 상부 실리콘과 200 nm의 매몰 산화막 층으로 형성된 p-type SOI (SOITEC) 웨이퍼를 이용하였다. 열산화 방법에 의해 5 nm의 게이트 산화막을 형성한 후, 게이트 전극으로 인이 도핑된 100 nm 두께의 Poly-Si를 LPCVD(Low Pressure Chemical Vapor Deposition)에 의하여 증착하였다. RIE를 이용하여 게이트 전극 패턴을 형성하였고, 액체 상태의 PBF 및 PSG SPD 도핑소스를 스픈 코팅하였다. 액체상태의 도핑소스는 baking과 O<sub>2</sub> 분

위기에서의 burning 공정을 통해 고체 상태의 P<sub>2</sub>O<sub>5</sub> 또는 B<sub>2</sub>O<sub>3</sub> 박막으로 변화되었다. RTA는 P<sub>2</sub>O<sub>5</sub> 또는 B<sub>2</sub>O<sub>3</sub>층에서 실리콘으로 얇은 깊이로 불순물을 확산시키기 위하여 사용되었다. 마지막으로 소자의 특성 개선을 위하여 500°C에서 30분 동안 3% 수소 분위기에서 Furnace를 이용하여 열처리(PRA)를 실시하였다.

- Starting substrate (SOITEC SOI)
- Initial cleaning
- Active region pattern
- Thermal gate oxide growth at 880 °C, 5 nm
- Gate poly-Si deposition by LPCVD at 650 °C, 100 nm
- Gate patterning (RIE)
- Dopant source coating
- Dopant source baking
- Dopant source diffusion by RTA at 950 °C, 30 s in N<sub>2</sub> ambient
- Forming gas anneal at 500 °C, 30 m in H<sub>2</sub>/N<sub>2</sub> ambient

그림 1. SPD 방법을 이용한 SOI MOSFET의 제작 공정

### 3. 결과 및 고찰

그림 2와 3은 인과 봉소 원자에 대한 SIMS(Secondary Ion Mass Spectrometer)와 면저항(Rs)으로, RTA 온도의 증가와 함께 불순물 원자의 확산 깊이가 증가하고 면저항은 감소하는 것을 확인할 수 있었다.

#### 4. 결 론

본 연구에서는 SPD 방법을 이용하여 SOI MOSFET에 적용하기 위한 새로운 얇은 접합 형성 기술에 대하여 개발하였다. SPD 방법은 간단한 방법에 의하여 불순물을 얕은 깊이로 확산시킬 수 있으며 결함의 발생을 억제할 수 있는 장점을 가지므로 공정 비용을 절감시킬 수 있으며, 기존의 이온 주입 방법보다 유리하다. RTA에 의한 불순을 확산 시 산화막/실리콘 계면에 계면준위에 의한 트랩이 발생하였지만, 후속 열처리 공정에 의해 계면준위를 크게 줄여서 subthreshold swing 및 포화전류가 크게 개선됨을 확인하였다. 따라서, 본 연구에서 개발한 SPD 공정은 초미세 SOI MOSFET 제작을 위한 차세대 도핑 기술로 응용될 수 있다고 판단된다.

#### 참고 문헌

- [1] Won-ju Cho et al., J. Korean Phys. Soc. 43, 897 (2003).
- [2] Won-ju Cho et al., J. Korean Phys. Soc. 43, 892 (2003).
- [3] Jong-Heon Yang et al., J. Korean Phys. Soc. 44, 892 (2004).

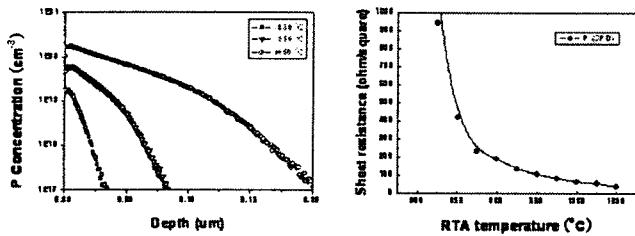


그림 2. RTA 온도에 따른 인의 SIMS 결과와 면저항.

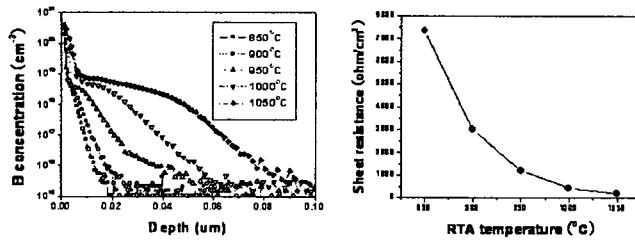


그림 3. RTA 온도에 따른 봉소의 SIMS 결과와 면저항.

그림 4는 950°C의 온도에서 RTA를 이용하여 SPD 방법으로 제작한 SOI MOSFET의 문턱 특성( $I_{ds}-V_g$ )과 드레인 전류( $I_{ds}-V_{ds}$ )를 보여주고 있다. 그림에서 볼 수 있듯이 n, p-type 모두 후속 열처리(PRA) 공정으로 크게 개선된 소자 특성을 보였다. 이것은 불순을 확산을 위한 RTA 공정에서 발생한 트랩 밀도가 후속 열처리에 의하여 감소하였기 때문이며, 그 결과 subthreshold swing 및 구동 전류가 개선되었다.

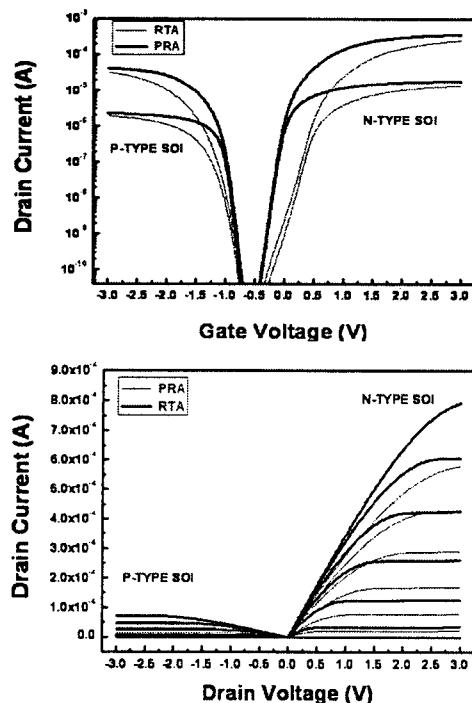


그림 4. SPD 방법에 의해 제조된 SOI MOSFET의  $I_{ds}-V_g$ 와  $I_{ds}-V_{ds}$  특성.