

Improving the Thermal Stability of Ni-Silicide Using Ni-V On Boron Cluster Implanted Source/drain for Nano-Scale CMOSFETs

이세광, 이원재, 장영영, 종준, 정순연, 이가원, 왕진석, 이희덕
충남대학교 공과대학 전자공학과

Improving the Thermal Stability of Ni-Silicide Using Ni-V On Boron Cluster Implanted Source/drain for Nano-Scale CMOSFETs

Shi-Guang Li, Won-Jae Lee, Ying-Ying Zhang, Zhong-Zhun, Soon-Yen Jung,
Ga-Won Lee, Jin-Suk Wang and Hi-Deok Lee

Dept. of Electronics Engineering, Chungnam National University, Yuseong-Gu, Daejeon 350-764, Korea

Abstract : 본 논문에서는 nano-scale CMOSFET을 위해 Boron Cluster ($B_{18}H_{22}$)가 이온주입된 SOI 와 Bulk 기판을 이용하였으며 실리사이드의 열 안정성 개선을 위해 Ni-V을 증착한 것과 순수 Ni을 증착한 것을 비교 분석 하였다. 결과 SOI위에 Ni-V을 증착한 것이 제일 낮은 면 저항을 보여주었고 반대로 Bulk위에는 제일 높은 면 저항을 보여주었다. 단면을 측정하고 결과 SOI위에 Ni-V을 증착한 동일 조건의 Ni보다 Silicide의 두께가 두껍게 형성된 것을 확인하였다.

Key Words : SOI, Bulk, Boron Cluster ($B_{18}H_{22}$), implanted, Silicide, nano-scale CMOSFETs

1. 서론

반도체 소자의 집적기술은 지속적으로 발전하여 최근에는 게이트 길이가 나노크기를 갖는 소자로 발전하였다. 그러나 게이트 선포가 작아지면서 소스-드레인 간의 간격이 가까워져 SCE(Short Channel Effect)가 증가하게 되었다 [1]. 이를 억제하기 위해서는 접합깊이를 최대한 낮추어야 하고 이러한 Shallow junction이 급격한 형태로 형성됨에 따라 누설전류가 급격히 증가하므로 off-state Power 소모가 증가하게 되고, 너무 얇게 되면 Gate poly 및 Source/Drain의 면 저항이 증가하여 소자의 속도를 떨어뜨리게 된다. 이를 방지하기 위한 Silicide 물질로는 현재 CoSi₂가 가장 널리 사용되고 있지만, Co-Silicide는 Si 소모율이 커서 Nano-scale CMOS를 위한 ultra shallow junction에는 적합하지 못하다. P-type에는 주로 boron 를 이온주입하여 제조하였는데 Shallow junction을 형성시키기가 어렵다는 단점이 있다 [2]-[3]. 최근에 들어서서 (boron cluster ion implantation) $B_{18}H_{22}$ 기판을 이용하는데 ultra shallow junction에 적합한 소스/드레인 제조와 앞으로 Nano-scale PMOSFETs 개발에 꼭 필요한 기술이라 할 수 있다 [4]. 본 논문에서는 Boron Cluster ($B_{18}H_{22}$) implanted된 SOI 와 Bulk 기판 위에서 실리사이드의 열 안정성 개선을 위하여 Ni-V과 순수 Ni을 증착한 것에 대하여 비교 분석을 진행하였다.

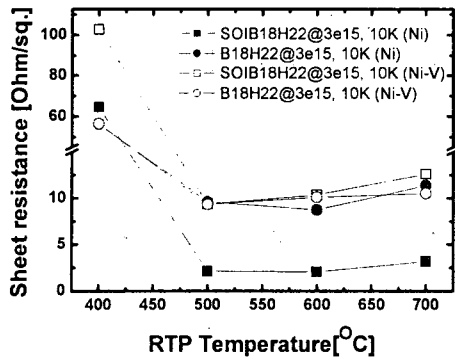
2. 실험

본 실험을 위하여 Bulk와 Si-film 두께 50 nm 를 갖는 SOI에 $B_{18}H_{22}$ (10Kev, $3e^{15}/cm^2$)을 주입한 기판을 사용하였으며 금속을 증착하기 전에 1% HF 희석용액에서 30초간 자연 산화막을 식각하였다. Ion beam sputter를 이용해 순수 Ni 과 Ni-V(5%)를 각각 (10nm) 증착 하였고, 증착

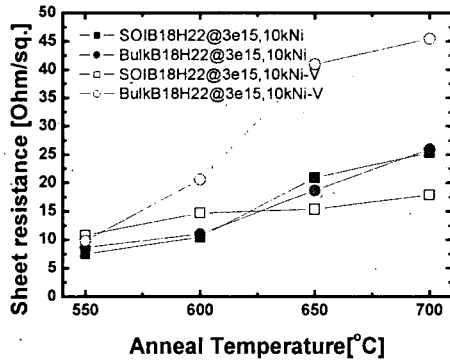
전에 충분한 pre-sputter로 오염을 방지하였다. 증착하는 동안 wafer holder 를 회전시켜 증착의 균일도를 높였으며, Ni-Silicide형성을 위해 급속 열처리를 기본 진공도 3×10^{-2} Torr에서 30초간 실시하였으며, Silicide 형성 후 반응하지 않은 금속은 $H_2SO_4 : H_2O_2$ (4:1) 용액에서 선택적으로 식각 하였다. 열 안정성 분석 실험을 위하여 고순도 질소 (N_2 , 99.99 %) 분위기에서 고온 열처리 (Furnace Anneal)를 600~700 °C 에서 30 분간 하였으며, FPP (Four-Point Probe)를 이용하여 증착된 금속의 두께 및 급속 열처리 온도에 따른 Silicide의 면저항을 측정하였다. Silicide의 단면특성과 두께 확인을 위해 FE-SEM (Field Emission Scanning Electron Microscopy, 한국 기초 과학 지원 연구원 전주 분소, 모델명 S-4700) 을 사용하였다.

3. 결과 및 검토

그림 1은 Boron Cluster ($B_{18}H_{22}$)가 이온주입된 SOI와 Bulk 기판위에 순수 Ni와 Ni-V(5%)를 각각 10nm 증착한 후 급속 열처리를 통하여 형성된 실리사이드의 면저항과 실리사이드 형성 후 고온 열처리 후의 면 저항 특성을 보여준다. 그림 1 (a) 의 경우 급속열처리 후 형성된 Silicide의 면저항을 측정하고 결과 모두 500°C에서 가장 안정된 면 저항 값을 나타내고 있으며 SOI에서 Ni을 증착한 경우에서 가장 낮은 면저항 특성을 보였다. 500 °C에서 실리사이드를 형성한 후 열안정성 평가 및 분석을 위해 550, 600, 650, 700 °C에서 30 분간 고온열처리를 하였다. 고온 열처리 후 Bulk위에 Ni-V을 증착한 것은 면저항이 급격히 증가하였고 SOI위에 Ni-V을 증착한 것이 제일 좋은 면 저항을 보여주었으며 Ni을 증착한 SOI와 Bulk는 비슷한 면 저항을 보여주었다. 전체 적으로 온도에 증가에 따른 면 저항의 증가를 보여 주었다.



(a) RTP



(b) Anneal

그림 1. 후속공정 열처리 전, 후의 면 저항 특성

그림 2 는 고온 열처리 전 후의 Ni-Silicide의 FE-SEM 단면 특성이다. 급속 열처리 500℃, 30 초에서 실리사이드를 형성 한 후 단면 특성을 확인 하였다. 전체 적으로 얇고 안정한 실리사이드가 형성 되었음을 확인 할 수 있다.

그림 3 을 보면 Anneal 650 ℃, 30분간 고온 열처리 후 순수 Ni를 증착한 SOI와 Bulk에서는 Agglomeration 현상이 나타난 것을 확인 하였고 Ni-V(5%)를 증착한 SOI에서는 열화 및 단절현상이 일어나지 않았지만 실리사이드 두께가 두껍게 증가된 것을 확인 하였으며 Bulk에서는 Agglomeration 현상이 나타난 것을 확인 하였다.

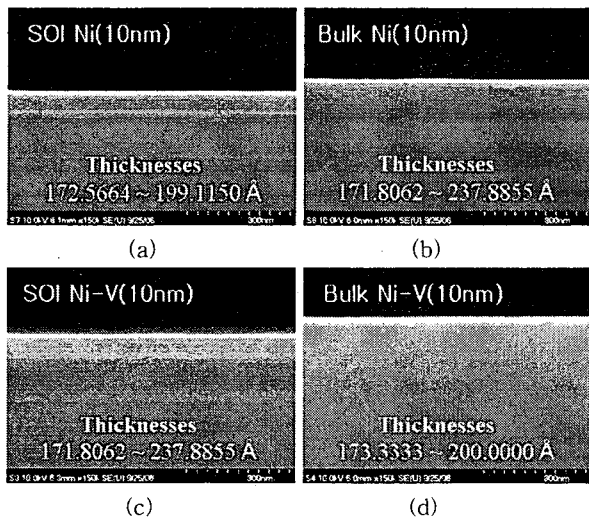


그림 2. RTP 500 ℃ 30sec 후 Ni Silicide의 FE-SEM 단면 특성.

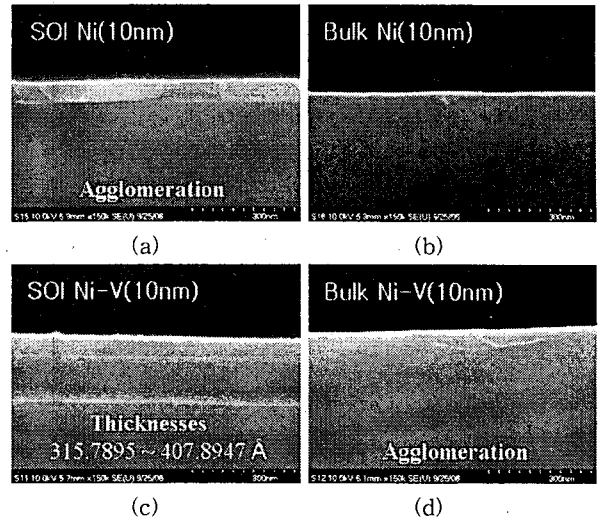


그림 3. 고온 열처리 후 Ni-Silicide의 FE-SEM 단면 특성 (a), (b), (c), (d) Anneal 650 ℃, 30분

4. 결론

본 논문에서는 Boron Cluster ($B_{18}H_{22}$) implanted된 SOI와 Bulk 기판 위에서 Ni-V(5%) 증착한 것과 순수 Ni를 증착한 것의 열 안정성을 비교 분석해 보았다. 결과 SOI 위에 Ni-V을 증착한 것이 순수 Ni를 증착한 것에 비해 낮은 면 저항을 보여준 반면 Bulk위에 Ni-V을 증착한 것은 제일 높은 면 저항을 보여줌으로써 bulk에서와 SOI에서의 열안정성이 매우 다를 것을 보여주었다. 단면특성을 확인 해 본 결과 Anneal 650 ℃에서 순수 Ni를 증착한 SOI와 Bulk에서는 모두 Agglomeration 현상이 나타난 것을 확인 하였고 Ni-V을 증착한 Bulk에서도 Agglomeration 현상이 나타났으며 SOI에서는 Agglomeration 현상은 나타나지 않았지만 실리사이드 두께가 두껍게 형성된 것을 확인 하였다.

감사의 글

본 논문은 한국과학재단 목적기초연구 (과제: R01-2003-000-11659-0)의 지원 하에 이루어졌음.

참고 문헌

- [1] Lu, C. Y., Sung, J.M., "Reverse short-channel effects on threshold voltage in submicrometer silicide devices" Electron Device Lett., IEEE vol 10, p. 446 (1989)
- [2] H.Iwai, T. Ohguro and S.I. Ohmi, "NiSi silicide technology for scaled CMOS", Microelectron. Eng., vol. 60, p.157, (2000)
- [3] Tsung-Hsi Yang, Guangli Luo, Edward Yi Chang, " Study of Nickel silicide contact on Si/Si_{1-x}Ge_x" IEEE Electron Device Letters, Vol. 4, No. 9, p.544, (2003)
- [4] W.J. Lee, S.Y. Oh, Y.J. Kim, Y.Y. Zhang, Z. Zhong, S.Y. Jung, H.H. Ji, K. J. Hwang, Y.C. Kim, H.T. Cho, W.A. Knoll, J.S. Wang, and H.D. Lee "Formation and Thermal Stability Characteristics of Ni Silicide on Boron Cluster ($B_{18}H_{22}$) Implanted Source/Drain", IWJT 2006 p. 184, (2006)