

## Si 칩 적층을 위한 관통 전극 형성에 관한 연구

### Study on formation of through-hole interconnection for Si chip stacking

김종웅\*, 김대곤\*, 문원철\*\*, 정재필\*\*\*, 신영의\*\*\*\*, 정승부\*

\*성균관대학교 신소재공학부

\*\*성균관대학교 패키징사업단

\*\*\*서울시립대학교 신소재공학과

\*\*\*\*중앙대학교 기계공학부

#### 1. 서 론

휴대폰, PDA (Personal Digital Assistants) 및 디지털 카메라 등의 고성능 전자제품이 널리 대중화되고 수요가 급증하게 됨에 따라 전자 시스템의 고속화 및 다기능화가 요구되고 있다. 이러한 전자 시스템의 고성능화는 빠른 신호처리가 가능한 IC (Integrated Circuit)의 개발 및 보다 효율적인 전자 패키징 시스템의 개발이 동시에 전제되어야 가능한 일이다. 하지만 최근 보고에 의하면 전자 제품의 성능은 IC 자체의 성능 보다는 패키징 구조에 의한 신호 지연에 의해 결정된다고 하는데, 이는 패키징 기술이 현 반도체 기술의 발전 속도에 미치지 못함을 의미하는 것으로 시사하는 바가 크다. 즉, 반도체 시스템의 개발에 있어서 전자 패키징 기술의 개발 또는 개발된 기술의 상용화 지연 등이 전자 제품의 발전에 저해요소로 작용하고 있는 것이다.

최근 이러한 패키징 기술의 한계를 극복하기 위한 새로운 마이크로 패키징 기술이 제안되었는데, 칩을 Z축 방향으로 적층하여 접합면적을 최소화하는 이른바 3-D 패키징 기술 (3-D packaging technology)이 그것이다. 하나의 독립적인 기능을 수행하는 장치를 시스템 (system)이라고 하는데, 이렇게 하나의 시스템이 완성되기 위해서는 보드위에 메인 칩을 비롯한 다양한 역할의 칩이 각기 실장 되고, 다시 여러 수동소자들이 실장 되어야 가능하다. 3차원으로 칩을 적층함으로써 로직 (logic), 메모리 (memory), 기타 디바이스 (device) 등 시스템을 구성하는 다양한 기능이 하나의 패키지에 통합되어진 대표적인 예를 그림 1에 도시하였다. 현재까지는 수개의 칩이 각기 보드위에 패키징 되어 왔으므로 보드위에 패키지가 차지하는 면적

이 상당히 클 수 밖에 없었다. 하지만 칩위에 칩을 접합하고, 그 위에 또 다른 칩을 접합하여 패키징하게되는 3-D 패키징을 이용하면 1개의 칩을 실장 할 면적에 수개의 칩을 실장하게 되므로 그만큼 접합 면적에서의 이점이 생긴다.

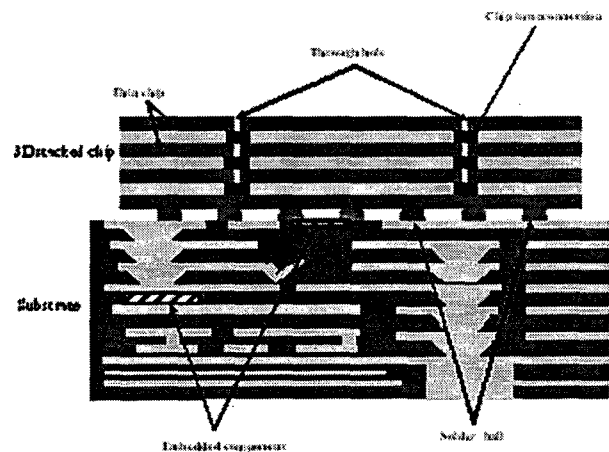


Fig. 1 Schematic structure of Si chip stacked 3D package

본 연구에서는 이러한 3-D 패키지의 개발을 염두에 두고, 차후 플립칩 공정을 통한 3-D 패키지의 구현을 감안하여 Si 관통을 위한 식각 조건 및 전도성 물질의 도금 기술의 최적화를 달성하고자 하였다. Si의 식각은 DRIE (Deep Reactive Ion Etching)를 이용하여 구현하였고, 전도성 물질로는 고속 신호전달에 용이하도록 Cu로 하였다.

#### 2. 장 실험 방법

식각 후의 홀에 전도성 금속을 도금하기 위하

여 300  $\mu\text{m}$  두께의 Si 웨이퍼 표면에 Au를 증착하였다. 홀에의 도금 물질은 패키지의 고속 신호 전달 특성에 맞추어 Cu로 하였다. 관통형 Si 칩 패턴을 형성하기 위해 PMER(negative type) PR(photoresist)를 사용하였으며, PR 코팅 조건은 500 rpm과 3500 rpm에서 각각 10초, 25초간 스피코팅(spin coating) 하였다. PR막이 코팅된 시편을 110°C의 hot plate위에서 210초간 유지하여 soft baking한 후 mask aligner를 이용하여 PR막이 형성된 실리콘 기판위에 관통형 홀을 형성하기 위하여 전체적으로 설계한 마스크의 패턴을 정렬하였다. 마스크와 기판을 정렬 시킨 후 365  $\text{\AA}$ 의 파장을 가진 UV(Ultra Violet)광으로 50초간 노광하였다. 노광된 시편은 다시 100°C의 hot plate에서 120초간 hard baking 한 후, 현상액에 약 120초간 유지하여 현상하였다. 이때 PR은 DRIE를 이용하여 Si 웨이퍼를 식각하는 동안 견딜 수 있도록 본 연구에서는 약 12  $\mu\text{m}$  두께로 도포한 후 식각하였다. 앞에서 언급한 바와 같이 Si 웨이퍼의 식각은 DRIE를 이용하여 실시하였다. 본 실험에서는 Multiplex ICP(ASEHR)를 사용하여 Si 웨이퍼를 관통하였다. 본 실험에 사용한 장비는 electronics, loadlock, wafer loader와 process chamber로 구성되어 있고, 플라즈마 분포를 균일하게 하고 높은 이방성 식각과 함께 높은 식각 속도를 갖는 것이 특징이다. 이들 시스템은 각각 etching과 passivation이 주기적으로 작동하고, 주기적으로 반응 가스가 바뀌어 진다. Passivation 단계에서 사용되는  $\text{C}_4\text{F}_8$  플라즈마는 fluorocarbon polymer를 증착시키고 etching 단계에서 사용되는  $\text{SF}_6$  플라즈마는 증착되어진 fluorocarbon polymer와 실리콘을 식각하는 과정을 주기적으로 반복한다.

다양한 예비 실험을 통하여 도금된 도금층의 표면을 분석하여 최적의 도금 조건을 찾은 후, 서로 다른 두 종류의 전류 밀도를 인가하여 홀에 Cu를 도금하였다. 이 때 Cu 도금은 도금을 위한 전처리로 증착한 Au 층으로부터 이루어지기 시작하는데, 본 연구에서는 Si 웨이퍼 상부에 증착된 Au 층에서 도금이 이루어지도록 하였다. 경우에 따라 도금이 양호하게 이루어지도록 하기 위하여 홀의 내벽에도 seed 층을 증착하여 도금하기도 하지만, 본 연구 결과, 홀의 내벽에 seed 층이 있을 경우 Cu도금부에 공공이 발생할 확률

이 훨씬 높아짐을 알 수 있었다. 이는 두께방향으로 도금되어야 하는 높이가 지름을 따라 도금되는 부위에 비해 훨씬 크기 때문에 발생하는 것으로, 두께 방향으로 도금이 채 다 이루어지기 전에 홀의 방향과 수직으로 도금이 마무리되어 상층부로의 도금을 방해하기 때문인 것으로 판단된다. 이에 본 연구에서는 추가적인 내벽에의 Au 층 증착 없이, 표면에의 Au 층 증착만으로 Cu를 도금하고자 하였고, 최종적으로 공공 없는 Cu 도금부를 달성하는 데 목적이 있다. 홀에 Cu를 도금한 후 이후의 공정은 기존의 플립칩 공정과 유사하게 진행되는데, 플립칩 공정의 매끄러운 진행을 위하여 웨이퍼 표면 밖으로 돌출된 Cu 도금부를 CMP (Chemical-Mechanical Polishing)을 이용하여 제거하였다. 또한 Au 층이 증착된 면도 CMP를 이용하여 제거하였는데, 이는 Si 칩에 배선을 형성하기 위함이다.

### 3. 장 결과

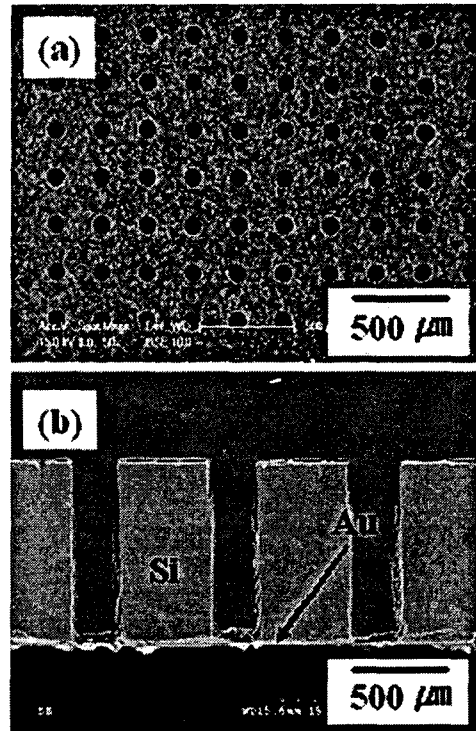


Fig. 2 SEM images of the top surface (a) and cross-sectional view (b) of through-holes in Si wafer

그림 2는 Si 웨이퍼에 Au를 증착하고 DRIE를

이용하여 관통한 후 SEM으로 표면 및 단면을 촬영한 사진이다. 그림 2 (a)에서 알 수 있듯이, Si 웨이퍼에 100  $\mu\text{m}$  직경의 원형 홀이 형성되어 있고, 또한 단면 사진에서 알 수 있듯이 홀은 Si 웨이퍼 전체 형성되어 있으며 DRIE를 이용하여 식각을 진행하였을 때 Si 부분만 식각 되었음을 알 수 있었다. 본 연구에서 도입한 DRIE의 경우 Bosch 공정이라고도 불리는데, Si의 식각과 식각부 내벽의 절연막 증착을 반복함으로써 내벽으로의 식각을 최소화하게 된다. 이를 통해 기판 표면에 수직인 방향으로만 식각이 이루어질 수 있게 되고, 이러한 특징 때문에 3-D 패키징을 위한 Si의 관통홀 생성에 가장 적합한 식각 기술인 것으로 판단된다.

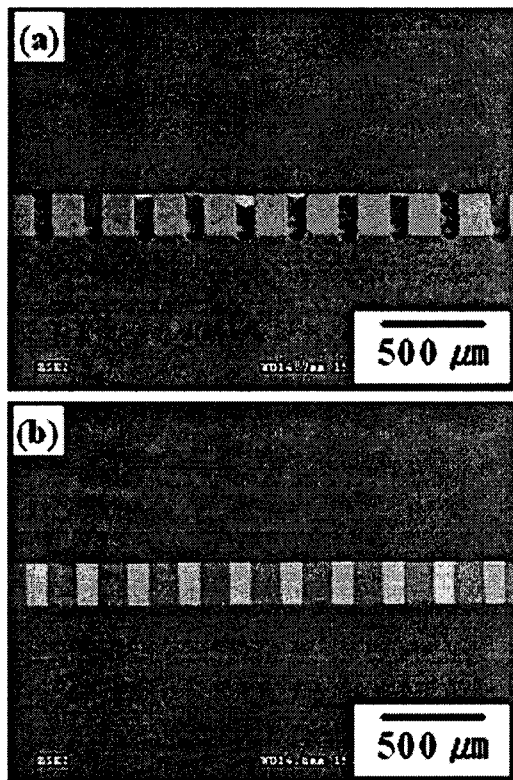


Fig. 3 Cross-sectional SEM views of Cu electroplated through-holes with various current densities: (a) 0.5 A/dm<sup>2</sup> and (b) 1.5 A/dm<sup>2</sup>

그림 2와 같이 Si 칩을 식각하고, Cu를 전해도금 하였다. 도금 후 Si 관통홀에 Cu 도금층이 잘 채워진 것을 확인하기 위하여 홀을 절단하여 SEM으로 관찰하였다. 그림 3은 역펄스 전류를 인가하여 Cu를 도금한 후, 홀의 단면 사진을 나

타낸다. 특별히 그림 3에는 전류 밀도 변화에 따른 중앙부의 홀 사진만을 나타내었는데, 이는 중앙부의 홀에 Cu가 도금되는 효율이 특히 떨어지기 때문이다. 그림에서 알 수 있듯이 0.5 A/dm<sup>2</sup>의 조건으로 도금 시 홀의 많은 부위가 채워지지 않은 결과로 나타났지만, 1.5 A/dm<sup>2</sup>의 조건으로 도금 시 웨이퍼의 중앙부임에도 전체 홀 체적이 Cu로 채워져 있는 것을 알 수 있었다. 이를 통해 1.5 A/dm<sup>2</sup>의 전류 밀도가 본 시험에서 사용한 Si 웨이퍼의 도금에 최적의 조건인 것으로 판단된다.

#### 4. 결 론

본 연구를 통해 얻은 결론을 다음과 같이 정리할 수 있었다.

- 1) DRIE를 이용한 Si 식각 기술로써, 300  $\mu\text{m}$  두께의 Si 웨이퍼를 관통할 수 있었다. 관통형 Si 식각에 있어서 coil power 200 W, cycle time 6.5/5 s, SF<sub>6</sub>:C<sub>4</sub>F<sub>8</sub>의 가스유량 260 : 100 sccm에서 최적 조건을 얻을 수 있었다.
- 2) Cu 도금부의 표면 분석을 통해 역펄스를 인가할 경우 가장 균일하고 미세한 도금층을 얻을 수 있음을 알 수 있었다.
- 3) Si 관통홀에 Cu를 도금함에 있어 1.5 A/dm<sup>2</sup>의 전류 밀도를 인가하는 것이 가장 적합할 것임을 알 수 있었다.

#### 후 기

본 연구는 과학기술부 기초과학연구사업(R01-2004-000-10572-0)의 연구비 지원에 의하여 수행되었으며, 연구비 지원에 감사드립니다.

#### 참 고 문 헌

1. Horoshi Yamada, Takashi Togasaki, Masanobu Kimura and Hajime Sudo : High-Density 3-D Packaging Technology Based on the Sidewall Interconnection Method and Its Application for CCD Micro Camera Visual Inspection System, IEEE TRANSACTIONS ON ADVANCED PACKAGING, 26-2 (2003), 113-121
2. Gerard Kelly, Anthony Morrissey, John Alderman and Henri Canon : 3-D Packaging Methodologies for Microsystem, IEEE TRANSACTIONS ON ADVANCED PACKAGING, 23-4 (2000), 623-630