

플립칩 솔더범프의 전단시험 최적화

Optimization of the shear test method for flip chip solder bump

김 종용, 정 승부

성균관대학교 신소재공학부

1. 서 론

전자제품에 사용되는 여러 전자부품들의 소형화, 다기능화 및 경박단소화가 진행됨에 따라 전자 패키지의 기능적·구조적 발전이 절실히 요구되고 있다. 기존에는 전자부품의 발전을 IC 설계 및 공정 기술의 발전으로 극복하려 하였지만, 최근에는 전자 패키지가 이를 따라주지 못해 패키징 기술이 일종의 병목 (bottleneck)으로 작용할 수 있다는 우려가 제기되고 있다. 이를 해결하기 위하여 전자 패키지의 형태도 지속적으로 경박단소화 되고 있고, 기능적 특성의 측면에서도 보다 향상된 성능을 발휘할 수 있는 많은 형태의 패키지가 제안 및 개발되고 있다.

플립칩 패키지는 이러한 전자 패키징 분야의 경향을 그대로 반영하여 개발되고 사용되고 있는 대표적인 최신 패키지 형태이다. 플립칩 패키지는 기존의 와이어 본딩법에 비해 훨씬 소형이면서도 전기적 특성이 우수하고, 신뢰성 측면에서도 우수한 측면이 많이 보고되고 있어 전자 업체들에서는 이의 도입을 적극적으로 고려하고 있다. 플립칩 패키지는 IC와 PCB 기판을 금속 범프 (metallic bump)를 이용하여 직접 접합하는 형태를 말하는데, 금속 범프로는 금, 구리 및 솔더 등이 적용되고 있다. 이 중 솔더를 이용한 플립칩 패키지의 제작은 기존의 솔더링 공정을 그대로 적용할 수 있고, 공정에 드는 단가가 낮아 가장 널리 개발 및 연구되고 있다.

솔더를 이용한 플립칩 패키지는 솔더와 칩 또는 솔더와 기판의 금속 패드 간 접합을 기반으로 제작되기 때문에 각 계면의 신뢰성이 무엇보다 중요하다. 이는 솔더와 금속 패드와의 사이에 생성되는 금속간 화합물이 취약한 특성을 나타내기 때문인데, 최근 이러한 금속간 화합물의 성장 메커니즘을 규명하고, 고온에서 저장될 시 열화 될 수 있는 패키지의 기계적 특성 규명이 널리 진행되고 있다. 솔더볼 접합부의 기계적 특성은 주로

측면에서 솔더볼을 밀어 접합강도를 평가하는 전단시험이 널리 시행되고 있지만, 전단 응력 인가 시 취약한 층의 판단이 어렵다는 점과 금속간 화합물 층의 열화 정도를 정확히 알 수 없다는 점이 보고되고 있어 전단시험 시행 자체에 문제가 제기되고 있다.

본 연구에서는 이러한 전단시험의 문제를 실험과 유한요소해석 (finite element analysis) 기법을 이용하여 분석하고자 하였고, 결과적으로 플립칩 솔더범프를 전단시험 하는데 최적의 시험조건을 찾고자 하였다.

2. 장 시험 방법

2.1 실험방법

플립칩 전단시험의 최적화를 위하여 스텐실 프린팅 (stencil printing) 기법을 이용하여 Si 칩에 솔더범프를 형성시켰다. 칩에 솔더범프를 형성시키는 공정은 사전 연구에 의하여 출판된 문헌에 잘 나타나 있다. 솔더는 Sn-37Pb (in weight %)로 하여 범핑하였다. Si 칩에 솔더범프를 형성시킨 후 전단시험을 실시하였다. 그림 1은 본 연구에서 실시한 플립칩 솔더범프의 전단 시험법을 나타낸다. 그림에 나타난 바와 같이 솔더볼 접합부를 전단시험 하는데 있어 가장 중요한 시험변수는 전단속도와 전단높이이다. 본 연구에서는 이러한 두 가지 변수를 변화시켜 가며 실험을 실시하였고, 그를 통해 나타난 시험결과를 분석하여 최적의 시험조건을 결정하고자 하였다. 전단속도의 경우 20, 50, 100, 200, 300, 400 및 500 $\mu\text{m/s}$ 으로 하여 시험하였고, 전단높이는 15, 20, 25 및 30 μm 으로 변화를 주어 그 영향을 살펴보고자 하였다. 전단속도와 전단높이 외의 다른 변수는 모두 고정하여 그 영향을 배제하고자 하였다.

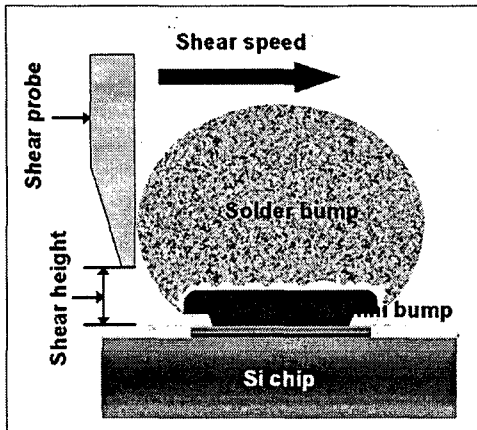


Fig. 1 Schematic figure of flip chip solder bump

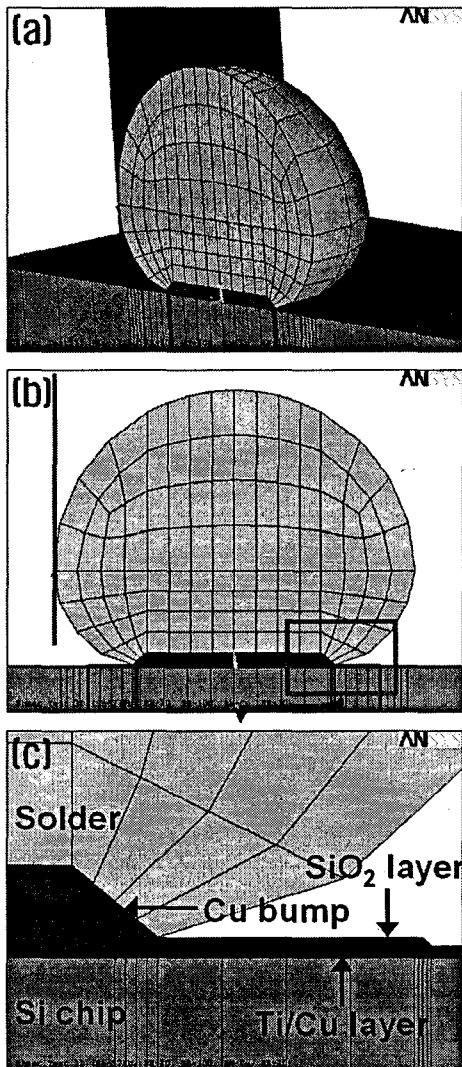


Fig. 2 Finite element model for shear test of flip chip solder bump

2.2 유한요소해석

전단시험의 유한요소해석의 경우 상용 프로그램인 ANSYS를 이용하였다. 그림 2는 ANSYS를 이용하여 제작한 플립칩 솔더범프 전단시험의 유한요소 모델이다. 그림에서 알 수 있듯이 본 연구에서는 3차원 요소를 이용하여 모델링하였고, 모델링에는 솔더, Cu 미니범프, SiO₂ 층 및 Ti/Cu 층이 포함되어 있다. 재료의 물성으로는 탄성계수 (elastic modulus), 프와송 비 (Poisson ratio) 및 밀도를 입력하였고, 특별히 솔더의 경우 전단시험이 실시되는 상온에서 조차 절대온도 대비 실험온도 (homologous temperature)가 0.6이 넘는 것을 감안하여 크립 (creep) 물성도 입력하였다. 크립 모델 및 크립 물성은 문헌에 잘 나타나있다.

3. 장 결과

그림 3은 전단높이 및 전단속도에 따른 전단강도의 변화를 나타낸다. 전단높이의 경우, JEDEC에서는 BGA 솔더볼 전단시험 시 전단팁의 높이를 솔더볼 전체 높이의 1/4 이상이 되지 않도록 하고, 기판과의 접촉을 방지하기 위하여 기판 표면으로부터는 50 μm 이하가 되지 않도록 해야 한다고 한다. 하지만 이러한 조항은 760 μm 지름의 솔더볼이 1.27 mm 피치로 범핑되어 있는 BGA 패키지의 전단시험에 해당하는 것이며, 따라서 솔더볼 크기가 훨씬 작은 플립칩 솔더볼 접합부의 전단시험에도 일괄적으로 적용하기엔 무리가 따른다. 그림 3 (a)에 나타난 바와 같이, 실험 및 컴퓨터 시뮬레이션 모두에서 전단높이가 증가함에 따라 전단강도 값은 감소하는 경향을 보였다. 이는 다음과 같은 간단한 식으로 해석할 수 있다.

$$F/A \propto x/H \text{ (shear strength vs shear strain)}$$

위 식에서 F는 전단력 (shear force), A는 전단면적, x는 전단방향으로 움직인 거리를 나타내고, H는 전단높이를 의미한다. 식을 통해 전단높이가 증가함에 따라 전단강도가 감소하는 것을 설명할 수 있다. 이러한 경향 이외에 그림 3 (a)에서 주목할 점은 전단높이가 25 μm 이상일 때 실험값의 표준편차 값이 급격히 증가하고, 30 μm 일 때는 실험값과 해석값이 큰 차이를 보인다는 점이다. 이러한 경향은 이미 BGA 솔더볼 접합

부의 전단시험법 연구결과에서 도출되었던 것으로, 전단높이가 높아질수록 실험결과에 오차가 자주 발생하는 점에 기인하는 것으로 판단된다. 이러한 결과로부터 플립칩 솔더 접합부의 전단시험 시 전단높이는 솔더볼 전체 높이의 20%를 넘지 않도록 해야 할 것으로 판단된다.

그림 3 (b)에 나타난 전단강도에 미치는 전단속도의 영향을 통해 솔더볼 전단강도 값에 미치는 시험속도의 영향은 상당히 큰 것을 알 수 있다. 이 또한 이미 BGA 솔더볼 접합부의 전단시험 결과를 통해 보고된 바 있으나, 솔더볼 크기가 훨씬 작으므로 낮아진 전단강도 값을 고려할 때 그래프에 나타난 변화폭이 신뢰도에 미치는 영향은 상당히 클 것으로 판단된다. 특별히 전단속도가 클 경우 실험결과에 표준편차가 다소 커지는 것을 확인할 수 있는데, 이를 통해 200 $\mu\text{m/s}$ 이하의 전단속도에서 전단시험을 실시하기를 추천할 수 있었다.

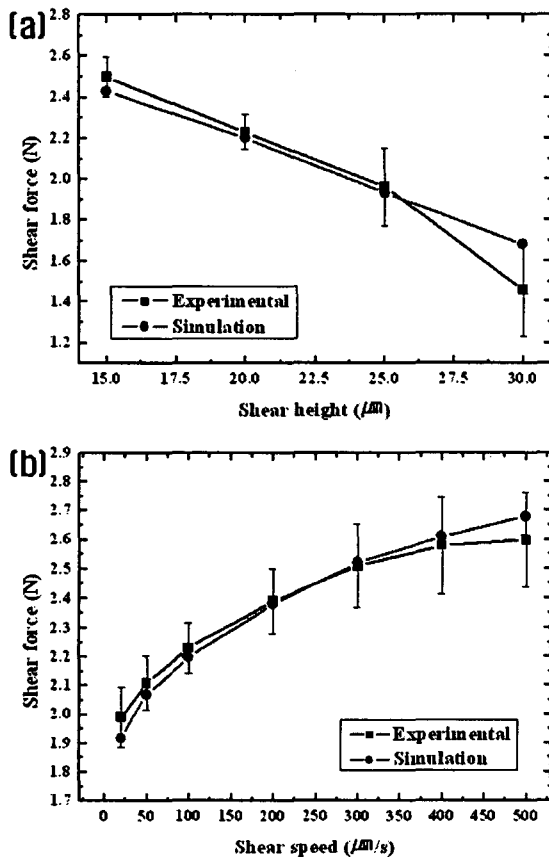


Fig. 3 Shear force variations with shear height (a) and shear speed (b)

4. 결 론

전단속도 및 전단높이가 플립칩 솔더범프의 전단강도에 미치는 연구 결과를 통해 하기의 결론을 얻을 수 있었다.

1) 전단높이의 경우 솔더볼 전체 높이의 20% 이하에서 전단시험을 실시할 것을 추천한다. 전단높이가 솔더볼 높이의 20% 이상이 될 경우, 실험 오류에 의한 표준편차 증가 및 실험과 유한요소해석 결과의 차이 증가가 커지는 것을 확인할 수 있었다.

2) 전단속도의 경우 200 $\mu\text{m/s}$ 이하의 속도에서 실시할 것을 추천한다. 전단속도가 증가할 경우 실험결과에 표준편차가 증가함을 알 수 있었다.

후 기

본 연구는 과학기술부 기초과학연구사업 (R01-2004-000-10572-0)의 연구비 지원에 의하여 수행되었으며, 연구비 지원에 감사드립니다.

참 고 문 헌

1. Jong-Woong Kim and Seung-Boo Jung : Experimental and finite element analysis of the shear speed effects on the Sn-Ag and Sn-Ag-Cu BGA solder joints, *Materials Science & Engineering A*, 371 (2004), 267-276
2. Jong-Woong Kim and Seung-Boo Jung : Characterization of the shear test method with low melting point In-48Sn solder joints, *Materials Science & Engineering A*, 397 (2005), 145-152
3. Jong-Woong Kim, Dae-Gon Kim and Seung-Boo Jung : Investigations of the test parameters and bump structures in the shear test of flip chip solder bump, *Thin Solid Films*, 504 (2006), 405-409
4. S.W. Ricky Lee and X. Huang : Analysis on solder ball shear testing conditions with a simple computational model. *Soldering and Surface Mount Technology* 14 (2002), 45-48