

FinFET 2차원 수치해석에 관한 연구

Study of 2D(Dimension) FinFET Numerical Analysis

이정호
 홍익대학교 전자공학과
 e-mail 주소 phile71@paran.com

FinFET는 기존의 트랜지트 MOSFET(Metal Oxide Semiconductor Field Transistor) 구조를 3차원으로 확장 시킨 구조를 가진다.[1] MOSFET의 경우 게이트(Gate) 단자에 얼마의 전압이 인가되는지에 따라서 나머지 두 단자-이미터(Emitter), 베이스(Base)- 사이에 흐르는 전류의 양을 결정하게 된다. 이 경우 게이트 단자에 걸리는 전압 V_G 가 상당히 중요한 역할을 하게 되는데 문제는 소자의 크기를 작게 만들면 만들수록 게이트 두 단자 사이에 흐르는 전류의 크기는 제대로 조절하기 힘들어 진다. MOSFET 소자의 크기가 100 [nm] 이하로 줄어들게 되면 얇은 게이트 산화막의 터널링(tunneling), 불균일한 도펀트(dopant) 분포로 인한 문턱 전압의 변동, 소자 집적으로 인한 열 발생, 핫-캐리어(Hot carrier) 효과, 단채널(Short channel) 효과 등 여러 고려해야 할 사항들이 늘어나게 된다. 이러한 문제점들은 결국 소자의 성능과 신뢰성을 나쁘게 하는 원인이 된다. 이러한 문제점들을 해결하기 위해서는 기존의 CMOS를 대체할 수 있는 소자 구조가 제안 되어야 하는데 그 중에서도 집적도와 소자 성능 향상에 가능성이 제기 된 소자는 SoI(Silicon on Insulator) 웨이퍼에 구현된 이중 게이트 트랜지스트(double-gate transistor)이며 여러 이중 게이트 트랜지스트 소자들 중에서 기존의 공정 기술과 접목이 가장 쉬운 소자 구조를 가지는 것이 바로 FinFET 이중 게이트 트랜지스트 소자이다.[2]

본 논문에서는 FinFET의 수치해석을 위한 이론적 배경을 바탕으로 전기적 채널길이(electrical channel length)와 Fin 두께의 조건에서 구현된 FinFET의 모사실험에 의한 결과를 제시하고 기존의 실험을 통해 얻어진 결과물과 비교하여 결과를 검토하고자 한다. FinFET 이중 게이트 소자는 이중 게이트 트랜지스트 일종으로 그림 1과 같다. 기존의 CMOS 소자 구조와 달리 수직으로 형성 된 채널 양쪽에 게이트가 형성 된다. 채널 길이는 리소그래피(Lithography)와 옆 벽면 스페이서(space) 식각에 의해 결정된다.

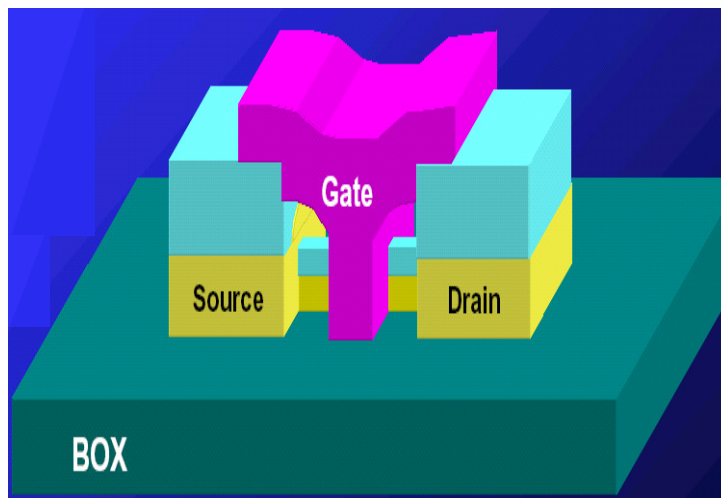


그림 1 double-gate FinFET structure on Silicon Insulator

그림 1 에 대한 수치해석을 위해서는 비선형 포아송(Poisson) 방정식과 슈리딩거(Schrödinger)방정식을 이용하여 반복적인 계산과정(iterative calculation procedure)을 거쳐야 한다. 따라서 FinFET의 단면을 도식화 시켜야 수치해석이 가능해진다. 그림 2 는 위에서 내려다 본 FinFET의 단면을 나타낸 것이다.

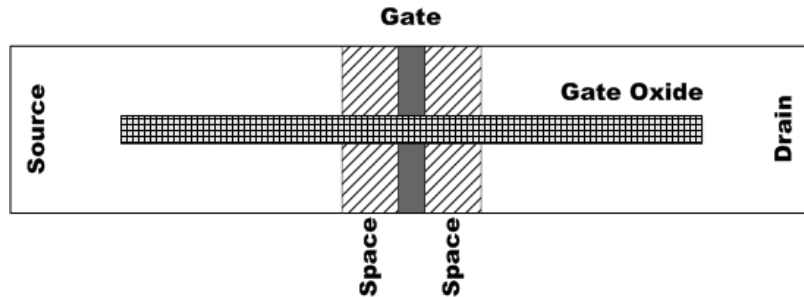


그림 2 FinFET structure for Numerical Analysis

본 연구에서는 이를 수치해석 하기 위해 반복적인 계산과정을 거쳐 양자 역학적 해를 구하는 방법을 사용하였다. 여기서 얻어진 전기적 포텐셜(electrical potential)을 초기값으로 하여 뉴턴 반복법(Newton's iteration method)를 이용하여 내부 전위(built-in potential)을 계산하였다. 이렇게 얻어진 전기적 포텐셜과 내부 전위를 이용하여 슈리딩거 방정식과 포아송 방정식의 해를 얻고 전류 연속방정식을 구함으로써 FinFET의 전기적 특성을 살펴 볼 수 있게 되었다. 본 연구에서 단채널 효과를 살펴보기 위한 방법으로는 문턱전압 이하의 기율기(sub-threshold swing), 드레인 유기 장벽 감소(Drain Induced Barrier Lowering : DIBL)과 같은 파라미터를 추출하는 방법을 적용하였다.

특히 이번 연구에서는 FinFET의 단채널 효과의 타당성 검토를 위해 양자역학적 효과가 고려되는지를 실험적 데이터인 J. Kedziersk[3]와 D. Hisamoto[4]의 실험값과 비교 해 보았다. 또한 고전적 방법을 이용한 모사 실험과 양자 역학적 방법의 모사 실험 통해 얻어진 값들을 실험값들과 비교해 본 결과 양자 역학적 방법의 모사 실험의 결과 값이 고전적 해석 방법에 비해 더 가까운 값을 가진다는 것을 알 수 있었다. 이로서 모사 실험을 통한 FinFET의 2차원적 수치해석 모델링이 여러 실험값들과 상당부분 일치함을 얻을 수 있었고, 본 연구를 통해 이러한 실험적 데이터와 근사한 결과 값을 통한 모사실험으로 FinFET의 단채널 효과가 확연히 떨어짐을 알 수 있었다.

참고문헌

1. Young Joon Ahn et al, "Test Structure for Performance evaluation of 3 dimensional FinFET", Microelectronic Test Structures ICMTS, p. 59~62 (2005).
2. Pei, J et al, "FinFET Design Considerations Based on 3-D simulation and analytical Modeling", IEEE Trans. Electron Device, Vol 49, p. 1411~1419 (2002).
3. J. Kedziersk et al, "High-Performance Symmetric-Gate and CMOS-Compatible Vt Asymmetric-Gate FinFET Device", Tech. Dig. IEDM, p. 437~440 (2001).
4. D. Hisamoto et al, "FinFET-A Self-Aligned Double-Gate MOSFET Scalable to 20nm", IEEE Trans. Electron Device, Vol 47, p. 2320~2325 (2000).