

펄스 모듈레이터용 정전 유도 사이리스터의 최적 게이트 드라이버 설계 및 성능 측정

김봉석, 고광철<sup>1</sup>

한양대학교 전기공학과 한양대학교 전기제어생체공학부<sup>1</sup>

Design and Test of SI-Thyristor for Pulsed Power Modulator

Bongseong Kim, Kwang-Cheol Ko

Electric engineering department, Division of Electricity and Control Biomedical engineering, Hanyang University<sup>1</sup>

**Abstract-** SI-Thyristor는 기존의 Power semiconductor인 단일 IGBT, MOSFET과 비교하여 높은 정격 전압과 대전류의 소호가 가능하며 빠른 turn on switching time을 가지는 특성이 있다.

하지만 게이트 드라이버를 이용한 SI-Thyristor의 turn on 구동시에는 전압구동의 특성과 turn off시에는 전류 구동의 특성에 가까운 구동 특성이 요구되기 때문에 스위칭 요구 특성에 맞는 게이트 드라이버의 설계 및 제어기가 쉽지 않다.

본 논문은 펄스 파워 어플리케이션으로 SI-Thyristor(PT-201 5kV/100A)를 사용하여 pulsed power modulator용 SI-Thyristor의 게이트 드라이버의 요구인 빠른 turn on switching 특성과 turn off 시 Si-Thyristor 내의 전하를 빨리 제거하기 위한 조건을 제시하고 있다.

1. 서 론

SI-Thyristor는 1980년대 일본에서 연구되어 왔으며 그림.1(a)과 같은 구조를 지니고 있다, P<sup>+</sup>NN<sup>+</sup> Pin diode에 gate가 매입되어 있는 형태로 매입된 게이트와 게이트 사이에 공핍층을 제어하여 SI-Thyristor의 turn on/off를 제어하도록 설계되어져 있다. 현재 SI-Thyristor는 PT type으로 5500V/400A가 시험적으로 제작되고 있다.[1]

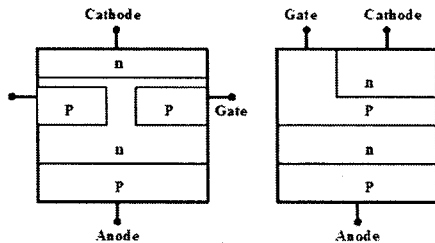
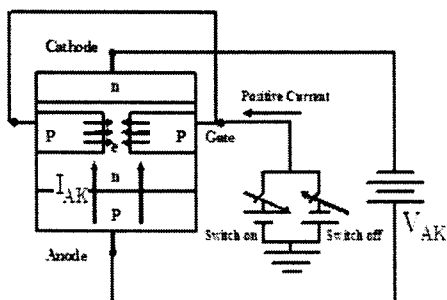


그림.1 (a) SI-Thyristor의 단면, 그림.1(b) OT-Thyristor의 단면  
그림.1 SI-Thyristor와 OT-Thyristor의 단면 비교

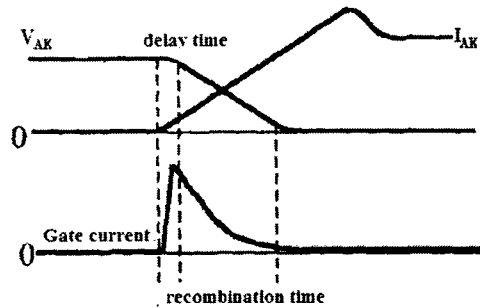
2. 본 론

2.1 SI-Thyristor의 turn on 스위칭 특성

그림.2(a)는 SI-Thyristor의 steady off state에서 turn on operation을 보여주고 있으며, 그림.2(b)는 SI-Thyristor의 turn on phase를 보여주고 있다. steady off state에서는 gate에 음전원을 인가하여 gate의 P layer와 P layer 사이에 공핍층을 생성하여 off 상태를 유지하다가 turn on 시에는 gate에 positive gate current를 공급하여 게이트 사이의 P layer 사이에 공핍층을 제거하여 turn on 상태로 진행하게 된다. 따라서 SI-Thyristor의 turn on time은 일반적으로 Positive gate current의 주입 속도 및 주입된 전하량에 따라 결정되며 주입속도는  $di_G/dt$ 로 그리고 주입된 전하량은 양전류 (positive current) X 양전류 유지시간(positive current pulse width)로 결정된다.[2]



〈그림.2(a)〉 Turn on principle of SI-Thyristor



〈그림.2(b)〉 Waveform of turn on processing at SI-Thyristor

2.2 SI-Thyristor의 turn off 스위칭 특성

그림.3(a)는 SI-Thyristor의 steady on state에서 turn off operation을 보여주고 있으며 그림.3(b)는 turn off시의 switching phase를 보여주고 있다. Thyristor는 자체 소호 능력이 없는데 비해, SI-Thyristor는 미세구조의 gate channel-일반적으로 SI-Thyristor의 gate와 gate 사이 channel은 3~5μm-와 저저항 게이트로 인해 외부 전극을 통해 남아 있는 전하를 제거하기 때문에 turn off시  $dV_{AK}/dt$ 를 높일수 있다.[2]

따라서 일반적으로 SI-Thyristor에 높은 음전압을 이용하여 에노드와 캐소드 사이에 남은 전하를 외부 전극을 이용하여 제거하면 빠른 turn off를 얻을 수 있으며,  $-di_G/dt$ 를 빠르게 하기 위해 게이트 회로의 임피던스를 적게 설계해야 한다.[2]

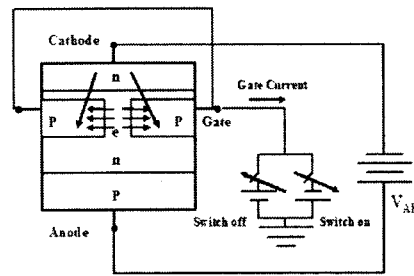
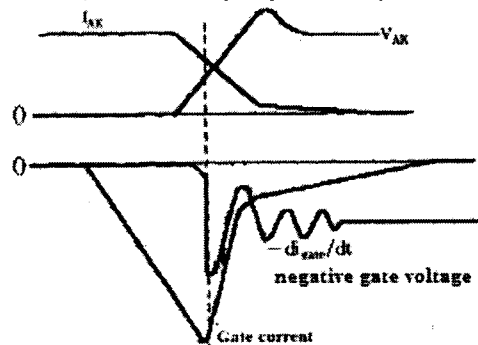


그림.3(a) Turn off principle of SI-Thyristor



〈그림.3(b)〉 waveform of turn off processing at SI-Thyristor

2.3 Turn on phase에서의 SI-Thyristor Gate Driver의 조건

2.1에서 언급했듯이, SI-Thyristor를 turn on 시키기 위해서는 빠른 양전류의 게이트 전류,  $i_{gate}/dt$ 를 주입하여 gate의 P layer사이에 있는 공핍층을

제거해주어야 한다.

off state를 유지하기 위해서 gate driver는 gate단에 음전압을 인가하여 공핍층을 형성하고 있기 때문에 빠른 turn on을 위해서 gate driver는 음전압에서 양전압으로 빠른 전환이 필요하다.

또한, 공핍층을 충분히 소거시키기 위해서는 그림2.(b)와 같이 충분한 recombination time을 지녀야 하며 이를 충족시키기 위해서는 gate driver의 양전압은 또한 충분한 시간의 pulse width를 지녀야 한다.

표1은 gate의 양전압,  $+V_G$ 와 SI-Thyristor의 양단 인가 전압,  $V_{AK}$ 를 변화시키면서 측정된 turn on time를 보여주고 있다. 측정된 turn on time에 t의 양전압 유지시간은 2 $\mu$ s로 유지했으며, 테스트한 게이트 드라이버와 구성 회로는 그림5와 같다.

$V_{AK} \backslash +V_G$	30V	35V	40V	45V
1 kV	170 ns	170 ns	165 ns	163 ns
1.5 kV	160 ns	155 ns	150 ns	140 ns
2 kV	150 ns	142 ns	140 ns	140 ns
2.5 kV	145 ns	140 ns	140 ns	138 ns
3 kV	135 ns	130 ns	130 ns	130 ns

〈표.1〉 positive gate전압,  $+V_G$ 와 사이리스터 양단 전압,  $V_{AK}$ 를 조정하여 측정된 SI-Thyristor의 turn on time

표1의 측정 결과에 의하면 SI-Thyristor의 turn on 시간은 SI-Thyristor의 양단 전압,  $V_{AK}$ 의 크기와 게이트 드라이버에서 SI-Thyristor로 인가하는 게이트 전압,  $+V_G$ 에 비례하여 turn on 속도가 빨라지는 것으로 보이나 45V이상의 전압을 인가 시에는 인가한  $+V_G$ 의 전압의 크기에 관련 없이 SI-Thyristor의 양단에 인가한 전압  $V_{AK}$ 의 크기에 따라 turn on 시간이 결정되는 경향을 보여주고 있다.

이는 다시 말해 SI-Thyristor의 turn on시 gate 사이의 p-layer사이의 공핍층의 제거와 함께 anode에서 cathode로 흐르는 main current가 게이트의 P-layer 사이 공핍층을 빠르게 제거하는 것을 보여주고 있으며, turn on phase에서 SI-Thyristor gate driver는 그림2.(b)와 같이 빠른 게이트 전류 주입,  $+i_{gate}/dt$ 를 통해 delay time을 줄이고, recombination time을 적게 하기 위해서  $V_{AK}$  값을 높게 사용하고 peak gate current 값을 높여서 넣어주는 것이 안정적이라는 것을 보여주고 있다.

### 2.3 Turn on phase에서의 SI-Thyristor Gate Driver의 조건

그림3.(b)는 turn off시의 SI-Thyristor의 파형을 보여주고 있다. 빠른 turn off의 조건으로 gate와 cathode는 그림3.(a)와 같이 reverse biased되면, cathode의 N layer를 통해 공핍되던 electron이 게이트 전압이 증가하여 점차적으로 감소하게 되면서 결과적으로 정지하기 때문에 그림3.(b)에서 보여지듯이  $-dI_G/dt$ 로 표현되는 negative gate voltage의 rising rate가 클수록 그리고 peak 전압이 클수록 SI-Thyristor의 re-latch up으로 인한 switching failure가 적게 나타난다.

negative gate voltage의 rising rate가 증가 할 때 또한 고려해야 할 점이 transient turn off phase에서 gate 전압의 oscillation이다. 위에 언급한 대로 cathode와 gate사이의 전압이 reverse biased 되어 있어야 cathode의 N layer를 통해 흐르는 주전하의 공급을 막아 turn off를 유지 할 수 있지만, gate전압의 oscillation이 클 경우 negative voltage를 유지하지 못하고 gate와 cathode 사이의 potential을 forward biased로 만들 가능성이 있으며 이는 대부분 게이트 회로의 인덕턴스, 선로 임피던스에 의해 나타난다.

### 2.3 Conventional SI-Thyristor용 gate driver

그림4는 SI-Thyristor의 conventional gate driver의 간략한 회로도를 보여주고 있다. 기본 operation으로 FET1이 off이고 FET2가 on 일 경우 SI-Thyristor는 off 상태이며 FET1이 on이고 FET2가 off일때 SI-Thyristor는 on상태를 유지한다.[2]

상용 게이트 드라이버의 경우 C1, R1,R2의 값을 선정하는데 있어서 많은 고려가 필요하다. 가령, SI-Thyristor의 operation frequency가 높을 경우, C, R1,R2가 close loop를 지니기 때문에 C에 남아 있는 전하가 다음 turn off phase에 영향을 미칠수 있다.

또한, SI-Thyristor의 전류 전하가 빠져나오기 때문에 높은 operating frequency, 10kHz이상일 경우 5500V/600A급 SI-Thyristor에서는 R1과 R2의 가열로 인한 문제가 있기 때문에 자유로운 가변이 어려우며 R1과 R2에 대한 열적 손실에 대한 대책이 필요하다.

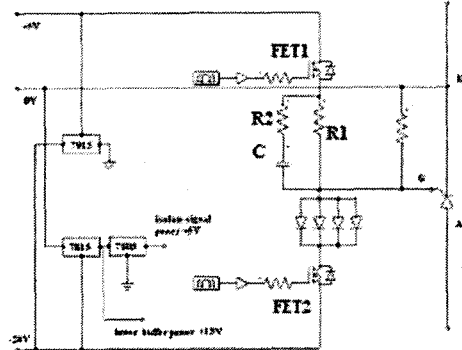
### 2.4 새롭게 고안한 SI-Thyristor의 gate driver

그림5는 새롭게 고안한 SI-Thyristor의 gate driver와 구성된 테스트 회로의 구성이다. 표1의 결과에 의하여 SI-Thyristor의 turn on switching time은 gate terminal에 인가하는 positive voltage의 크기보다는 빠른 positive current의 주입과 함께 gate와 cathode사이의 potential을 forward biased 해

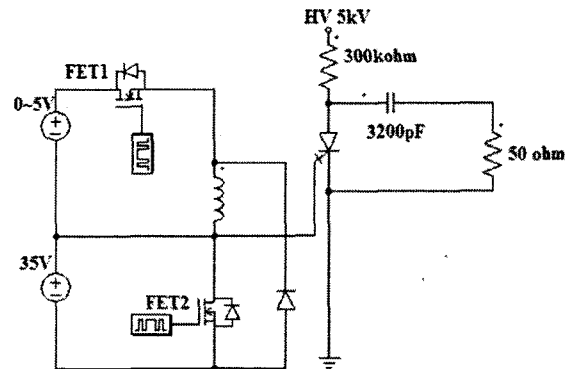
주는 것이 안전이기 때문에 Conventional Circuit과 마찬가지로 낮은 positive 전압을 인가했다,

구조는 GTO thyristor의 단전원 리액터 형태와 유사하지만, 단전원형 GTO Thyristor와 다르게 off기간에 추가적인 negative biased 회로를 사용하여 초기에는 빠른  $-dI_G/dt$  특성과 안정적인 negative gate voltage를 유지하는데 목적을 두고 있다.

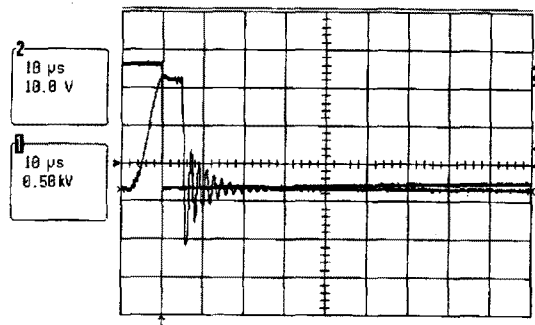
그림6은 gate에 positive voltage를 인가 했을때 SI-Thyristor의 turn on phase를 보여주고 있다. 이때 실제 실험 시에는 1V정도의 낮은 전압을 인가했다.



〈그림.4〉 Conventional Gate Driver of SI-Thyristor



〈그림.5〉 새롭게 고안한 SI-Thyristor의 gate driver



〈그림.6〉 새롭게 고안한 SI-Thyristor의 스위칭 특성(Ch1) 및 게이트 전압(Ch2)의 측정 파형

## 3. 결 론

그림6에 기반하여 측정된 SI-Thyristor의 turn on switching time은 1V의 양전압을 gate에 인가했을때 100ns로 기존의 conventional circuit에 비해 빠른 turn on 시간을 보여 주고 있으며 이는 SI-Thyristor에 인가한  $V_{AK}$  값의 영향보다는 게이트 회로의 리액터에 의한 전류 특성이 있는 것으로 나타났다. 리액터를 이용하여 빠른  $-dI_G/dt$  및 안정적인 negative voltage인가에 대해서는 그림6과 같이 turn off시 peak  $-dI_G/dt$ 가 낮으며 voltage oscillation이 높은 것을 알 수 있다. 따라서 2전원 형태의 게이트 드라이버의 SI-Thyristor의 게이트 드라이버의 개선시 cathode의 잔류 전하 및 SI-Thyristor의 주전하를 막기 위해 추가적인 회로가 추가적인 연구가 필요하다.

### [참 고 문 헌]

- [1] M.Kekura, et al, "Anode Short Structure for 4.5kV PT-SITs", IEEE 1997, pp.65~68
- [2] 正田英介, "최신 전력전자", 대영사, 1996년, pp.199~207