

TFT의 길이와 두께에 관한 특성

이정인, 황성현, 정성욱, 장경수, 이광수, 정호균*, 최병덕*, 이기용*, 이준신
 성균관대학교 정보통신소재연구실, 삼성 SDI*

Characterization of length and width of poly-silicon thin film transistors

Jeoung-In Lee, Sung-hyun Hwang, Sung-wook Jung, Kyung-Soo Jang, Kwang-Soo Lee,
 Ho-kyoon Chung, Byoung-Deog Choi, Ki-Yong Lee, Jun-Sin Yi

School of Information and Communication Engineering, Sungkyunkwon University, Suwon 440-746, Korea
 SAMSUNG SDI CO., LTD 428-5, Gongse-ri, Gilheung-eup, Yongin-si, Gyeonggi-do 449-577, Korea

Abstract - Recently, poly-Si TFT-LCD starts to be mass produced using excimer laser annealing (ELA) poly-Si. The main reason for this is the good quality poly-Si and large area uniformity. We report the influence of channel length and width on poly-Si TFTs performance. Transfer characteristics of n-channel poly-Si thin film transistors fabricated on polycrystalline silicon (poly-Si) thin film transistors (TFTs) with various channel lengths and widths of 2-30 μm has been investigated. In this paper, we analyzed the data of n-type TFTs. We studied threshold voltage (V_{TH}), on/off current ratio (I_{ON}/I_{OFF}), saturation current (I_{DSAT}), and transconductance (g_m) of n-channel poly-Si thin film transistors with various channel lengths and widths.

1. 서 론

엑시머 레이저 어닐링(Excimer Laser Annealing, ELA)을 이용하여 제작되는 저온 다결정 실리콘 박막 트랜지스터(Polycrystalline Silicon Thin Film Transistors, poly-Si TFT)는 높은 전계효과 이동도를 가지고 있어 유리 기판 위에 구동회로와 화소부분을 함께 집적할 수 있는 장점이 있다[1-3]. 그러나 드레인과 게이트에 의한 강한 수평-수직 전계로 인하여 다결정 실리콘 박막의 트랩들을 통해 전자-정공 쌍이 형성되고 이들이 누설전류를 형성하는 것으로 알려져 있다[4]. 또한 소자의 구동 시에, 높은 전류밀도로 인해 약한 Si-Si격자의 결합이 파괴되고 다결정 실리콘 박막과 게이트 절연막 사이의 계면에서 트랩상태가 증가하여 소자의 전기적 특성이 열화되는 것으로 알려져 있으며 이를 보완하기 위해 다양한 구조를 가진 다결정 실리콘 박막 트랜지스터가 보고되고 있다[5-8].

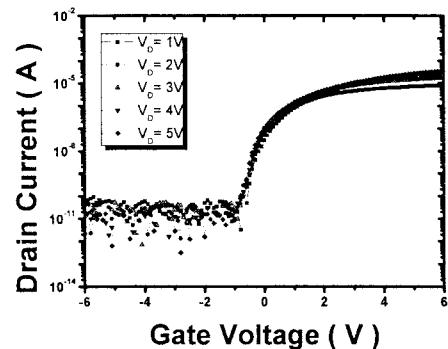
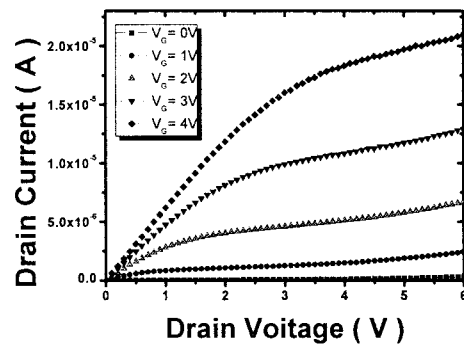
최근까지 알려진 다결정 실리콘 박막 트랜지스터 구조들은 대부분 저 농도 도핑드레인(Lightly doped drain, LDD)이나 게이트-오프셋 구조로서 이들 구조는 박막 트랜지스터의 드레인 접합에 유도되는 수평 전계(Lateral electric field)를 완화시킴으로써 누설전류의 형성을 억제하였다[7][8]. 이들 구조는 소자 내에 저항이 큰 영역을 형성함으로써 드레인 접합에 걸리는 수평 전계를 완화시키는 역할을 하지만 온-상태(the on-state)의 동작에서는 전류의 흐름을 방해하는 요소가 되므로 결과적으로는 구동전류(Driving current, on-current)가 감소하게 된다. 또한 LDD나 게이트-오프셋 구조를 형성하기 위해서는 추가의 마스크 공정이나 이온 주입공정이 요구되는 단점도 있다. 최근에 드레인 접합에 유도되는 수직-전계(vertical electric field)를 감소시키기 위해 산화막 스페이서(Oxide Spacer)를 가지는 다결정 실리콘 박막 트랜지스터가 제안된바 있다[9]. 게이트 산화막 측면에 형성되는 두꺼운 스페이서는 부분적으로 게이트 산화막을 두껍게 형성하여 드레인 접합에서의 수직 전계를 완화시키는 구조이다. 그러나 산화공정과 같은 고온 공정을 이용하므로 유리 기판을 이용한 액정 디스플레이에 적용하기 어려운 단점이 있다.

본 논문에서는 그림 1에서와 같이 TFT를 제작하여 channel length와 width에 따른 특성을 분석하였다.

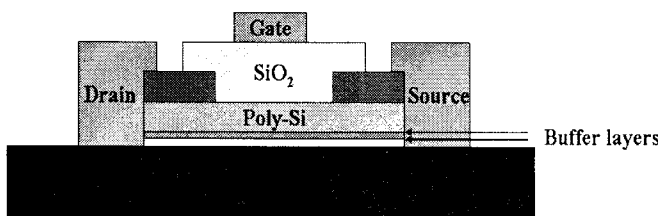
2. 본 론

본 논문에서는 length와 width별로 그림 1과 같이 TFT를 제작하였다. Length는 4, 7μm width는 2, 4, 8, 10, 20, 30μm이다. 여기서 width는 2μm와 30μm을 분석하여 각각의 특성을 비교하는 한편, W/L에 따른 TFT 특성을 조사하였다. 측정은 Keithley SCS-4200 semiconductor test analyzer를 이용하여 room temperature에서 측정을 하였다. 측정된 결과를 그림 2에 나타내었다.

소자가 작아지면 작아질수록 이 때 흐르는 전류량도 작아지게 된다. 이를 높일 수 있는 방안으로는 그래프에서 보이는 것처럼 높은 gate voltage을 인가해주면 되지만 실제 응용하기엔 에너지 손실 및 발열이 많아 사용하기에는 적절하지 않다. 그래프에서 보이는 것처럼 누설전류 값을 줄이기 위한 방안이 최적이라 하겠다. 그러기 위해서는 절연성이 좋은 oxide층을 사용해야 하는데 본 실험에서는 SiO₂를 사용하였으며 high K 물질을 사용하여 oxide층으로 사용하면 누설전류량이 줄어들 것이라 생각된다.

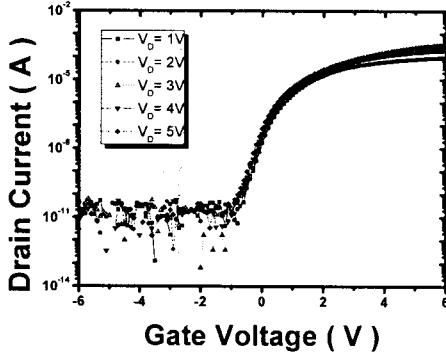
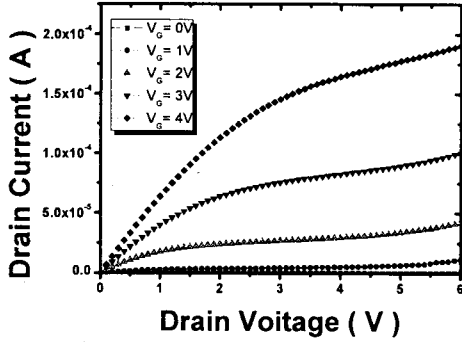


(a) L=4 μm W=2 μm

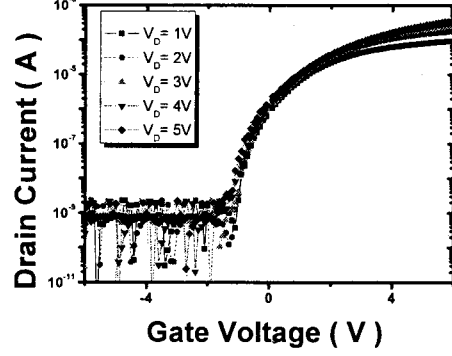
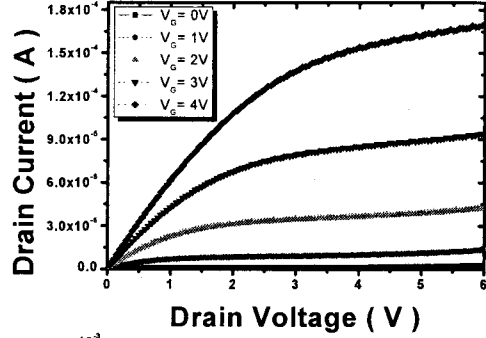


<그림 1> Cross-sectional view of n-poly silicon TFTs.

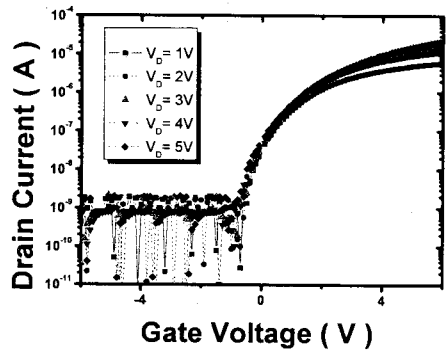
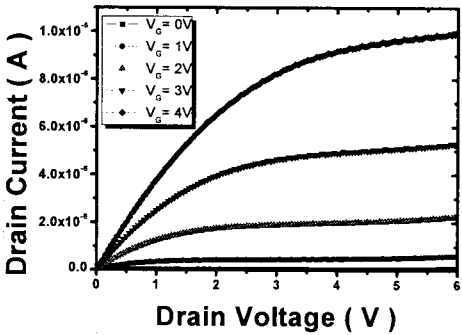
각각의 그래프에서 첫 번째는 V_D - I_D 를, 두 번째는 V_G - I_D 특성을 보여주고 있으며 이 그래프로부터 W/L ratio에 따른 threshold voltage (V_{TH}), on/off current ratio (I_{ON}/I_{OFF}), saturation current (I_{DSAT}), transconductance (g_m)을 조사하였다. 즉, W/L이 증가할수록 V_{TH} , I_{DSAT} , I_{ON}/I_{OFF} , g_m 등이 증가함을 알 수 있었다.



(b) L=4 μm W=30 μm



(d) L=7 μm W=30 μm



(c) L=7 μm, W=2 μm

<그림 2> 제작된 다결정 실리콘 박막 트랜지스터의 전류-전압 전달곡선

[참 고 문 헌]

[1] I-Wei Wu, "Performance of Poly silicon TFT Digital Circuits Fabricated with Various Processing Techniques and Device Architectures", SID 90 Digest, pp307, 1990
 [2] Y.Oana, "Low Temperature Polycrystalline Silicon TFT Technology for Liquid Crystal Display", AMLCD 99, Digest of Tech., pp251, 1999
 [3] Toshida Tsukada, TFT/LCD; Liquid-Crystal Displays Addressed by Thin-Film Transistors, Japanese Technology Reviews, v29, p.26, 1996
 [4] J.G. Fossum, "Anomalous leakage current in LPCVD Polysilicon MOSFETs", IEEE Trans. Electron Devices, vol. ED-32, no. 9, p.1878, 1985
 [5] S. Seki, "Leakage current characteristics of offset-gate-structure polycrystalline-Silicon MOSFET's", IEEE Electron Device Letters, vol. EDL-8, p.434, 1987
 [6] B.H. Min, "A Novel Offset Gated Polysilicon Thin Film Transistor without an Additional Offset Mask", IEEE Electron Device Letters, vol. 16, No. 5, p.161, 1995
 [7] K. Tanaka, "Characteristics of Field-Induced-Drain(FID) Poly-Si TFT's with High On/Off Current ratio", IEEE Trans. Electron Devices, vol. 39, no. 4, p.916, 1992
 [8] K. Nakazawa, "Lightly Doped Drain TFT Structure for Poly-Si LCDs", SID 90 Digest, pp311, 1990
 [9] 유준석, "Birds beak 효과를 이용한 T형 게이트 폴리실리콘 박막 트랜지스터", 전기학회논문지, 제45권 7호, 1996. 7.

3. 결 론

본 논문에서는 n-poly silicon TFT의 channel length와 width에 따른 특성에 관한 특성을 분석하였다. Keithley SCS-4200 semiconductor test analyzer를 이용하여 전류-전압 특성을 측정하였다. 이를 바탕으로 하여 threshold voltage (V_{TH}), on/off current ratio (I_{ON}/I_{OFF}), saturation current (I_{DSAT}), transconductance (g_m)을 조사하였다. 즉, W/L이 증가할수록 V_{TH} , I_{DSAT} , I_{ON}/I_{OFF} , g_m 등이 증가함을 알 수 있었다. 특히 다양한 샘플에 대한 조사는 device의 threshold voltage 특성을 예측하기 위한 좋은 모델이 될 수 있으리라 생각된다.