

BLT박막의 화학적기계적연마 공정시 패턴 크기에 따른 공정 특성

신상헌, 이우선*
조선대학교 전기공학과

Process Characteristics by Pattern Size in CMP Process of BLT Films

Sang-Hun Shin, Woo-Sun Lee*
Department of Electrical Engineering, Chosun University

Abstract - In this work, we first applied the chemical mechanical polishing (CMP) process to the planarization of ferroelectric film in order to obtain a good planarity of electrode/ferroelectric film interface. Bi_{3.25}La_{0.75}Ti₃O₁₂ (BLT) ferroelectric film was fabricated by the sol-gel method. However, there have been serious problems in CMP in terms of repeatability and defects in patterned wafer. Especially, dishing & erosion defects increase the resistance because they decrease the interconnect section area, and ultimately reduce the lifetime of the semiconductor. Cross-sections of the wafer before and after CMP were examined by Scanning electron microscope(SEM). Process characteristics of non-dishing and erosion were investigated.

1. 서 론¹⁾

최근 전원의 공급이 없어도 데이터의 손상이 없는 비휘발성 메모리로서 FRAM(ferroelectric random access memories) 소자가 주목받고 있다. 비휘발성소자는 비휘발성특성, 빠른 동작속도, 저전압 동작 등의 장점으로 휴대용 정보통신기기, ID-card, 게임기, 가전제품 등의 다양한 용도로 이용이 가능하다. 이러한 FRAM 소자의 커패시터로 주로 연구되어지고 있는 물질은 강유전 특성을 가지고 있는 PZT, SBT, BLT 등의 유전물질이다[1-3]. 최근에는 분극 피로가 적고, 비교적 낮은 공정온도 (650℃)에서도 박막 형성이 가능하던 SBT 박막 보다 큰 잔류 분극 값을 가지는 BTO의 Bi³⁺ 이온을 La³⁺ 이온으로 치환하는 BLT (Bi_{3.25}La_{0.75}Ti₃O₁₂) 박막에 대한 연구가 진행되고 있다[4-7]. 비휘발성 메모리용 강유전체 박막의 형성 방법은 주로 물리적 증착방법인 RF magnetron sputtering, PLD 등과 화학적 증착 방법인 MOD, 졸-겔법, MOCVD 등에 의해 이루어진다[8-12]. 이러한 다양한 박막 제조 기술 중에서, 졸-겔법은 양질의 박막을 값싸고, 쉽게 제작할 수 있을 뿐만 아니라, 많은 반도체 제작 기술에도 응용 되어지고 있다. 본 연구에서는 고가의 진공장치를 필요로 하지 않고 주변기기가 저렴한 졸-겔법을 이용하여 Bi_{3.25}La_{0.75}Ti₃O₁₂(BLT) 박막을 제조하였고, 플라즈마 식각 공정을 이용한 BLT 캐패시터의 제조를 대체하기 위한 화학적기계적연마(CMP, chemical mechanical planarization) 공정을 이용한 BLT 캐패시터 제작을 위하여 BLT 박막의 화학적기계적연마 공정시 패턴 크기(Pattern Size)에 따른 CMP 연마 전과 후의 공정특성을 연구하였다.

2. 실험

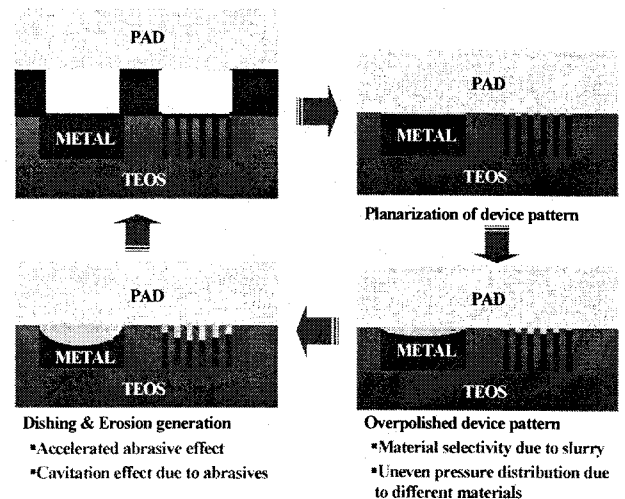
본 실험에서는 4-inch Pt/Ti/Si 웨이퍼 위에 모든 BLT를 증착시켰다. 기판은 H₂SO₄:H₂O₂(1:4), D₂O:HF (DHF:10:1), de-ionized water (DIW) 세척하였다. BLT 졸-겔은 Bi_{3.25}La_{0.75}Ti₃O₁₂ 의 조성을 가지고 있다. BLT 졸-겔을 위한 spin-coat는 3000rpm에서 15초 동안 도포하였다. 증착된 BLT막은 200℃의에서 5분 동안 건조하고 전기로에서 700℃에서 20분 동안 열처리하였다. 연마 패드는 Rodel 사의 IC-1400 패드를 사용하였다. 테이블 속도는 50rpm, 헤드 속도는 50rpm, 헤드 압력은 100,200, 300gf/cm²으로 변화시켜 주었으며, 슬러리의 유속은 90ml/min으로 설정하여 30초 동안 연마를 진행하였다. 또한 패드 컨디셔닝(pad conditioning) 압력은 2kgf/cm²으로 고정하였고, 연마 패드는 교체 없이 사용하였다. 슬러리의 에이징(aging) 현상을 방지하기 위하여 연마 전에 Sonic Tech사의 초음파 교반기로 충분히 교반시켜 주었다. CMP 공정 후 웨이퍼 세정은 3분 동안 NH₄OH :H₂O₂:H₂O를 1:2:7의 비율로 제조된 SC-1 용액에서 3분간, 1:10의 DHF 용액에서 2분, 마지막으로 초음파 세척기를 이용하여 4분 동안 세척하였다. 슬러리는 silica slurry를 사용하였다. 모든 연마 공정은 G&P Technology사의 POLI-450 장비로 진행하였다. 연마율을 계산할 때 측정해 따른 오차를 방지하기 위해 J.A. Woollam사의 M-2000V 엘립소미터(spectroscopic ellipsometer)를 이용하여 측정하고, BLT박막의 화학적기계적연마 공정시 패턴크기에 따른 웨이퍼의 횡단면은 SEM (Scanning electron microscope)을 이용하여 측정하였다.

<표 1> CMP 공정 조건.

<Table 1> Process Conditions of CMP.

CMP parameter	CMP process conditions
Wafer	SiO ₂ patterning wafer (0.4, 0.8μ)
Pad	IC-1400™
Slurry	Silica slurry
Slurry flow rate	90 ml/min
Head speed	50 rpm
Down Force	100, 200, 300 gf/cm ²
Table speed	50 rpm
Polishing time	30 sec

3. 결과 및 고찰



<그림 1> Dishing 과 Erosion 형성 메커니즘

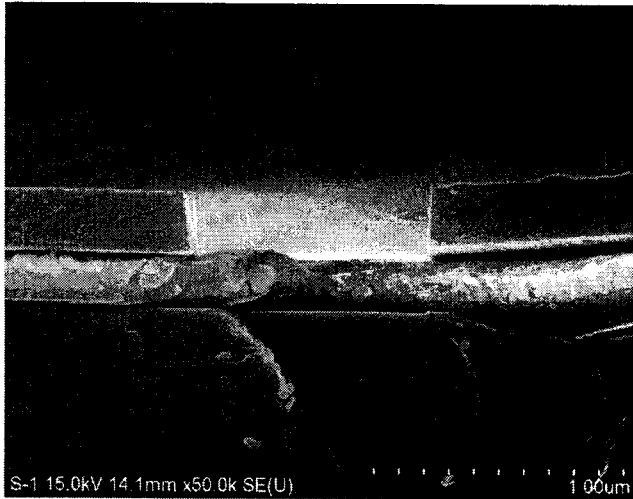
<Fig. 1> Mechanism for generating dishing and erosion.

디싱은 화학적기계적연마 공정 후 구조물내의 가장 낮은 산화물 층과 최중 산화물 층 사이의 수직 거리로써 정의 된다. 디싱현상은 화학적기계적연마 공정에서 가장 심각한 문제들 중에 하나이다. 디싱현상은 일반적으로 슬러리 물질의 선택성, 압력 분포 및 공동현상(Cavitation)등의 의해 야기될 수 있다. 또한 디싱 및 부식 현상은 절연과피, 높은 누설전류, 빈약한 CV 동작등을 유발시킬 수 있으며, 궁극적으로 반도체의 수명을 단축시킨다. 최근에는 디싱 및 부식 현상을 줄이는 방법으로 연마제 농도를 최소화 하거나, 산화제 농도를 줄이는, 혹은 패드의 표면 거칠기를 증가시키는 방법 등이 소개되고 있다[13-15].

이 논문에서는 BLT박막을 제조하기 위한 화학적기계적 공정시 패턴 크기에 따른 여러 공정 특성을 알아보고, 디싱 및 부식 현상을 줄이는 올바른 공정 특성을 알아보고자 한다. 그림 1은 디싱과 침식현상의 형성 메커니즘을 나타낸 그림이다.

*. Corresponding Author : wslee@chosun.ac.kr

그림 2는 SiO₂ 패터닝 웨이퍼에서의 횡단면 SEM 형상을 나타낸 것이다. 웨이퍼 내에는 각각 크기가 다른 패터를 가지고 있으며, 아래 그림 2는 0.8 μm, 그림 3은 0.4 μm 패터의 웨이퍼를 나타낸 것이다. 이 논문의 실험에서는 BLT박막 제조를 위한 줄-결의 효과적인 도포를 위하여 몇가지 spin-coat 방법을 이용하였다.



<그림 2> 빈 패터닝 웨이퍼에서의 횡단면 SEM 형상.
<Fig. 2> SEM image of cross-section in SiO₂ patterning wafer.

그림 3은 BLT박막 제조를 위한 여러 공정 특성의 화학적기계적연마 중 디싱 및 부식현상이 발생한 BLT박막의 횡단면 SEM(Scanning electron microscope) 형상이다. 그림 3에서 보는바와 같이 동일한 CMP 공정 조건 중 헤드 압력을 300gf/cm²으로 하였을 경우, BLT박막 횡단면 형상은 디싱 및 부식 현상이 발생했음을 알 수 있다. 앞부분에서 언급한 바와 같이 디싱 및 부식 현상은 반도체 상호 연결 단자 부위를 감소시킴으로써 저항을 증가시킬 수 있으며, 그 결과 반도체 수명을 감소시킬 수 있다. 결국 BLT박막을 위한 CMP 특성의 분석은 FRAM 박막의 캐퍼시터 제조를 위한 선행조건임을 알 수 있었고, BLT 박막의 화학적기계적 연마 중 헤드 압력은 디싱 및 부식 현상과 관련하여 주요 요소임을 알 수 있었다.

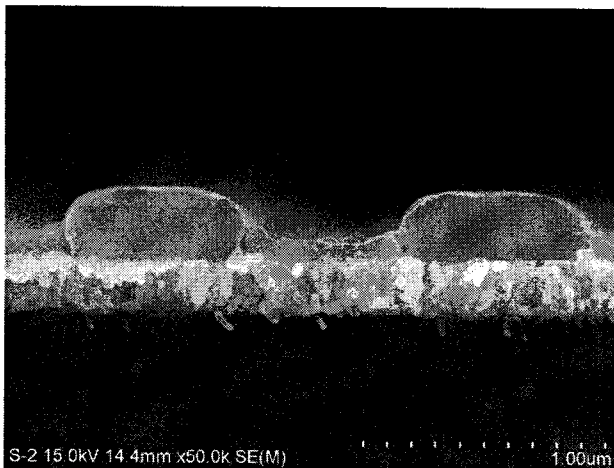


그림 3> CMP 후 BLT 박막의 횡단면 SEM 형상.
<Fig. 3> SEM image of cross-section in BLT films after CMP.

4. 결 론

본 논문은 BLT₂(Bi_{3.25}La_{0.75}Ti₃O₁₁) 박막의 화학적기계적연마 공정시 패터닝 크기에 따른 연마 특성을 연구하기 위해 우선, 디싱 현상의 형성 메커니즘과 반도체에 끼치는 영향을 알아보았다[13-15]. 다음으로 CMP전 SiO₂ 패터닝 웨이퍼의 횡단면 SEM 형상을 측정해 보았으며, 화학적기계적연마 공정 후 헤드압력변화(100,200, 300gf/cm²)에 따른 BLT박막의 횡단면 SEM 형상을 측정하였다. CMP공정 조건 중 헤드 압력을 300gf/cm²으로 하였을 경우 BLT박막에 디싱 및 부식 현상이 발생함을 알 수 있었다. 디싱 및 부식 현상은 BLT 캐퍼시터 제조를 위해 고려해야 할 주요한 요소임을 알 수 있었고, 디싱 및 부식현상이 발생하지 않은 BLT박막 CMP공정 조건을 찾음으로써 이후 연구에서 이루어질 BLT박막의 캐퍼시터 제조와 소자특성 연구

에 중요한 자료로 사용될 것으로 사료된다. 구체적인 결과에 대해서는 대한전기학회 2006년 추계학술대회 현장에서 공개하고자 한다.

[참 고 문 헌]

- [1] J. F. Scott and C. A. Paz de Araujo, Science 246, (1989)
- [2] 김병호, 윤희성, 정병식, 신동석, "MOD 법에 의한 강유전성 Sr_xBi_yTa₂O_{9-a} (SBT)박막의 제조 및 후열처리 효과에 관한 연구", 전기전자재료학회 논문지, 11권, 3호, p. 229, 1998
- [3] Di Wu, Aidong Li, and Tao Zhu "Ferroelectric properties of Bi_{3.25}La_{0.75}Ti₃O₁₂ thin films prepared by chemical solution deposition", J. Appl. Phys., Vol. 88, p. 5941, 2001
- [4] K. Amanuma, T Hase, and Y. Miyasaka, "Preparation and Ferroelectric properties of Sr_xBi_yTa₂O_{9-a} thin films: Appl. Phys. Lett., Vol. 66. P, 221, 1995
- [5] N. H. Kim, Y. J. Seo, P. J. Ko, W. S. Lee, "Polishing Mechanism of TEOS-CMP with High-temperature Slurry by Surface Analysis" Transactions on Electrical and Electronic Materials, Vol.6, No.4, August 2005.
- [6] 고희주, 박성우, 김남훈, 서용진, 이우선, "산화막 CMP 공정에서 슬러리 온도 변화에 따른 연마특성" Journal of Korean Institute of Electrical and Electronic Material Engineers, Vol. 18, No. 3, pp.219-225, 2005.
- [7] 이우선, 고희주, 이영식, 서용진, 홍광준, "실리카 슬러리의 에이징 효과 및 산화막 CMP 특성" Journal of Korean Institute of Electrical and Electronic Material Engineers, Vol. 17, No. 2, pp.138-143, 2004.
- [8] Y. Nakao, T. Nakamura, A. Kamisawa and H. Takasu, Integrated Ferroelectrics, 16, 23(1995)
- [9] D. Wu, A. Li, H. Ling, T. Yu, Z. Liu and N. Ming, J. Appl. Phys. 87, 1975 (2000)
- [10] M. Noda, H. Sugiyama and M. Okuyama, Jpn. Phys. 38, 5432 (1999)
- [11] N. Nukaga, K. Ishikawa and H. Funakubo, Jpn. J. Appl. Phys. 38, 5432 (1999)
- [12] H. J. Chang, K. J. Suh, M. Y. Kim and G. K. Chang, J. Korean Phys. Soc. 32 S1679 (1998)
- [13] Woo Ick Jang, J. Korea Phys. Soc. 34, 69 (1998)
- [14] Chul-Ju Kim, J. Korea Phys. Soc. 32, 731 (1998)
- [15] M. Faolle, In proceedings of CMP-MIC Conference (1998), pp. 128-133.