

Damascene 공정을 이용한 Pb(Zr,Ti)O<sub>3</sub> 캐패시터 제조 연구

고필주, 이우선\*  
조선대학교 전기공학과

Fabrication of Pb(Zr,Ti)O<sub>3</sub> Thin Film Capacitors by Damascene Process

Pil-Ju Ko, Woo-Sun Lee\*  
Department of Electrical Engineering, Chosun University

**Abstract** - The ferroelectric materials of the PZT, SBT attracted much attention for application to ferroelectric random access memory (FRAM) devices. Through the last decade, the lead zirconate titanate (PZT) is one of the most attractive perovskite-type materials for the ferroelectric products due to its higher remanent polarization and the ability to withstand higher coercive fields. FRAM has been currently receiving increasing attention for one of future memory devices due to its ideal memory properties such as non-volatility, high charge storage, and faster switching operations. In this study, we first applied the damascene process using chemical mechanical polishing (CMP) to the fabricate the Pb<sub>1.1</sub>(Zr<sub>0.52</sub>Ti<sub>0.48</sub>)O<sub>3</sub> thin film capacitor in order to solve the problems of plasma etching such as low etching profile and ion charging. The structural characteristics were compared with specimens before and after CMP process of PZT films. The scanning electron microscopy (SEM) analysis was performed to compare the morphology surface characteristics of Pb<sub>1.1</sub>(Zr<sub>0.52</sub>Ti<sub>0.48</sub>)O<sub>3</sub> capacitors. The densification by the vertical sidewall patterning and charging-free ferroelectric capacitor could be obtained by the damascene process without remarkable difference of the characteristics.

본 동안 세척하였다. 슬러리 조성은 silica pH (10.3, 12.3)로 조성하였다. 모든 연마 공정은 G&P Technology사의 POLI-450 장비로 진행하였다. 연마율을 계산할 때 측정에 따른 오차를 방지하기 위해 J.A. Woollam사의 M-2000V 엘립소미터(spectroscopic ellipsometer)를 이용하여 측정하고, 증착 전후 SiO<sub>2</sub> 패턴의 형성과 CMP 전후의 패턴의 형성을 관찰하기 위해 SEM으로 분석하였다.

<표 1> CMP 공정조건 및 슬러리 조성.

CMP Parameter	CMP Conditions
Wafer	SiO <sub>2</sub> patterning wafer ( 0.8um )
Polishing time	30 sec
Slurry flow rate	90 ml/min
Head speed	50 rpm
Table speed	50 rpm
Pad	IC 1400 <sup>®</sup>
Slurry composition	Silica Slurry pH 11.3

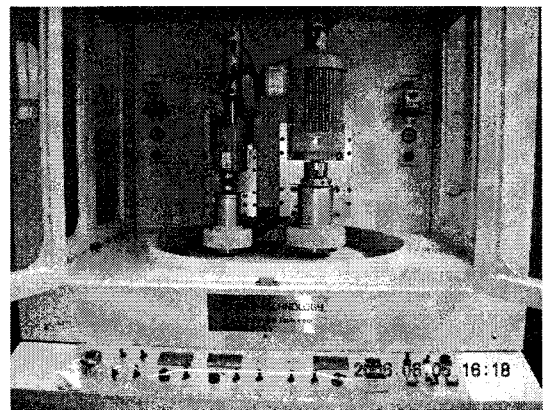
1. 서 론

강유전체 메모리(FRAM)는 강유전체 박막(PZT, SBT, BLT)의 분극반전과 그 이력특성을 이용하여 비휘발성, 고속, 고집적도, 저소비 전력화를 실현할 수 있는 이상적인 메모리이다[1]. 최근 반도체 제조 공정은 웨이퍼의 대구경화, 최소 선폭의 미세화, 초고집적도 및 다층 배선화가 이루어지면서 초점심도를 만족시키기 위해 평탄화 CMP(chemical mechanical polishing) 공정이 중요한 공정으로 인식되고 있다[2-6]. 또한 CMP 공정은 집적회로의 다층 배선 구조를 실현하기 위한 ILD (inter-layer dielectric) 층, PMD (pre-metal dielectric) 층, IMD(inter-metal dielectric)층을 평탄화 하는데 효과적으로 사용되고 있을 뿐만 아니라, 다양한 소자 제작 및 물질 등에도 광범위하게 응용되고 있다[6-11]. 여러 가지 박막의 제조 방법 Sputtering, Sol-Gel법[11], CVD, Evaporation 방법 등이 있으나, 본 연구에서는 Pb<sub>1.1</sub>(Zr<sub>0.52</sub>Ti<sub>0.48</sub>)O<sub>3</sub>조성을 갖는 졸-겔을 이용하여 Si/Ti/Pt/SiO<sub>2</sub> 패턴 산화막에 증착하였다. CMP 공정의 damascene 방법을 이용한 증착된 PZT 박막의 캐패시터 제조에 대하여 연구하였다.[12-14].

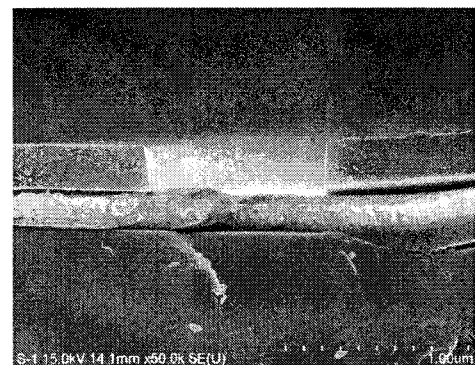
2. 실험

본 실험에서는 4-inch SiO<sub>2</sub>/Pt/Ti/Si가 증착된 웨이퍼를 습식 식각하여 SiO<sub>2</sub> 패턴을 형성하였다. 기판은 H<sub>2</sub>SO<sub>4</sub>:H<sub>2</sub>O<sub>2</sub>(1:4), D<sub>2</sub>O:HF (DHF:10:1), de-ionized water (DIW) 세척하였다. 형성된 모든 SiO<sub>2</sub> 패턴위에 PZT를 증착시켰다. PZT 졸-겔 용액은 Pb<sub>1.1</sub>(Zr<sub>0.52</sub>Ti<sub>0.48</sub>)O<sub>3</sub>의 조성을 가지고 있다. PZT 졸-겔을 spin-coat에서 3000rpm에서 30초 동안 도포하였다. 증착된 PZT막은 200℃에서 1시간 동안 건조하고 전기로에서 1100℃에서 30분 동안 열처리 하였다. 연마 패드는 Rodel 사의 IC-1400을 사용하였다. 공정조건은 표 1에서처럼 테이블 속도는 50rpm, 헤드 속도는 50rpm, 헤드 압력은 300gf/cm, 슬러리의 유속은 90ml/min으로 설정하여 30초 동안 연마를 진행하였다. 또한 패드 컨디션링(pad conditioning) 압력은 2kgf/cm으로 고정하였고, 연마 패드는 교체 없이 사용하였다. 슬러리의 에이징(aging) 현상을 방지하기 위하여 연마 전에 Sonic Tech사의 초음파 교환기로 충분히 교환시켜 주었다. CMP 공정 후 웨이퍼 세정은 3분 동안 NH<sub>4</sub>OH :H<sub>2</sub>O<sub>2</sub>:H<sub>2</sub>O를 1:2:7의 비율로 제조된 SC-1 용액에서 3분간, 1:10의 DHF 용액에서 2분, 마지막으로 초음파 세척기를 이용하여 5

3. 결과 및 고찰



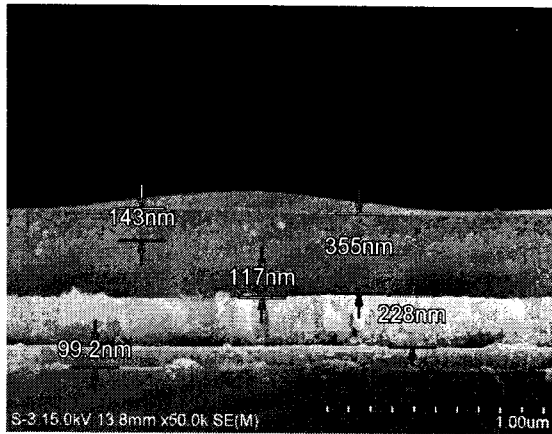
<그림 1> G&P Technology 사의 POLI-450 장비 사진.



<그림 2> SiO<sub>2</sub> 패턴의 SEM 사진.

\*. Corresponding Author : wslee@chosun.ac.kr

그림 1은 본 실험에 사용한 G&P Technology사의 POLI-450장비를 나타낸 것으로, 4 inch 헤드에 PZT박막을 부착시켜 연마를 하였다. 그림 2는 4-inch SiO<sub>2</sub>/Pt/Ti/Si가 증착된 웨이퍼를 습식 식각하여 SiO<sub>2</sub> 패턴을 형성한 SEM 단면 이미지 사진이다. SiO<sub>2</sub> 패턴은 크기는 가로x세로 약 0.8x0.8um 이고, SiO<sub>2</sub> 패턴의 높이는 약 200nm로 형성 되어 있다.



〈그림 3〉 SiO<sub>2</sub> 패턴위에 PZT를 증착 한 SEM 사진.

그림 3은 4-inch SiO<sub>2</sub>/Pt/Ti/Si가 증착된 웨이퍼를 습식 식각한 SiO<sub>2</sub> 패턴 위에 스펀코팅으로 PZT 졸-겔을 증착한 상태이다. Si 위에 Ti가 100nm정도 증착되어 있고 그 위에 Pt가 230nm정도가 증착되어 있다. 200nm정도의 SiO<sub>2</sub> 패턴 위에 PZT박막이 355nm가 증착되어 있다. PZT 캐패시터 제작을 위해서는 150nm정도를 CMP공정으로 평탄화와 제거가 이루어 져야 할 것이다. 기존의 연구에서 PZT 박막의 CMP공정 후 연마율은 표 1과 같은 공정조건에서 분당 350nm정도이다. 따라서, 150nm의 PZT박막을 제거하기 위해서는 표 1과 같은 공정조건에서 연마시간을 30sec로 설정하여 산화막(end-point)까지 연마하였다. CMP 연마 공정을 진행한 이후의 구체적인 결과에 대해서는 대한전기학회 2006년 추계학술대회에서 공개하고자 한다.

#### 4. 결 론

본 논문에서는 강유전체 메모리(FRAM)적용을 위해 damascene공정을 이용한 캐패시터 제작 연구를 하였다. 연구를 위해 4-inch SiO<sub>2</sub>/Pt/Ti/Si가 증착된 웨이퍼를 습식 식각한 SiO<sub>2</sub> 패턴 위에 스펀코팅으로 PZT 졸-겔을 증착하였다. 증착된 PZT박막의 높이는 350nm 정도이고 산화막(end-point)위에 PZT박막의 두께는 150nm 정도이다. PZT 캐패시터 제작을 위해서 평탄화와 제거가 이루어져야 한다. 기존의 연구에서 PZT 박막의 연마율은 350nm이고, 150nm를 제거하기 위해서는 30sec를 연마하여야 산화막 패턴까지 PZT박막이 제거가 될 것이다. 비균일도 특성도 4%정도로 안정된 특성을 나타내었다. 향후 CMP 공정의 damascene 방법을 이용한 PZT 캐패시터 제작과 관련한 구체적인 결과에 대해서는 대한전기학회 2006년 추계학술대회 현장에서 공개하고자 한다.

#### [참 고 문 헌]

[1] J. F. Scott, *Ferroelectr. Rev.* 1, 1 1998.  
 [2] F. B. Kaufman, D. B. Thompson, R. E. Broadie, M. A. Jaso, W. L. Gutherie, D. J. Pearson and M. B. Small, "Chemical Mechanical Polishing for Fabricating Patterned W Metal Features as Chip Interconnects", *J. Electrochem. Soc.*, Vol. 138, No. 11, pp. 3460, 1991  
 [3] Woo-Sun Lee, Sang-Young Kim, Yong-Jin Seo, and Jong-Kook Lee, "An optimization of tungsten plug chemical mechanical polishing(CMP) using different consumables" *Journal of Materials Science : Materials in Electronics*, Vol. 12, No. 1, p. 63, 2001  
 [4] J. Huang, H. C. Chen, J. Y. Wu, and W. Lur, "Investigation of CMP Micro-Scratch in the Fabrication of Sub-quarter Micron VLSI circuit". *Proceeding of Chemical Mechanical Polishing - Multilevel Interconnection Conference (CMP-MIC)*, pp. 77-79, 1999  
 [5] Y. J. Seo, S. W. Park, S. Y. Jeong, W. S. Choi, and S. Y. Kim, "Slurry Induced Metallic Contaminations on Different Silicate Oxides by as-deposited and Post-CMP Cleaning", *Proceedings of Chemical Mechanical Planarization for ULSI Multilevel Interconnection Conference (CMP-MIC-2001)*, Santa Clara, CA, USA. (Mar. 5-9, 2001). pp. 287-290, 2001

[6] 김상용, "Chemical Mechanical Polish 공정변수의 이해" *Journal of KI EEME*, Vol.12, No.10, pp.9-18, 1999  
 [7] Weidan Li, Dong Wook Shin, Minoru Tomozawa, Shyam p.Murarka, "The effect of the polishing pad treatments on the chemical-mechanical polishing of SiO<sub>2</sub> films" *Thin Solid Films*, issues 1-2, vol 270, pp 601-606, December 1995.  
 [8] H. Hodne, A. Saasen, "The effect of the cement zeta potential and slurry conductivity on the consistency of oilwell cement slurries" *cement and concrete research*, Vol 30, No 11, pp 1767-1772, 2000  
 [9] Kevin Cooper, Anand Gupta, and Stephen Beaudoin, "THEORETICAL ANALYSIS OF THE ADHESION OF ASYMMETRICAL ALUMINA PARTICLES TO THIN FLIMS ", *Process of Electrochemical society*, Vol. 37, No. 1, pp. 391-395, 1999  
 [10] 고필주, 박성우, 김남훈, 서용진, 이우선, "산화막 CMP 공정에서 슬러리 온도 변화에 따른 연마특성" *Journal of Korean Institute of Electrical and Electronic Material Engineers*, Vol. 18, No. 3, pp.219-225, 2005  
 [11] 백동수, 최형욱, 김준한, 신현용, 김규수, 박창엽, "Sol-gel법과 급속 열처리에 의한 PZT 강유전 박막의 제작과 그 특성" *Journal of Korean Institute of Electrical and Electronic Material*  
 [12] B. H. Kim, J. H. An, K. S. Hwang, B. A. Kang, K. Nishio, and T. Tauchiya, "AFM analysis of chemical-solution-derived epitaxial PZT films prepared by using oxidizing or non-oxidizing pyrolysis", *J. Korean Phys. Soc.*, Vol. 44, No. 2, p. 346, 2004.  
 [13] N. H. Kim, Y. J. Seo, P. J. Ko, W. S. Lee, "Polishing Mechanism of TEOS-CMP with High-temperature Slurry by Surface Analysis" *Transactions on Electrical and Electronic Materials*, Vol.6, No.4, August 2005.  
 [14] 이우선, 고필주, 이영식, 서용진, 홍광준, "실리카 슬러리의 에이징 효과 및 산화막 CMP 특성" *Journal of Korean Institute of Electrical and Electronic Material Engineers*, Vol. 17, No. 2, pp.138-143, 2004.