

Floating p-well 전압 감지 방법과 수평형 절연 게이트 바이폴라 트랜지스터(LIGBT)를 이용한 새로운 1200V 절연 게이트 바이폴라 트랜지스터(IGBT)의 보호회로

조규현, 지인환, 한영환*, 이병철*, 한민구
 서울대학교 전기컴퓨터 공학부, *한국 원자력 연구소

A New 1200V PT-IGBT with Protection Circuit employing the Lateral IGBT and Floating p-well Voltage Sensing Scheme

Kyu-Heon Cho, In-Hwan Ji, Young-Hwan Han*, Byung-Chul Lee* and Min-Koo Han
 School of Electrical Eng. & Computer Science, Seoul National University, *Korea Atomic Energy Research Institute

Abstract - 절연 게이트 바이폴라 트랜지스터 (Insulated Gate Bipolar Transistor : IGBT)는 높은 전류구동 능력과 높은 입력 임피던스 특성으로 인해 대전력 스위칭 소자로 널리 응용되고 있다. 특히, 대용량 모터 구동을 위해 응용되는 경우, 모터의 부하 특성상, 모터의 단락에 의한 단락 회로 (Short-circuit fault) 현상을 비롯한 클램핑 다이오드의 파손으로 인한 unclamped 유도성 부하 스위칭 (UIS) 상황에서 견딜 수 있도록 설계되어야 한다. 이를 위해, 이전 연구를 통해 Floating p-well을 600V급 IGBT에 도입함으로써 UIS 상황에서 IGBT가 견딜 수 있는 에너지(항복 에너지)를 증가시키고 Floating p-well 전압을 감지함으로써 단락 회로 상황에서 IGBT가 보호될 수 있도록 보호회로를 제안하고 검증하였다. 그러나 이 보호회로는 수평형 금속 산화막 반도체 전계 효과 트랜지스터 (Lateral MOSFET)로 제작됨으로써 보호회로 기능을 수행하기 위해서는 넓은 면적을 요구하였다. 또한, 정상적인 동작 상황에서 오류를 감지 (오류 감지: False detection)하는 동작으로 인해 추가적인 filter를 요구함으로써 보호회로 동작 속도를 감소시켰다. 이러한 단점을 해결하기 위해, 수평형 절연 게이트 바이폴라 트랜지스터 (Lateral IGBT : LIGBT)를 보호회로에 적용함으로써 LIGBT의 높은 전류 구동능력을 이용하여 기존 보호회로 면적의 30% 수준의 보호회로를 구현하였다. 또한, 구현된 보호회로는 오류 감지 현상을 제거함으로써 보호회로의 동작 속도를 개선하였다. 제안된 보호회로와 1200V급 IGBT는 7장의 마스크를 이용한 표준 수평형 IGBT 공정을 이용하여 제작되었으며, 특히, 전자빔 조사를 이용하여 턴오프 속도를 개선함으로써 고속 스위칭에 적합하도록 최적화 되었다.

1. 서 론

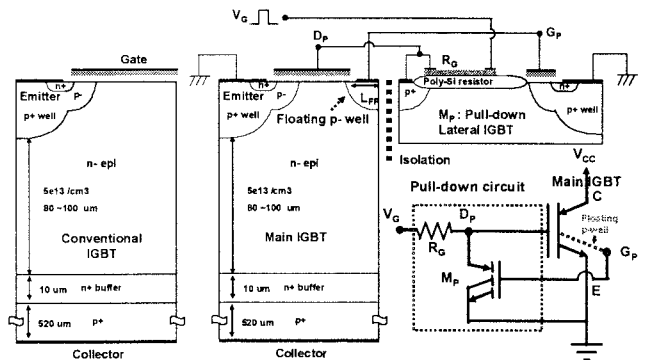
절연 게이트 바이폴라 트랜지스터 (Insulated Gate Bipolar Transistor : IGBT)는 단락 회로 상황에서 높은 전력소비로 인한 열과괴로부터 IGBT를 보호하기 위해 단락 회로 보호를 필요로 하는 것으로 알려져 있다. [1][2] 전류감지 방법, de-saturation detection 및 V_{GE} 감지 방법과 같은 다양한 IGBT의 오류 보호회로들이 보고되었다. [2] 이전 제안된 보호회로들은 일반적으로 애벌런치(Avalanche) 수용력에 대한 향상이 고려되지 않은 가운데, 단락 회로보호에 초점을 맞추고 있다. [3] 그러나, IGBT는 환류 다이오드의 고장 때문에 유도성 부하 스위칭 상황에서 일시적인 애벌런치 항복을 겪을 수도 있다. 따라서 애벌런치 에너지가 함께 고려되어야 한다. [4] 단락 회로로부터 IGBT를 보호하는 것과 함께 IGBT의 애벌런치 에너지를 높이기 위해 우리는 Floating p-well 전압 감지 방법과 pull-down 수평형 금속 산화막 반도체 전계 효과 트랜지스터 (Lateral MOSFET)를 이용한 보호회로를 장착한 600V PT-IGBT를 이미 제안한 바 있다. [3][4] pull-down Lateral MOSFET의 칩 면적은 고장 상태에서 IGBT의 게이트전압을 줄이기 위해 pull-down 저항에 충분한 전류를 공급할 수 있도록 커져야 한다. 따라서 보호회로의 전체 면적은 안정된 pull-down 동작을 구현하기 위해 늘어나게 된다.

본 연구의 목적은 보호회로의 전체 면적을 최소화하기 위해 Lateral MOSFET 대신, pull-down 수평형 절연 게이트 바이폴라 트랜지스터 (Lateral IGBT : LIGBT)를 이용한 새로운 1200V 절연 게이트 바이폴라 트랜지스터의 보호회로를 제안하는 것이다. 그 이유는 LIGBT의 전류 제한능력이 IGBT의 쌍극성 동작(Bipolar operation) 때문에 Lateral MOSFET의 전류 구동능력보다 우수하기 때문이다. [5] 우리는 또한 pull-down 트랜지스터의 게이트 산화막을 보호하기 위해 단위 pitch를 따라 1200V PT-IGBT의 Floating p-well 전압 포화정도를 확인했다. 보호회로를 이용한 1200V PT-IGBT는 어떠한 추가 마스크도 사용하지 않으면서 평면 IGBT 공정을 이용하여 제작된다. 순방향 I-V 및 차단 특성, 스위칭 그리고 단락 회로 동작 특성이 성공적으로 측정되었다.

2. 본 론

2.1 오류 감지 방법

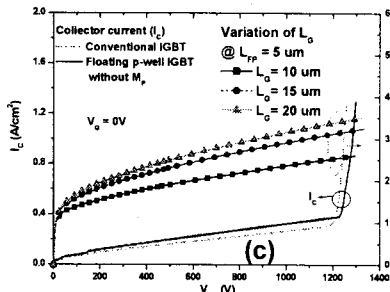
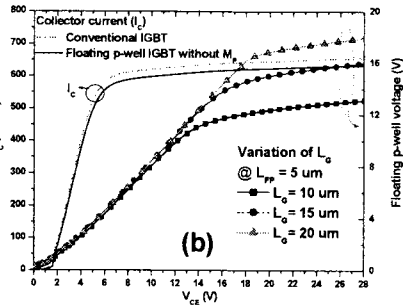
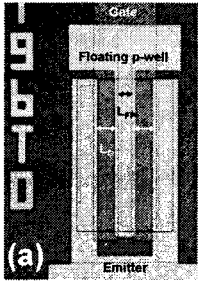
<그림 1>은 제작된 소자들의 단면도를 나타낸다. pull-down Lateral IGBT(M_p)와 poly-Si resistor(R_G)는 동일한 공정을 사용하여 main IGBT와 함께 제작되었다. [3] M_p 는 main IGBT로부터 고립되어 있다. <그림 2> (a)는 Floating p-well을 이용한 proposed IGBT의 단위 cell을 나타낸다. Floating p-well 영역은 p+collector / n-drift(n-epi) / Floating p-well과 같은 수직 pnp 구조의 개방된 에미터 부분이다. Floating p-well 전압은 Floating p-well과 n-drift(n-epi)영역사이에 있는 공핍층이 홀 전류를 게이트 산화막 아래의 p-base로부터 p+ well 바닥까지 이동시키므로 IGBT가 고전압 전류포화 모드로 되었을 때 포화된다. Floating p-well 전압의 포화 정도는 게이트 길이(L_G)가 짧아지면서 감소한다. Floating p-well 길이(L_{FP})는 Floating p-well과 n-drift(n-epi) 영역 사이의 접합부분에 존재하는 수직 전기장이 L_{FP} 에 의존하지 않으므로 Floating p-well 전압에 대한 의존도가 크지 않다. main IGBT와 M_p 의 문턱전압(V_{TH})은 각각 4.1V와 3.3V이다. M_p 의 폭과 R_G 의 저항값은 각각 200 μ m과 500 Ω 이다. 오류 감지는 M_p 의 게이트에 Floating p-well 전압을 가함으로써 이루어진다. [3]



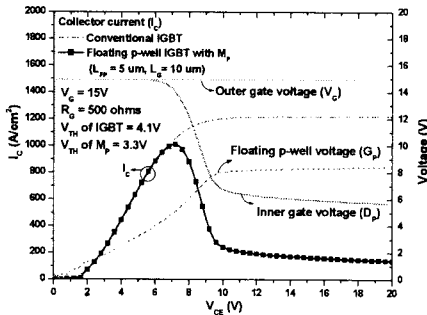
(a) conventional (b) proposed
<그림 1> conventional IGBT(a)와 제안된 Floating p-well 전압 감지 방법을 이용한 보호회로가 존재하는 IGBT(b)의 단면도와 등가회로

2.2 실험 결과

<그림 2> (b)에서 볼 수 있듯이, pull-down 회로가 없는 main IGBT의 Floating p-well 전압(G_p 전압)은 컬렉터 전압(V_{CE})이 증가하면서 포화된다. G_p 의 포화전압은 인접한 Floating p-well 내의 소수 캐리어가 줄어들어 게이트 길이(L_G)가 짧아짐에 따라 감소한다. 그 이유는 G_p 전압이 인접한 Floating p-well 내에 존재하는 소수 캐리어 밀도에 비례하기 때문이다. p+ 컬렉터로부터 주입된 소수 캐리어의 전류흐름은 Floating p-well과 p+ well 사이의 거리가 짧아짐에 따라 게이트 산화막 아래의 인접한 Floating p-well에서 p+ well의 바닥까지 이동한다. [4] <그림 2> (c)는 오류 감지와 pull-down Lateral IGBT(M_p)의 게이트 산화막 결함을 방지하는 순방향 차단 상태에서 G_p 전압이 M_p 의 문턱전압(V_{TH}) 이상으로 증가하지 않음을 보여준다. 또한 G_p 전압은 순방향 차단 상태에서 L_G 가 공핍층 경계부분의 향상된 굴곡으로 인해 짧아지기 때문에 감소한다. [4] 100A/cm² 에서 proposed IGBT의 순방향 전압 강하는 JFET 저항 때문에 conventional IGBT보다 0.1V 정도 증가한다. [4]

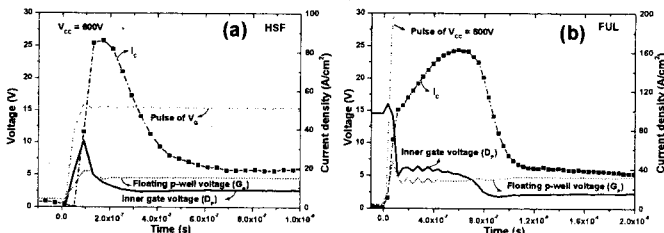


〈그림 2〉 1200V PT-IGBT 단위 cell의 평면도(a)와 순방향 I-V 측정결과(b) 및 M_p 가 없는 main IGBT의 게이트 길이(L_g) 변화에 따른 차단 특성(c)



〈그림 3〉 pull-down LIGBT를 이용한 main IGBT의 순방향 I-V 측정결과

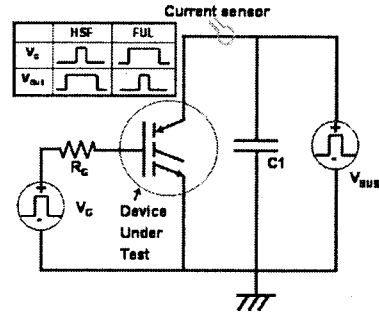
〈그림 4〉는 Hard Swing Fault (HSF)와 Fault Under Load (FUL) 상황에서의 단락 회로 동작을 보여준다. main IGBT의 컬렉터는 두 상황 하에서 600V의 V_{CC} 전압을 필요로 한다. Inner gate voltage(D_p)는 G_p 전압을 감지하여 M_p 가 턴오프되기 때문에 오류 상태에서 성공적으로 감소한다. 스위칭 동작에 대한 pull-down 회로의 효과를 알아보기 위해 유도성 부하 스위칭 특성을 측정했다. M_p 는 G_p 전압이 M_p 의 문턱전압 이상으로 증가하지 않기 때문에 정상적인 턴온 전이상태 동안에는 동작하지 않는다.



〈그림 4〉 HSF(a)와 FUL(b) 상태에서의 단락 회로 동작의 측정결과

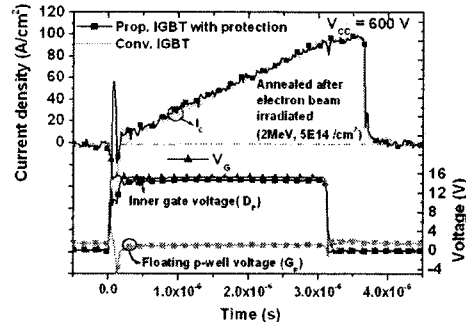
〈그림 5〉는 HSF와 FUL관련 단락회로를 검증하기 위한 회로이다. HSF는 컬렉터에 V_{CC} (600V) 전압이 걸려있는 off 상태의 main IGBT에 게이트 전압 V_G 가 R_G (500 Ω)를 통해 게이트에 가해짐에 따라 전압이 상승하는 경우로 초기 fault current peak가 90A/cm² 이하를 보여주었다. FUL은 main IGBT의 게이트전압 V_G (15V)가 R_G (500 Ω)를 통해 바이어스 되어있는 on

상태에서, V_{CC} (600V) 전압이 컬렉터에 인가되어 있는 경우로 초기 fault current peak가 170A/cm² 이하를 나타내었다. 추가적인 filter를 사용하지 않으므로 고속으로 동작하는 보호회로는 IGBT의 초기 fault current를 감소시킨다.



〈그림 5〉 단락회로 검증을 위한 회로

〈그림 6〉은 유도성 부하 상황에서의 스위칭 특성을 보여준다. 턴온 전이상태 동안 오류 감지를 하지 않으므로 추가적인 filter가 필요 없다. 소수캐리어의 life time 컨트롤을 위해 전자빔 조사를 해줌으로써 턴오프 시간을 75ns로 줄였으며 스위칭 손실을 최소화했다. 또한, 문턱전압(V_{TH})의 변화 및 보호회로의 성능저하 현상이 발생하지 않았다.



〈그림 6〉 유도성 부하 상황에서의 스위칭 특성

3. 결 론

우리는 pull-down LIGBT와 Floating p-well 전압 감지 방법을 이용한 새로운 보호회로를 제작하여 성능을 확인했다. 실험결과로는 보호회로의 전체 칩 면적을 줄여줌과 동시에, Hard Swing Fault (HSF)와 Fault Under Load (FUL) 상황에서 제안된 보호회로가 Floating p-well의 오류 신호를 감지함으로써 1200V PT-IGBT를 성공적으로 보호한다는 것을 보여준다. pull-down 트랜지스터의 폭은 Lateral MOSFET 대신 Lateral IGBT로 대체함으로써 2000 μ m에서 200 μ m로 상당히 줄어들었다. Floating p-well 전압의 포화 정도는 게이트 길이가 짧아지면서 감소한다. IGBT의 단위 pitch를 최적화함으로써 pull-down 트랜지스터를 클램핑 하지 않고서도 보호회로 게이트 산화막의 항복을 막아준다.

(감사의 글)

본 연구는 과학기술부 후원 한국 원자력 연구소 (KAERI) 주관 "원자력 연구 기반 확충 과제"를 통해 수행되었습니다.

〈참 고 문 헌〉

- [1] Rahul S et al, *IEEE Trans. Industry Application*, Vol.31, No.2, pp.256-263, March-April, 1995
- [2] S.Musumeci et al, *Industry Application Conference*, 2002. Vol.4 pp.2614-2621, 2002
- [3] In-Hwan Ji et al, *ISPSD' 2005*, pp.87-90, 2005
- [4] Soo-Seong Kim et al, *ISPSD' 2003*, pp.71-74, 2003
- [5] B.J. Baliga, *Power Semiconductor Device*, PWS Publishing Company, Boston, 1996, 504-567