정전기보호를위한이중극성소스를갖는EDNMOS소자의특성

서용진*, 김길호**, 박성우*, 이성일*, 한상준*, 한성민*, ,이영균*, 이우선***
*대불대학교 전기전자공학과, **리디스 테크놀로지, ***조선대학교 전기공학과

Characteristics of Extended Drain N-type MOSFET with Double Polarity Source for Electrostatic Discharge Protection

Yong-Jin Seo*, Kil-Ho Kim**, Sung-Woo Park*, Sung-Il Lee*, Sang-Jun Han*, Sung-Min Han*,
Young-Keun Lee*, Woo-Sun Lee***
*Daebul University, **Leadis Technology, ***Chosun University

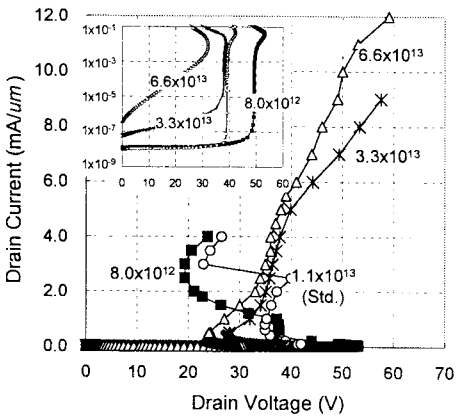
Abstract - High current behaviors of extended drain n-type metal-oxide-semiconductor field effects transistor (EDNMOS) with double polarity source (DPS) for electrostatic discharge (ESD) protection are analyzed. Simulation based contour analyses reveal that combination of bipolar junction transistor operation and deep electron channeling induced by high electron injection gives rise to the second on-state. Therefore, the deep electron channel formation needs to be prevented in order to realize stable and robust ESD protection performance. Based on our analyses, general methodology to avoid the double snapback and to realize stable ESD protection is to be discussed.

1. 서 론

마이크로 칩의 정전기(electro-static discharge; ESD) 스트레스에 대한 보호소자로 게이트가 커플(couple)된 큰 폭을 갖는 측면 확산된 N형 MOSFET (LDNMOS)가 ESD 방지 특성을 최적화하기 위한 해결방안으로서 제안되었다.[1,2] 그러나 큰 폭(width)을 갖는 LDNMOS 소자와 gate coupled 레지스터, 다이오드들은 매우 큰 레이아웃 면적을 점유한다.[2,3] 이러한 소자 기술은 부가적인 이온주입 공정을 필요로 하며, 소자의 면적이 증가하는 문제점이 있다. 또한, 강한 스냅백의 발생을 막을 수가 없다. 안정한 ESD 보호 성능을 구현하기 위해 게이트 아래에 N-드리프트 층을 중첩시키는 것이 강한 스냅백의 발생을 효과적으로 막을 수 있는 것으로 입증되었다.[4] 따라서 본 논문은 ESD 보호를 위한 최적화를 위하여 DDDNMOS형의 ESD 보호 소자의 특정한 형태인 이중 극성의 소스 (double polarity source; DPS)를 갖는 DPS_GG_EDNMOS 소자에 대한 2차원 소자 시뮬레이션 분석을 제시하였다.

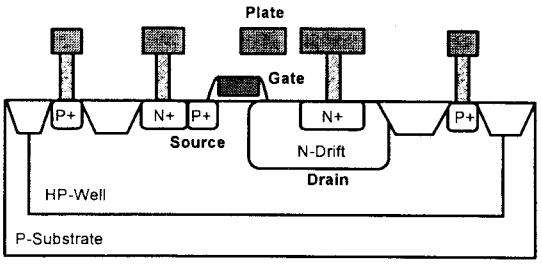
2. 시뮬레이션 결과 및 고찰

이전 연구에서 보고했던 결과[4]는 안정하고 강한 ESD 보호 성능을 구현하기 위하여 깊은 전자 채널의 형성을 피할 필요가 있음을 제안하는 것이었다. 온-상태의 전자 밀도 분포는 소자내의 백그라운드 도핑 분포에 매우 의존하기 때문에 이온주입 조건은 깊은 전자 채널 형성을 결정하기 위한 임계 인자가 된다.



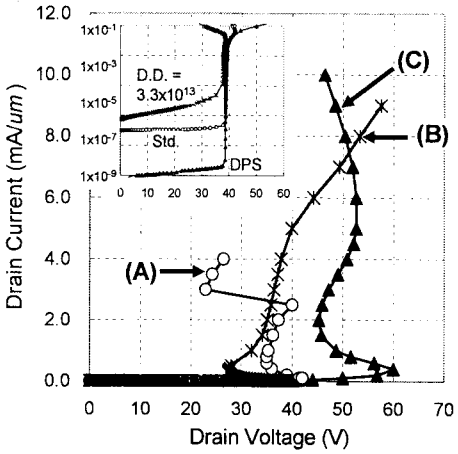
<Figure 1> Simulation calculated current-voltage relation of the GG_EDNMOS with various N-drift implant doses. Graph in the inset shows the effects of N-drift implant dose on the avalanche breakdown voltage of the GG_EDNMOS.

그림 1에 보인 것처럼, 만약에 N-드리프트 도즈가 임계값인 $3.3x10^{13}cm^{-3}$ 보다 더 높게 유지된다면 이중 스냅백의 발생을 피할 수 있다. 이는 N-드리프트 이온주입 도즈를 조절하는 것이 GG_EDNMOS 소자에서 안정한 ESD 보호를 구현하기 위해 효과적인 방법이 될 수 있음을 암시하는 것이다. 따라서 깊은 전자 채널이 N-드리프트 영역에 걸쳐 한번 형성되어지면, 자유 캐리어의 농도는 $3.3x10^{13}cm^{-3}$ 보다 더 높은 이온주입 도즈를 갖는 N-드리프트 영역의 백그라운 도핑을 차단할 만큼 여전히 충분히 높다는 것에 주목해야한다. 이처럼, N-드리프트 이온주입 도즈를 조절하는 것이 GG_EDNMOS 소자에서 안정한 ESD 보호를 구현하기 위한 효과적인 방법으로 제안되었다[4]. 그러나, 이는 실제적인 사용에 있어서는 다소 제한된 방법론이다. 왜냐면 그림 1에 삽입한 그림에 보인 것처럼, 접합 브레이크다운 전압을 변화시키기 때문이다. 접합 브레이크다운 전압을 변화시키지 않고서도 강한 ESD 보호성능을 구현하기 위한 대안의 선택은 채널 차단(channel blocking)이 될 수도 있다.



<Figure 2> Schematic diagram of DPS_GG_EDNMOS ESD protection device.

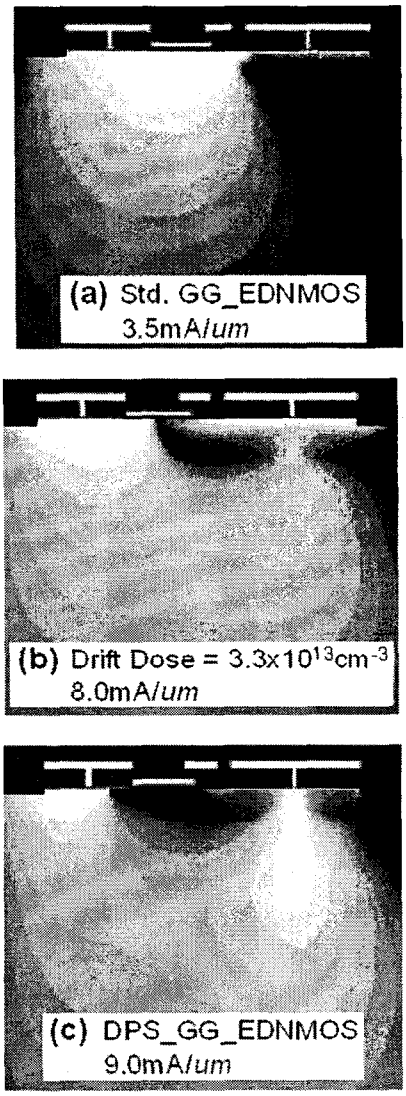
채널 차단(blocking)의 한 예를 그림 2에 표현하였다. 소위 말하는 이중 극성 소스를 갖는 GG_EDNMOS (DPS_GG_EDNMOS) 소자는 소스 측면에 P+의 확산 층을 삽입한 구조이며, 이는 소스 측면으로부터 전자 풍부 영역으로 측면 확장을 차단한다.



<Figure 3> (A) Simulation calculated I-V relations of the standard GG_EDNMOS with N-drift dose $1.1x10^{13}cm^{-3}$. (B) of the GG_EDNMOS with N-drift dose $3.3x10^{13}cm^{-3}$. (C) of DPS_GG_EDNMOS ESD protection device. Graph in the inset represents low current behavior and avalanche breakdown voltage of each device.

DPS_GG_EDNMOS 소자의 접합 브레이크다운 전압은 표준 GG_EDNMOS 소자의 접합 브레이크다운 전압과 같도록 요구되어진다. 왜냐면 브레이크다운 전압은 드레인 측면에 대한 접합 특성에 의해 전체적으로 결정되어지기 때문이다. 시뮬레이션으로 추론된 전류-전압 관계는 삽입된 P+ 확산 층이 그림 3과 그림 3에 삽입된 그림에 보인 바와 같이 접합 브레이크다운 전압의 변화 없이도 두번째 온-상태의 발생을 효과적으로 막을 수 있음을 암시해 준다.

DPS_GG_EDNMOS 소자의 BJT 트리거링 전압과 스냅백 홀딩 전압은 증가를 보였는데, 이는 채널 차단에 기인한 BJT의 감소된 전류 이득(gain)에 의한 것이다. 비록 여기서 명백히 보여지지는 않았을 지라도, 시뮬레이션 분석은 DPS_GG_EDNMOS 소자의 BJT 트리거링 전압과 스냅백 홀딩 전압은 삽입된 P+ 확산 층의 면적 또는 그것의 도핑 농도의 변화에 의해 조절될 수 있다는 가능성을 보였다. 6mA/um보다 더 큰 고전류 영역에서 관찰되었던 NDR (negative differential resistance) 특성은 수직방향으로 BJT 전류 경로의 widening에 기인한 것이다. 이는 두번째 온-상태로의 transition에는 관계가 없음을 의미한다. 또한 전류 immunity 레벨은 DPS_GG_EDNMOS에서 더 높게 나타났는데, 이는 DPS_GG_EDNMOS가 ESD 보호 응용을 위한 높은 가능성을 갖고 있음을 제안하는 것이다.



<Figure 4> (a) Contour of electron density for the standard GG_EDNMOS with N-drift dose $1.1x10^{13}cm^{-3}$ and applied current density 3.5mA/um. (b) of the GG_EDNMOS with N-drift dose $3.3x10^{13}cm^{-3}$ and applied current density 8.0mA/um. (c) of DPS_GG_EDNMOS ESD protection device with applied current density 9.0mA/um.

전자 밀도에 대한 등고선 특성은 삽입된 P+ 확산 층이 그림 4에 언급한 것처럼, 깊은 전자 채널링의 형성을 효과적으로 막아줌을 보인 것이다. DPS_GG_EDNMOS 소자의 N-드리프트 이온주입 도즈는 종래의 표준형 GG_EDNMOS 소자의 이온주입 도즈와 같음에 주목해야 한다. 따라서 DPS_GG_EDNMOS 소자의 드레인 측면에 대한 전자 풍부 영역은 어느 정도까지는 측면 축소가 일어난다. 이는 N+확산과 N-드리프트 영역 사이의 경계를 향하여 이동한 애발란치 브레이크다운 zone을 만든다. 그러나 온-상태의 급격한 감소는 관찰되지 않았다. 이는 두번째 강한 스냅백의 발생은 N-드리프트 영역 내로 소수 캐리어 주입이라기 보다는 깊은 전자 채널링의 형성에 분명히 더 의존하고 있음을 암시해 준다.

4. 결 론

GG_EDNMOS 소자의 높은 ESD 취약점은 극히 낮은 스냅백 홀딩 전압과 낮은 온-저항을 갖는 두번째 온-상태의 발생에 그 원인이 있다. 따라서, 안정하고 튼튼한 ESD 보호 현상은 DPS 구조를 사용한 깊은 전자 채널링의 형성를 방지함으로써 구현될 수 있다. 시뮬레이션 분석은 N-드리프트 이온주입 도즈가 증가할 수록 깊은 전자채널의 형성을 효과적으로 방지할 수 있음을 나타내었다. 소오스 측면에 부가적인 P+ 확산층의 삽입과 같은 채널차단은 양호한 ESD 보호 특성을 얻기 위한 최적의 방법임이 입증되었다.

감사의 글

이 논문은 2005년 정부(교육인적자원부)의 재원으로 한국학술진흥재단의 지원을 받아 수행된 연구임. (KRF-2005-041-D00311).

[참 고 문 헌]

[1] M. P. J. Mergens, W. Wilkening, S. Mettler, H. Wolf, A. Stricker and W. Fichtner: IEEE Trans. on Electron Devices 47 (2000) 2128.

[2] R. M. Steinhoff, J. B. Huang, P. L. Hower and J. S. Brodsky: Proc. EOS / ESD Symp. (2003) p. 98.

[3] V. Parthasarathy, V. Khemka, R. Zhu, J. Whitfield, R. Ida and A. Bose: IEEE Electron Device Lett. 23 (2002) 212.

[4] 서용진, 김길호, 이우선, "GG-EDNMOS 정전기 보호소자의 Double Snapback 메카니즘, 한국전기전자재료학회 춘계학술대회 발표논문집, p.1727, (2006. 4. 22)