

단일 수직형 그레인 경계 (Single Perpendicular Grain Boundary) 구조를 가지는 고성능 다결정 실리콘 박막 트랜지스터(Poly-Si TFT)에서의 고온 캐리어 스트레스(Hot Carrier Stress) 및 정전류 스트레스(Constant Current Stress) 효과

최성환, 송인혁, 신희선, 한민구
서울대 전기·컴퓨터 공학부

Effects of Hot-Carrier Stress and Constant Current Stress on the Constant Performance Poly-Si TFT with a Single Perpendicular Grain Boundary

Sung-Hwan Choi, In-Hyuk Song, Hee-Sun Shin and Min-Koo Han
School of Electrical Engineering and Computer Sciences, Seoul National University

Abstract - 본 논문은 고성능 다결정 실리콘(Poly-Si) 박막 트랜지스터(Thin Film Transistor)에서 단일 수직 그레인 경계(Single Perpendicular Grain Boundary)가 고온 캐리어 스트레스(Hot Carrier Stress) 및 정전류 안정성 평가에서 어떠한 효과를 보이는가에 대해서 살펴보았다. 고온 캐리어 스트레스 하에서($V_G = V_{TH} + 1V$, $V_D = 12V$), 그레인 경계가 없는 다결정 실리콘 TFT와 비교했을 때 그레인 경계를 가지고 있는 다결정 실리콘 TFT는 전기 전도(Electric Conduction)에 작용하는 자유 캐리어(Free Carrier)의 개수가 적기 때문에 상대적으로 더욱 우수한 전기적 특성을 나타낸다. 먼저 1000초 동안 고온 캐리어 스트레스를 가해준 결과 단일 그레인 경계를 가진 다결정 실리콘에서의 트랜스 컨덕턴스(Transconductance)의 이동 정도는 5% 미만으로 확인되었다. 반면에 같은 스트레스 조건 하에서 그레인 경계가 존재하지 않는 다결정 실리콘의 경우에는 그 이동 정도가 약 25%에 달하는 것으로 측정되었다. 다음으로 정전류 스트레스(Constant Current Stress) 인가시, 수직형 그레인 경계가 채널 영역 내에 존재하지 않는 다결정 실리콘 TFT는 드레인 접합 부분의 전계 새기를 비교했을 때, 그레인 경계를 가지고 있는 다결정 실리콘 TFT보다 상대적으로 낮은 원 인 때문에 적게 열화되는(Degraded) 특성을 확인할 수 있었다.

1. 서 론

능동형 액정 디스플레이(AMLCD) 및 능동형 유기 발광 다이오드(AMOLED)와 같은 고휘상도 평판 디스플레이 표시 장치에서 엑시머 레이저 어닐링(Excimer Laser Annealing)을 사용하는 다결정 실리콘(Poly-Si) 박막 트랜지스터(Thin Film Transistor, 이하 줄여서 TFT)의 역할이 점차 확대되고 있다.[1-3] TFT 제작 방법에 대한 다양한 연구들이 보고되고 있지만 [4], 그 중에서도 엑시머 레이저 어닐링을 활용한 다결정 실리콘 TFT의 성능은 눈에 띄게 향상해 왔다. 이러한 다결정 실리콘 TFT 기술은 높은 이동도(Mobility)를 가지고 주변 회로를 집적시킬 수 있다는 점에서 상당한 매력 가진다. 위에 언급한 디스플레이 표시 장치에서는 다양한 조건에서 신뢰성을 얻을 수 있는지가 중요한 관심사이다. 이러한 관점에서 다결정 실리콘 TFT 소자의 신뢰성에 대한 상당히 많은 연구가 진행되고 있다. 그리고 열화 메커니즘(Degradation Mechanism)에 대해서도 몇 가지 주요한 연구들이 발표된 바 있다.[1-6] 하지만 다결정 실리콘 TFT 소자의 신뢰성을 검증하는 측면에서 채널(Channel) 중간에 위치한 단일 수직형 그레인 경계(Single Perpendicular Grain Boundary)가 미치는 효과에 대해서는 아직 보고된 적이 없는 상황이다.

본 논문에서는 단일 수직형 그레인 경계 구조를 가지는 다결정 실리콘 TFT 소자의 신뢰성을 조사하였다. 이전 논문에서 비정질 실리콘 박막에 선택적으로 레이저를 조사(Irradiation)하여 높은 전기적 특성을 가지는 소자를 제작한 바 있다.[7] 이번 연구에서는 단일 수직형 그레인 경계를 가지는 다결정 실리콘 TFT 소자 (A형)와 이러한 구조를 가지고 있지 않은 다결정 실리콘 TFT 소자 (B형), 이 두 가지 소자에 고온 캐리어 스트레스(Hot Carrier Stress) 및 정전류 스트레스(Constant Current Stress)에 대한 신뢰성 평가를 진행하였다.

2. 본 론

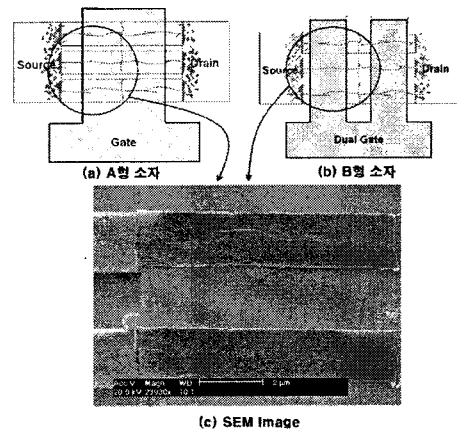
2.1 실험

실험에 사용한 다결정 실리콘 TFT 소자는 다음과 같은 과정을 통하여 제작하였다. 먼저 산화막이 입혀진 실리콘 기판 위에 50nm 두께의 희생 금속층(Thick Sacrificial Metal Layer)을 증착하였다. 이후 13 μm 너비로 직사각형 형태의 금속층을 패터닝(Patterning)하였고, 100 nm 두께의 박막 산화막 100 nm 두께 비정질 실리콘(a-Si), 그리고 얇은 보호 산화막을 연속 증착하였다. 희생 금속 패턴(Sacrificial Metal Pattern) 가운데 활성 부분(Active Island)을 정의하고, 습식 식각(Wet Etching) 공정을 통하여 비정질 실리콘 활성층 아래에 위치한 희생 금속 부분을 제거하였다. 채널 영역에 큰 수평 그레인을 생성시키기 위하여, 위에서 만들어진 플로팅(Floating) 구조에 단파장 XeCl 엑시머 레이저($\lambda=308nm$)로 선별적인 조사(Irradiation)를 가하였다.

다음으로 TFT 소자에서 수평 방향의 그레인 경계가 전기적 특성에 미치

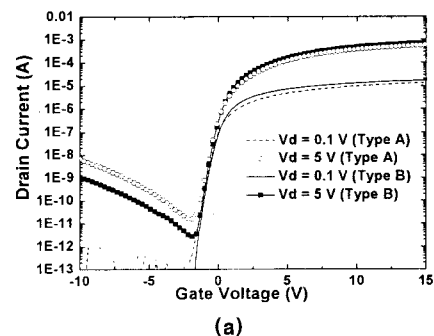
게 되는 영향을 줄이기 위하여, 네 개의 좁은 채널로 구성된 다중 채널(Multi-Channel) 구조 ($W/L=8\mu m/8\mu m$)를 적용하였다. (여기에서 각 채널의 너비는 2 μm 이다.) 수평 방향 그레인 경계는 ELA(Eximer Laser Annealing) 이전에 미리 패터닝(Patterning)을 해 준 효과로 인해 채널 중심 부근에서 비교적 용이하게 형성되었다. 레이저 조사(Irradiation) 및 활성층에 대한 결정화 과정 이후, 윗 부분에 위치한 보호 산화막을 스트립(Strip) 해 주었고 다시 게이트 절연막으로 100nm 두께의 TEOS(Tetra-Ethyl-Ortho-Silicate)를 PECVD(Plasma Enhanced Chemical Vapor Deposition)장비를 통하여 증착하였다. 500 nm 두께의 알루미늄 (Al) 전극은 스퍼터링(Sputtering) 증착을 통하여 생성하였다. 여기에 다시 이온 주입 공정(Ion implantation)을 진행하였으며 레이저 조사를 가하여 주입된 불순물들을 활성화시켰다.

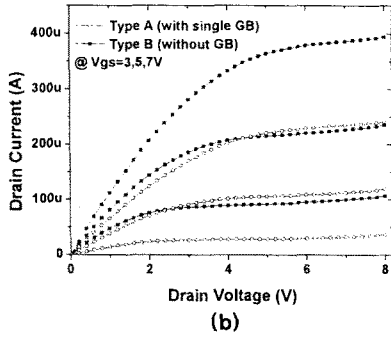
이번 실험에서 사용한 탑 게이트 자기 정렬형(Top-Gate Self-Aligned) TFT 소자는 오프셋(Offset) 구조나 또는 LDD(lightly doped drain) 구조를 사용하지 않았다. 또한 수소화(Hydrogenation) 공정과 같은 후처리 공정(Post annealing)도 진행하지 않았다. 이번 실험에서는 위와 같은 공정을 통하여 서로 다른 형태의 두 가지 다결정 실리콘 TFT 소자를 제작하였다. 그 중 하나는 채널 가운데 영역에서 전류의 흐름 방향과 수직을 이루는 그레인 경계를 갖는다.(A형) 다른 하나는 채널 영역 내에서 전류 흐름과 수직을 이루는 그레인 경계를 가지지 않는 특징을 갖는다.(B형) 참고로 고온 캐리어 스트레스 인가 실험은 두 가지 소자에 드레인 접합 인근의 동일한 전기장을 가해주었으며, 정전류 스트레스 인가 실험은 전기 전도(Electric Conduction) 과정을 이루는 자유 캐리어(Free Carrier)의 개수를 동일하게 하였다.



<그림 1> 소자 구조 및 SEM 이미지 (a) A형 소자 (b) B형 소자 (c) 소자 정면 SEM 이미지

2.2 결과 및 토의





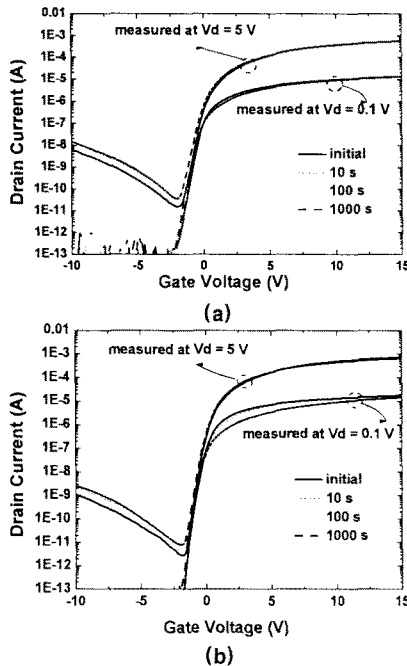
<그림 2> 두 가지 서로 다른 형태의 다결정 실리콘 TFT 소자의 (a) I_{DS} - V_{GS} 전달 특성 곡선과 (b) I_{DS} - V_{DS} 출력 특성 곡선. 여기에서 측정 범위는 각각 $V_{DS}=0.1V$ 와 $V_{DS} = 5V$ 이다.

위의 그림 2. 는 두 가지 형태의 다결정 실리콘 TFT 소자의 전달 특성 및 출력 특성을 보여주고 있다. 여기에서 B형 TFT 소자가 채널 영역에 수직형 그레인 경계 구조를 가지고 있지 않기 때문에 상대적으로 우수한 전기적 특성을 가지는 사실을 확인할 수 있다. 그리고 두 가지 TFT 소자 모두 드레인 접합 부분에 위치한 그레인 경계를 (임팩트 이온화 (Impact Ionization) 작용으로 전자-정공(hole) 쌍을 발생시키는 주된 원인인) 의도적으로 형성시키지 않았기 때문에 키크 전류(Kink Current) 역시 아주 미미한 정도로 발생한다는 것을 알 수 있다. 두 가지 TFT 소자(A/B 형)의 전기적 특성을 아래 표 1. 에 정리하였다.

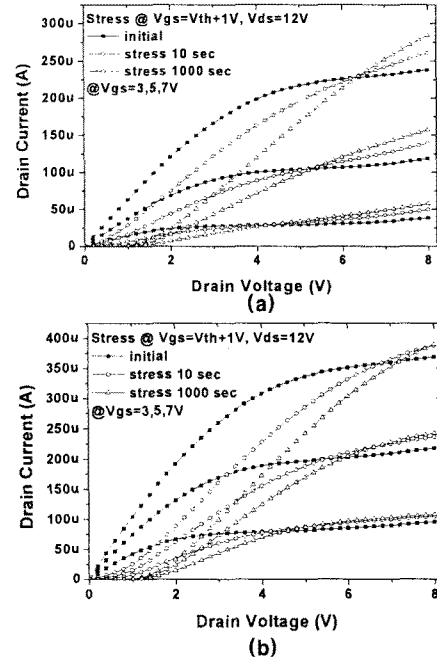
Sample Name	μ (cm^2/Vs)	$V_{TH}(V)$	$S(V/dec)$
Type A	318	0.568	0.306
Type B	476	0.365	0.271

<표 1> 두 가지 다결정 실리콘 TFT 소자의 전기적 특성.
(μ : Field Effect Mobility, V_{TH} : Threshold Voltage, S : Subthreshold Slope)

앞에서 언급한 두 가지 소자를 대상으로 낮은 크기의 $V_{GS} (=V_{TH} +1V)$ 그리고 높은 크기의 $V_{DS} (=12V)$ 를 1000초 동안 동시에 인가하여 고온 캐리어 스트레스 (Hot-Carrier Stress) 이전과 이후 TFT 소자의 전달 및 출력 특성을 그림 3. 과 그림 4. 에 나타내었다. 비록 두 소자 모두 동일한 드레인 접합 구조를 가지고 있지만 채널 영역에 그레인 경계를 가지고 있지 않은 B형 소자가 그레인 경계를 갖는 A형 소자에 비해 조금 더 열화되는 특성을 추정값을 통하여 확인할 수 있다.



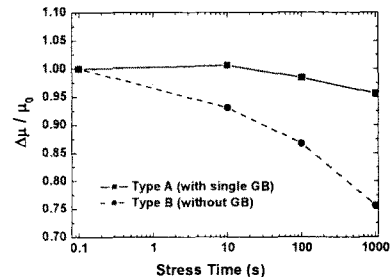
<그림 3> $V_{GS}=V_{TH} +1V$, $V_{DS}=12V$ 스트레스 조건을 두 TFT 소자에 인가하였을 때의 전달 특성 곡선. (a) A형 소자 (채널 영역에 그레인 경계가 존재하는) (b) B형 소자 (채널 영역에 그레인 경계를 가지고 있지 않은)



<그림 4> $V_{GS}=V_{TH} +1V$, $V_{DS}=12V$ 스트레스 조건을 두 TFT 소자에 인가하였을 때의 출력 특성 곡선. (a) A형 소자 (채널 영역에 그레인 경계가 존재하는) (b) B형 소자 (채널 영역에 그레인 경계를 가지고 있지 않은)

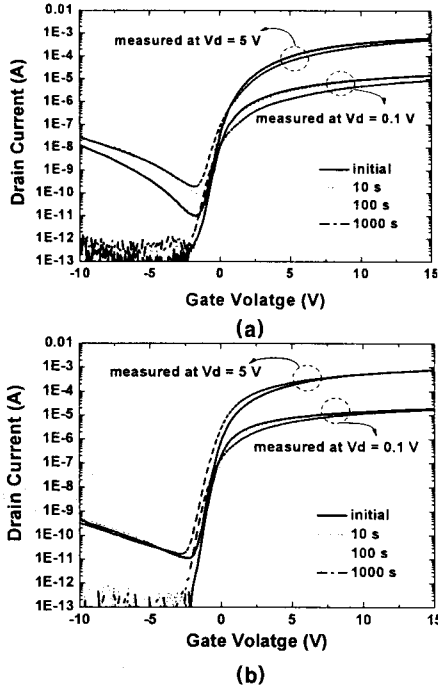
고온 캐리어 스트레스(Hot-Carrier Stress)를 인가한 후 $V_{DS}=5V$ 일 때의 전달 특성을 살펴보면 어느 정도 열화되었다는 사실을 확인할 수 있다. 여기에서 이러한 다결정 실리콘 TFT 소자에서의 열화 현상이 발생하는 점으로부터 소자 내에서의 스트레스로 인한 손상을 입은 부분이 약 100nm에 이르는 강한 전기장이 작용하는 드레인 접합 부분과 가까운 곳에 위치하고 있다는 점을 추론해 볼 수 있다. 일반적으로 결정질 실리콘 MOSFET에서 열화 현상이 발생하는 주된 원인은 SiO_2 가 전자대보다 약 3eV 높은 에너지 대역에서 게이트 산화막으로 고온 정공(Hole)이 트래핑(Trapping)되어, 양전하를 띠게 되는 모델로 설명되고 있다. 여기에 다시 게이트 산화막에 삽입된 고온 전자(electron)는 트래핑 정공(hole)과 결합되어, 실리콘 밴드갭 상단부에서 유사 액셉터 계면 상태(Acceptor-like Interface State)를 이루게 된다. 아울러 누설 전류의 증가 현상도 전자-정공 쌍을 발생시키는 중간 접합부의 계면 상태 밀도(Interface State)의 증가로 설명할 수 있다.

이를 좀 더 자세히 분석해 보면 그레인 경계에서 불완전한 원소 간의 결합 및 무질서한 배열 구조로 인하여 상당히 많은 숫자의 결합(Defect)이 존재한다. 바로 이러한 특징 때문에 트래핑 상태(Trapping State)가 형성되며, 드레인과 인접한 부분의 그레인 경계 사이의 거리가 열화 특성에 상당한 영향을 미친다는 연구 결과가 발표된 바 있다.[9]. 드레인 접합 부분에서 수직형 그레인 경계가 위치할 경우, 그 해당 그레인 경계는 전자-정공 쌍 발생에 있어서 주된 역할을 한다. 결국 이러한 점들을 고려하였을 때, 열화 현상은 고온 캐리어 스트레스 조건 하에서 더욱 가속화되는 것이다. 반대로 드레인 접합 부분과 멀리 떨어진 그레인 경계 경우에는 채널 영역에서 캐리어(Carrier)를 트래핑하는 역할을 하게 된다. 이러한 상태들은 캐리어들을 트래핑(Trapping) 하면서, 이들을 이동도를 감소시키며 결국 전기 전도(Electrical Conduction) 작용에 참여하는 자유 캐리어(Free Carrier)의 개수를 줄이는 기능을 한다. 이러한 이유 때문에 두 TFT 소자에 인가되는 전기장의 세기가 동일함에도 불구하고, A형 소자가 B형 소자보다 상대적으로 덜 열화되는 특성을 나타낸다.

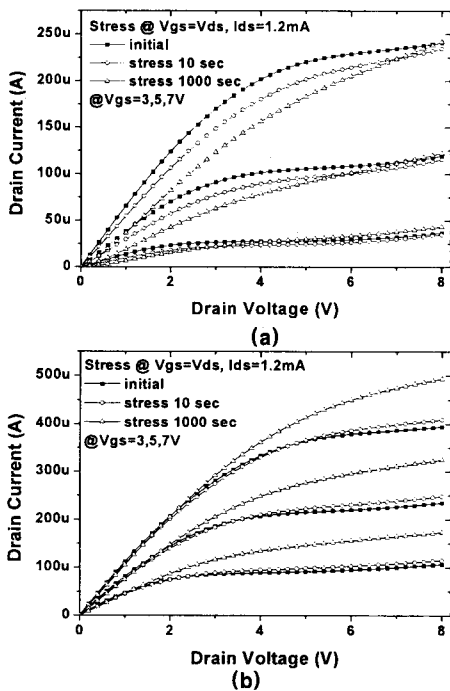


<그림 5> $V_{GS}=V_{TH} +1V$, $V_{DS}=12V$ 스트레스 조건을 두 TFT 소자에 인가하였을 때 스트레스 인가 시간에 따른 전계 효과 이동도 (Field Effect Mobility) $\Delta\mu/\mu_0$ 편차.

다음으로 인가하는 스트레스 시간에 따라 전계 효과 이동도(Field Effect Mobility) $\Delta\mu/\mu_0 = (\mu - \mu_0)/\mu_0$ 가 달라지는 특성을 그림 5. 에서 확인해 볼 수 있다. (μ : 스트레스 이후 전계 효과 이동도, μ_0 : 스트레스 이전 전계 효과 이동도) 1,000초 동안 고온 캐리어 스트레스를 가해준 이후 단일 그래인 경계를 가지고 있는 다결정 실리콘 TFT 소자의 전계 효과 이동도(Field Effect Mobility)의 편차는 5% 이내로 측정되었다. 하지만 그래인 경계를 가지고 있지 않은 TFT 소자의 경우에는 동일한 스트레스 조건 인가 시에도 측정되는 전계 효과 이동도의 편차가 약 25% 까지 발생하는 것을 확인할 수 있었다. 이처럼 동일한 스트레스 조건에서 A 소자의 전계 효과 이동도가 상대적으로 적게 감소되는 이유는 B 소자보다 전기 전도 과정을 이루는 자유 캐리어(Free Carrier)의 개수가 적기 때문이다.



<그림 6> 스트레스 전후 두 가지 TFT 소자의 전달 특성 곡선. 이때 전류 공급원은 1.2mA로 바이어스 되었으며, 게이트 및 드레인 전압 공급원은 1,000초 동안 접지(Grounded)시켰다. (a) A형 소자 (채널 영역에 그래인 경계가 존재하는) (b) B형 소자 (채널 영역에 그래인 경계를 가지고 있지 않은)



<그림 7> 스트레스 전후 두 가지 TFT 소자의 출력 특성 곡선. 이때 전류 공급원은 1.2mA로 바이어스 되었으며, 게이트 및 드레인 전압 공급원은 1,000초 동안 접지(Grounded)시켰다. (a) A형 소자 (채널 영역에 그래인 경계가 존재하는) (b) B형 소자 (채널 영역에 그래인 경계를 가지고 있지 않은)

정전류 스트레스(Constant Current Stress)를 인가하기 전과 후에 나타나는 전기적 특성을 위의 그림 6. 과 그림 7. 에서 확인할 수 있다. 스트레스 인가 조건은 두 TFT 소자에 전기 전도 과정에 참여하는 자유 캐리어(Free Carrier)의 개수를 동일하게 하기 위하여 전류 공급원은 1.2mA로 바이어스 시켰으며, 게이트 및 드레인 전압 공급원은 1,000초 동안 접지시켰다.(Grounded) A와 B 이 두 가지 소자는 드레인 접합 부근에 높은 특성의 그래인 구조를 가지는 공통점을 가지고 있다. 다만 유일한 차이점은 채널 영역 중간에 수직으로 자리잡은 그래인 경계가 존재하는나 존재하지 않는이다. 1mA가 넘는 상당히 큰 크기의 전류를 가해주어도, B형 소자는 심한 열화 특성을 보이는 A형 소자보다 덜 열화되는 것을 살펴볼 수 있다.

더욱이 출력 특성 곡선 중 선형 동작 영역에서 발생하는 열화 현상은 A형 소자에서만 발생한다. 소자 내에서 열화를 일으키는 주된 요인 높은 게이트, 드레인 전압스트레스가 인가되면서 발생하게 되는 채널 영역의 고온 전자(Hot Carrier)로 알려져 있다. 이번 실험에서는 정전류 스트레스를 두 소자 모두에 인가하였으며 이 때 A형 소자의 소스(Source) 전압은 12.7V, B형 소자의 소스 전압은 11.2V로 측정되었다. 이 상태에서 전기 전도 과정을 이루는 자유 캐리어의 숫자는 두 소자 모두 동일하지만, 드레인 접합 부근에 형성되는 수평 방향 전기장의 세기는 A형 소자가 B형 소자보다 더 크게 나타났다. 또한 스트레스 이후 A형 소자의 누설 전류량도 B형 소자보다 더 많이 발생하였다.

이러한 결과는 A형 소자의 드레인 접합 부근에 B형 소자보다 더 많은 숫자의 트랩 상태(Trap States)이 존재하는 것을 의미한다. 그리고 앞서 그림 7. 에서 살펴본듯이 A형 소자의 전면 계면(Front Interface) 부분이 B형 소자보다 큰 세기를 가지는 전기장의 영향을 받아 임팩트 이온화 현상이 발생하면서 더 심하게 열화되는 모습을 확인할 수 있다. 그리고 B형 소자에 $V_D=5V$ 인가시 전달 특성 곡선을 살펴보면 스트레스 이후 왼쪽으로 그래프가 이동하는 현상을 발견할 수 있다. 이러한 현상은 자기 발열 효과(Self-Heating Effect)로 인하여 후면 계면(Back Interface)에서 발생하는 정공 트래핑(Hole Trapping) 때문에 발생한다. 이로 인해 결국 B형 소자의 문턱 전압은 감소하게 되고 B형 소자의 출력 전류가 증가하는 결과를 야기하게 된다. 상대적으로 B형 소자의 전면 계면 부분에서의 열화 정도는 앞에서 언급한 후면 계면에서 일어나는 정공 트래핑 효과의 증가로 인하여 드레인 전기장의 세기가 약해지면서, A형 소자보다 낮은 특성을 나타낸다.

3. 결 론

본 논문에서는 다결정 실리콘 TFT 소자의 안정성(Stability) 측면에서 단일 수직형 그래인 경계 구조가 가지는 효과에 대하여 연구하였다. 이를 위하여 채널 영역에서 단일 수직형 그래인 경계를 가지는 (A형) 소자와 이를 가지고 있지 않은 (B형) 소자를 제작하였고 여기에 고온 캐리어 스트레스 및 정전류 스트레스를 인가하여, 각각의 소자가 가지는 신뢰성(Reliability)을 비교 및 평가하였다. 우선 고온 캐리어 스트레스(Hot-Carrier Stress) 평가를 위하여 두 가지 다결정 실리콘 TFT 소자의 드레인 접합 부분에 동일한 세기의 전기장을 가해주었다. 동일하게 인가된 스트레스 조건 하에서 채널 영역에 수직형 그래인 경계를 가지고 있는 TFT 소자가 그렇지 않은 소자와 비교했을 때 훨씬 더 우수한 특성을 나타내었다. 이러한 결과는 해당 TFT 소자에서 전기 전도 작용을 이루는 자유 캐리어(Free Carrier)의 숫자가 상대적으로 적었기 때문으로 판단된다. 다음으로 정전류 스트레스(Constant Current Stress)를 인가하였을 때에는 반대로 채널 영역에서 그래인 경계를 가지고 있지 않은 TFT 소자가 다른 소자보다 상대적으로 더 적게 열화(Degradation) 되는 특성을 보여주었다. 이는 드레인 접합 부분에 집중적으로 발생하는 전기장의 세기가 상대적으로 작은 원인으로 분석된다.

[참 고 문 헌]

- [1] C. A. Dimitriadis, P. A. Coxon, "Effects of temperature and electrical stress on the performance of thin-film transistors fabricated from undoped low-pressure chemical vapor deposited polycrystalline silicon," Appl. Phys. Lett., 54, p.620, 1989
- [2] M. S. Rodder, D. A. Antoniadis, "Hot-carrier effects in Hydrogen-passivated p-channel polycrystalline-Si MOSFET's", IEEE Trans. Electron Devices, 34/5, p.1079, 1987
- [3] S. Banerjee, R. Sundaresan, H. Shichijo, S. Mali, "Hot-electron Degradation of n-channel polysilicon MOSFET's" IEEE trans. Electron Devices, 35/2, p.152, 1988
- [4] Y.-W. Choi, J. Kim, Journal of Electrical Engineering and Technology, 1/1, p.110, 2006
- [5] L.-W. Wu, W. B. Jackson, T.-Y. Huang, A. Lewis, A. Chiang, "Mechanism of device degradation in n- and p-channel polysilicon TFTs by electrical stressing", IEEE Electron Device Lett, 11/4, p.167, 1990
- [6] N. D. Young, A. Gill, "Mobile ion effects in low-temperature silicon oxides", J. Appl. Phys., 66/1, p.187, 1989
- [7] I. H. Song, C.H. Kim, S. H. Kang, W. J. Nam, M. K. Han, "A New Multi-Channel Dual-Gate Poly-Si TFT Employing Excimer Laser Annealing Recrystallization on pre-patterned a-Si thin Film", IEEE International Electron Devices Meeting, San Francisco, U.S.A., Dec 8-11, 2002, IEDM Tech. Digest, p. 561, 2002