

수직형 트랜치 게이트 IGBT의 전기적 특성 향상을 위한 연구

이종석, 강이구<sup>1</sup>, 성만영  
고려대학교, 극동대학교<sup>1</sup>

Improvement of Electrical Characteristics of Vertical Trench Gate IGBT

Jong-Seok Lee, Ey-Goo Kang<sup>1</sup>, Man Young Sung  
Korea University, Far East University<sup>1</sup>

**Abstract** - 본 논문은 수직형 트랜치 IGBT 구조에서 에미터를 트랜치로 형성하여 그 전기적인 특성을 MEDICI를 이용하여 고찰하였다. 제안한 구조의 항복전압과 온-상태 전압, 래치업 전류 그리고 턴-오프 시간이 기존 트랜치 IGBT에 비하여 향상되었음을 알 수 있었다. 항복전압은 트랜치 에미터에 의해 트랜치 게이트에 집중되는 전계를 완화시켜 일반적인 트랜치 IGBT보다 19%정도 향상되었으며 온-상태 전압과 래치업 전류는 각각 25%, 16% 정도 향상되었다. 하지만 제안된 구조의 턴-오프 시간은 무시할 수 있을 정도로 약간 증가하였음을 알 수 있었다.

1. 서 론

절연게이트 바이폴라 트랜지스터(IGBT)는 인버터와 모터구동 등과 같은 고전압 응용분야에 널리 사용되고 있다[1]. 오늘날 600V 급부터 3500V 급까지의 IGBT 소자 시장에서 PT(Punch Through)와 NPT(Non Punch Trough) 타입의 소자들이 서로 경쟁하고 있다. 1,000V 이하의 낮은 전압에서는 PT-IGBT가 우세하고 2,500V 이상의 고전압에서는 NPT-IGBT가 우세하지만 이들 중간급에서는 두 가지 타입이 서로 수년간 경쟁하고 있다. 특히 1200V급의 응용분야가 매우 넓어 IGBT의 전기적인 특성을 향상시키기 위한 수많은 노력이 수행되고 있다[2]. 트랜치 IGBT가 나온 이후 몇몇 연구그룹들이 높은 항복전압 그리고 온-상태 전압강하/스위칭특성을 향상시키기 위한 연구를 수행하고 있다[3]. 트랜치 IGBT는 DMOS-IGBT보다 뛰어난 온-상태 특성을 보이는데 그 이유는 구조상 기생 JFET 성분이 발생하지 않으며 수직으로 형성된 채널을 통한 전류의 흐름이 자연스럽기 때문이다. 또한 레이아웃 설계시 좀 더 유연하게 설계할 수 있으며, 집적도를 향상시킬 수가 있어 온-상태 전압이 크게 낮아진다[4]. 하지만 트랜치 IGBT에 있어서 항복전압은 트랜치 게이트 하단에 집중되는 전계에 큰 영향을 받는다. 본 논문에서는 이러한 트랜치 게이트에 집중되는 전계를 분산시킬 수 있도록 에미터 전극을 트랜치로 형성시켜 향상된 순방향 항복전압과 온-상태 전압을 2D 소자 시뮬레이터인 MEDICI를 이용하여 그 타당성을 검증하였다.

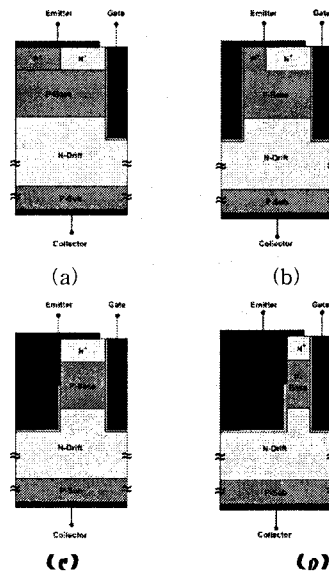
2. 본 론

2.1 소자구조와 동작

그림 1(a)에 일반적인 수직형 트랜치 게이트 IGBT를 나타내었으며, 그림 1(b), (c), (d)는 제안한 트랜치 에미터 전극 구조 IGBT이다. 일반적으로 IGBT는 온-상태 전자가 MOS 채널을 통하여 P-base/N-drift/P-Sub.로 구성된 pnp 트랜지스터의 베이스 전류로 작용하고, P-Sub.로부터 주입된 정공은 N-drift/P-base/N+에미터로 구성된 npn 트랜지스터의 베이스 전류로 작용한다. 이때 N+에미터 아래 부분의 P-base 영역을 통과하면서 유기되는 정공에 의한 전압강하가 0.7V 이상이 되면 기생 npn 트랜지스터가 턴 온되어 전자가 채널을 통하지 않고 직접 P-base를 통과하여 드리프트 영역으로 주입되는 래치업 현상이 발생하게 된다 [5-8]. 일반적으로 IGBT의 항복전압은 P-base와 N-drift 접합(J2)의 공핍층에 형성되는 전계에 의해 결정되는데 트랜치 구조에서는 트랜치 하단의 코너부분에 걸리는 전계가 항복전압에 중요한 영향을 끼친다[3]. 또한 온-상태 전압강하는 순방향 바이어스 된 P-sub/N-drift 접합(J1)의 전압강하와 전도도 변조된 N-drift 영역의 전압강하 그리고 MOSFET의 전압강하로 이루어진다. N-drift 영역의 전압강하는 전체 드리프트 영역의 전계를 적분하여 얻을 수 있으며 일반적으로 J1으로 부터의 정공주입 때문에 강한 전도도 변조가 일어나 0.1V보다 작다. MOSFET의 전압강하는 채널영역의 전압강하와 JFET 영역, 축적층 전압강하의 합이다. 트랜치 구조를 사용하면 온-저항의 대부분을 차지하는 JFET 영역의 저항을 상당히 감소시킬 수가 있다[3]. 일반적인 IGBT 구조에 있어서 원하는 항복전압에 최적화시키기 위하여 N-drift층의 두께와 도핑농도에 따른 시뮬레이션을 수행하였다. N-drift 층의 두께(d)는 대략 최대 동작 전압(Vmax)에서의 공핍층 너비와 소수캐리어 확산거리(Lp)의 합으로 정할 수 있다.

$$d = \sqrt{\frac{2\epsilon_0\epsilon_s V_{max}}{qN_D}} + L_p \quad (1)$$

여기서  $\epsilon_0$ 는 자유공간에서의 유전율,  $\epsilon_s$ 는 실리콘의 유전상수,  $q$ 는 전하,  $N_D$ 는 N-drift 층의 도핑농도이다.

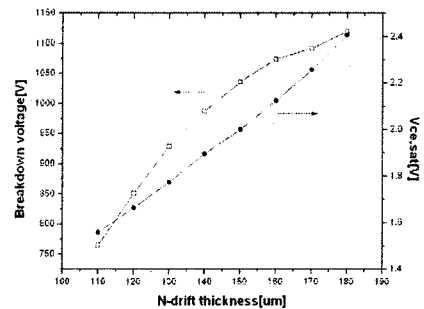


〈그림 1〉 수직형 트랜치 게이트 IGBT half 단위 셀 구조 (a) 일반 구조 (b) 제안 구조1 (c) 제안 구조2 (d) 제안구조3

일반적인 구조에서의 N-drift층의 도핑농도는  $1 \times 10^{14} \text{ cm}^{-3}$ 으로 일정하게 하고 두께를 변화시켜가면서 시뮬레이션을 수행하여 각각의 항복전압과 온-상태 전압을 구해 보았으며, 또한 높은 항복전압과 낮은 온-상태전압을 갖는 최적의 N-drift층의 두께를 기준으로 하여 일반적인 구조와 제안된 구조 3가지의 항복전압, 온-상태 전압, 래치업 전류, 턴-오프 특성을 시뮬레이션 하였다.

2.2 시뮬레이션 결과 및 고찰

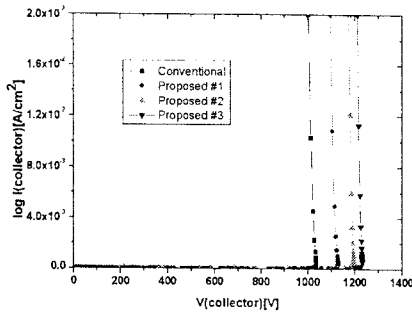
그림 2에서 최대 항복전압과 온-상태에서 손실을 줄이기 위한 최소 온-상태 전압의 최적점으로 N-drift 영역의 두께가 150  $\mu\text{m}$ 인 소자를 선택하여 항복전압이 1036V, 온상태 전압이 2.00V를 얻을 수 있었다. N-drift 영역의 두께가 150  $\mu\text{m}$  이상인 경우 항복전압의 증가추세가 둔화되어 높은 항복전압과 낮은 온-상태 전압을 얻기 위한 최적점으로 N-drift 층의 두께가 150  $\mu\text{m}$ 인 구조를 선택하였다. 이러한 최적의 N-drift 영역의 두께로 제안한 IGBT 구조를 시뮬레이션하여 특성을 비교하여 보았다.



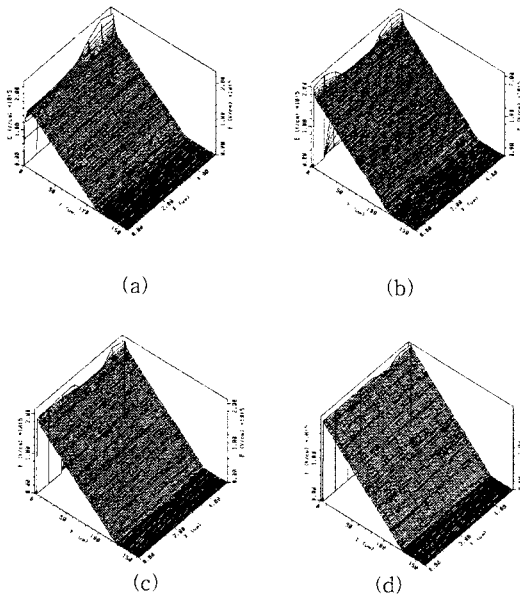
〈그림 2〉 N-drift층의 두께에 따른 항복전압과 온상태 전압

그림 3에서 나타난 것처럼 기준구조의 순방향 항복전압은 1036V, 제안된 구조의 순방향 항복전압은 각각 BVp1=1128V, BVp2=1194V, BVp3=1230V이다. 제안구조3의 경우 일반적인 트랜치 구조 IGBT 보다 194V의 항복전

압 향상이 있었다. 약 19% 정도 항복전압이 향상되었는데 그림 4에서 보는 바와 같이 이는 트랜치 하단의 끝부분에 걸리는 전계가 완화되어 항복전압이 증가한 것으로 사료된다. 또한 게이트 트랜치 전극과 에미터 트랜치 전극이 가까울수록 항복전압이 더 높아짐을 알 수 있었고 N<sup>+</sup> 에미터의 폭도 줄어들어 래치업 발생이 늦게 일어난다. 에미터 트랜치 전극으로 인해 P-base층이 플로팅되는 것을 막기 위하여 에미터 트랜치 전극을 그림 1(c), (d)와 같이 형성하여 N<sup>+</sup> 에미터 아래의 정공 경로를 줄여 온 저항을 낮추었기 때문으로 생각된다.



〈그림 3〉 제안된 구조와 기존 구조의 순방향 항복전압 특성

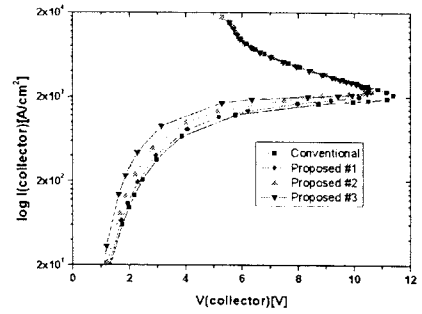


〈그림 4〉 항복현상 발생시 전계분포  
(a)일반적인 구조 (b)제안구조1, (c)제안구조2, (d)제안구조3

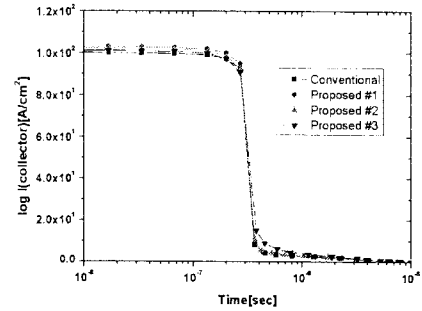
항복발생시 트랜치 게이트 하단에 인가되는 전계의 세기를 알아보기 위하여 전계분포를 그림 4과 같이 3D로 알아보았다. 일반적인 구조에서는 그림 4(a)와 같이 게이트 하단에 강한 전계가 인가되어 항복전압에 영향을 미치는 것으로 나타났으며 그림 4(b), (c), (d)와 같이 제안한 구조에서는 게이트 하단에 미치는 전계의 세기가 트랜치 에미터 구조로 분산되어 점점 약해지는 것을 시뮬레이션 결과를 통하여 알 수 있었다.

그림 5은 I-V 특성 곡선을 나타낸다. I=100 A/cm<sup>2</sup>일 때 일반적인 트랜치 구조 IGBT는 Vce(sat)=2.0V, 제안한 구조는 각각 Vce(sat),p1=1.92V, Vce(sat),p2=1.75V, Vce(sat),p3=1.5V이다. 일반적인 트랜치 구조 IGBT보다 제안구조3에서 25% 정도의 온-상태 전압이 낮아짐을 알 수 있다. 온-상태 전압강하도 일반적인 트랜치 구조 IGBT보다 제안한 구조에서 더 작아짐을 알 수 있었다. 이와 같은 결과로 제안한 구조에서 소비전력을 크게 감소시킬 수 있을 것으로 판단된다. 래치업 전류는 일반적인 트랜치 구조 IGBT의 경우 Ilatchup=2168 A/cm<sup>2</sup>, 제안한 구조는 각각 Ilatchup,p1=2229 A/cm<sup>2</sup>, Ilatchup,p2=2420 A/cm<sup>2</sup> 그리고 Ilatchup,p3=2518 A/cm<sup>2</sup>으로 일반적인 트랜치 구조 IGBT에 비하여 제안구조3에서 최대 16%정도 증가함을 알 수 있었다. 그림 6에 턴-오프 특성곡선을 나타내었다. 소수캐리어의 수명은 1 μs로 하였으며 콜렉터 단자에 저항성 부하를 달아서 소자 모두 100 A/cm<sup>2</sup>의 전류가 흐르게 한 다음 게이트를 오프 시킨 상태에서 콜렉터 전류의 흐름을 비교하였다. 게이트에 인력신호로 진입시간 3×10<sup>7</sup> sec, 전폭 15V의 구형파를 인가시켰을 때 일반적인 구조의 경우 턴-오프 시간[T<sub>off</sub>=T<sub>d</sub>(턴-오프 지연시간)+T<sub>r</sub>(턴-오프 하강시간)]이 52 ns, 제안구조1은 52 ns, 제안구조2는 53 ns 그리고 제안구조3은 60 ns였다. 제안한 구조의 에미터 단자가 일반적인 구조에 비하여 작기 때문에 정공이 빠져나갈 수 있는 영역이 작아져 약간의 턴-오프 시간의 증가가 발생하였지만 주목할 만한 큰 변화는

없었다.



〈그림 5〉 제안된 구조와 기존 구조의 I-V 특성곡선



〈그림 6〉 제안된 구조와 기존 구조의 턴-오프 특성곡선

### 3. 결 론

본 논문의 결과와 같이 트랜치 구조에 있어서 항복전압은 펀치스쿠가 일어나지 않도록 N 드리프트층의 폭을 충분히 길게 해주면 트랜치 하단의 전계로 인하여 순방향 항복전압이 결정된다. 항복전압을 증가시키기 위하여 전계를 분산시킬 수 있는 에미터 트랜치 전극 구조를 제안하여 일반적인 트랜치 IGBT 구조에 비하여 항복전압은 1230V로 19%정도 증가, 온-상태 전압은 1.5V로 25%정도 감소, 턴-오프 시간은 큰 변화가 없었다. 향후 트랜치 깊이와 너비에 따른 정량적인 시뮬레이션이 더 필요할 것으로 생각되며 트랜치 게이트 하단의 모양을 변경하여 전계의 분포가 집중되지 않도록 한다면 IGBT의 특성을 더욱 향상시킬 수 있을 것으로 판단된다.

### 감사의 글

본 연구는 2006년도 산업자원부 전력IT 사업중 "분산발전 및 산업용 인버터 응용을 위한 전력반도체 기술개발"에 의하여 이루어진 연구로서, 관계부처에 감사드립니다.

### 〈참 고 문 헌〉

- [1] B. J. Baliga, Power Semiconductor Devices, PWS, 1996
- [2] T. Laska, J. Fugger, F. Hirler, W. Scholz, "Optimizing the vertical IGBT Structure - The NPT concept as the most economic and electrically ideal solution for a 1200V-IGBT", Proc. 1996 ISPSD, p. 169, 1996.
- [3] F. Udrea, S. S. M. Chan, J. Thomson, T. Trajkovic, P. R. Waind, G. A. J. Amaratunga and D. E. Crees, "1.2kV Trench insulated gate bipolar transistors with ultralow on-resistance", IEEE Elec. Device Letters, Vol. 20, No. 8, p. 428, 1999.
- [4] X. Yuan, T. Trajkovic, F. Udreak, J. Thomson, P. R. Waind, P. Taylor, G. A. J. Amaratunga, "Suppression of parasitic JFET effect in trench IGBTs by using a self-aligned p base process", Solid-State Electronics, Vol. 46, p. 1907, 2002
- [5] E. G. Kang, M. Y. Sung, "Study on new LIGBT with multi gate for high speed and improving latch up effect", J. KIEEME, Vol. 13, No. 5, p. 371, 2000
- [6] E. G. Kang, M. Y. Sung, "A Novel Trench electrode BRT with the intrinsic Region for Superior Electrical Characteristics", J. KIEEME, Vol. 15, No. 3, p. 201, Mar. 2002
- [7] E. G. Kang, D. S. Oh, D. W. Kim, D. J. Kim, M. Y. Sung, "A Novel Lateral Trench electrode IGBT for Superior Electrical Characteristics", J. KIEEME, Vol. 15, No. 9, p. 758, Sep. 2002
- [8] E. G. Kang, S. H. Moon, M. Y. Sung, "A new trench electrode IGBT having superior electrical characteristics for power IC systems", Microelectronics J. Vol. 32, p. 641, 2001