

# Network processor 기반 유연 Intelligent Electronic Device(IED) 플랫폼 구현

## Implementation of a Flexible Intelligent Electronic Device(IED) platform based on The Network processor

전현진\*, 이완규\*, 장태규\*\*

Hyeon-Jin Jeon, Wan-Gyu Lee, Tae-Gyu Chang

**Abstract** - This paper proposed a platform which includes both Network processor and DSP for flexible IED. The Network processor is one of the Intel's IXP4XX Product Line family and the DSP is one of the TI's C6000 family. An embedded Linux is ported in Network processor so that a DSP program can be downloaded to Network processor through ethernet and then downloaded to DSP. Using this method, various algorithms according to IED can be applied to the Network processor board. Maximum ten ADCs can be connected because there is a CPLD between DSP and ADC. That is, the network processor board which can measure maximum 40 channels is implemented. In DSP program, thread and double buffering methods are used not to miss voltage samples. The Network processor board is verified using a method that eight channel voltage signals converted to digital are transmitted to server through both DSP and IXP425.

**Key Words** : IED, Network processor, DSP, embedded platform

### 1. 서 론

전력선의 전류, 전압, 위상, 주파수를 정밀 계측하는 것은 전력계통 보호계전의 기본 기능으로서 관련 알고리즘 및 구현 기술에 대한 많은 연구가 수행되어왔으며, 이를 통한 결과들 또한 전력계통 보호계전 목적으로 광범위하게 적용되고 있다. 지금까지의 연구와 또한 실제로 적용되는 전력선 변수들에 대한 계측은 대부분의 경우 독립적 측정 기능을 충실히 확보하는데 국한되었다고 할 수 있다.

하지만 data/control을 외부 source와 송수신 할 수 있는 processor와 결합된 형태의 유연 Intelligent Electronic Devices(IEDs)의 출현으로 다양한 알고리즘의 적용이 가능하게 되어, 전체 시스템의 정밀도와 신뢰성 등의 큰 향상을 가져오게 되었다[1]. 이러한 유연 IED를 위해서 다양한 형태의 보호계전 알고리즘들의 설정과 조합이 가능해야 하므로, 유연 IED 플랫폼 H/W의 설계는 기존의 ASIC과 같은 dedicated H/W 설계와는 달리 알고리즘의 재사용성 및 시스템 reconfigurability 가 충분히 확보될 수 있도록 하는 설계기술이 필요하다.

본 논문에서는 확장성과 유연성을 가질 수 있도록 embedded Linux기반의 Network processor와 RTOS기반의 DSP를 결합한 형태의 H/W구조를 설계하였다. 이렇게 함으로써 다양한 계전 프로토콜을 탑재할 수 있는 플랫폼을 확보할 수 있다. Network processor 부분에는 BootLoader인

Redboot v.2.02와 리눅스 커널 버전이 2.4.22인 embedded Linux를 포팅하였다. DSP 부분에는 최대 40채널까지의 전압 신호를 동시에 채집할 수 있는 RTOS를 포팅하였다.

### 2. Network processor 플랫폼 H/W 구조

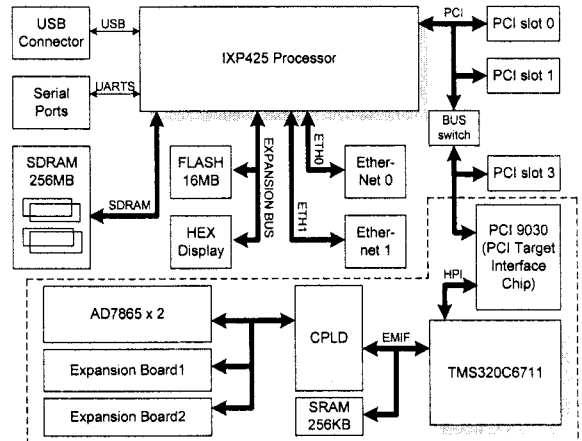


그림 1. Network Processor 플랫폼

그림 1은 전체적인 플랫폼의 블록도를 나타낸 것이다. 서비와 통신을 하기 위해선 Ethernet을 이용해야 하는데, 이를 위해 2개의 Ethernet port를 가진 INTEL의 Network Processor인 IXP425를 사용하였고[2], 다채널 전압신호를 취합하기 위해 TI의 Floating-point DSP인 TMS320C6711을 사용하였다[3]. 그리고, IXP425에 PCI interface가 없는

저자 소개

\* 中央大學 電子電氣工學部 碩士課程

\*\* 中央大學 電子電氣工學部 教授

TMS320C6711을 연결하기 위해 PLX의 PCI target interface chip인 PCI9030을 사용하였다[4]. IXP425에 embedded Linux를 올리기 위해 16MB의 FLASH와 256MB의 SDRAM을 사용하였고, DSP에 RTOS를 올리기 위해 256KB의 SRAM을 연결하였다. 전압신호를 얻기 위해 기본적으로 4채널 ADC 2개를 사용하였고, 추가적으로 다른 전압을 얻기 위한 확장 보드 커넥터도 만들었다. 따라서 한번에 최대 40채널의 전압 데이터를 얻을 수 있다. DSP에서 다채널 전압신호를 ADC로부터 얻기 위해 CPLD를 사용하여 구현하였다. 그림 2는 Network processor 플랫폼의 실제 사진이다.

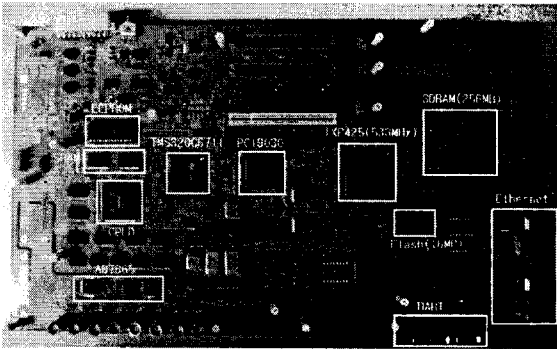


그림 2 Network processor 플랫폼

### 3. Network processor 플랫폼의 기능

Network processor 플랫폼은 기본적으로 ADC로부터 나오는 전압 데이터를 서버로 전송하는 기능을 한다. 그림 2은 데이터 전송을 위한 시스템 구조를 나타낸다.

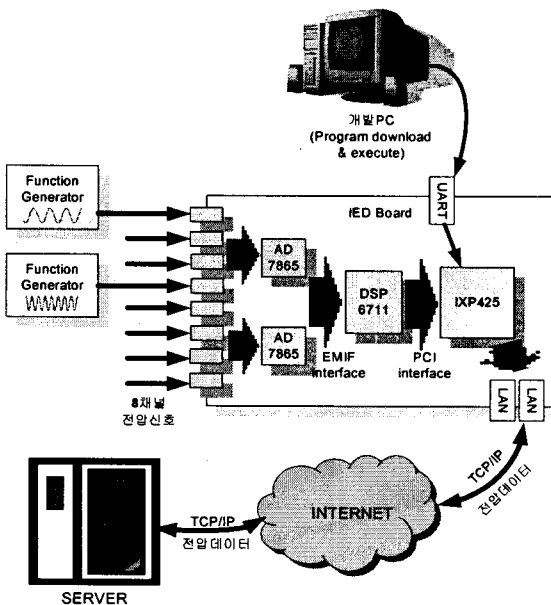


그림 2. 데이터를 전송하기 위한 시스템 구성도

Network Processor 플랫폼이 부팅이 되고, 프로그램이 실행되면 서버로 전송받은 DSP의 RTOS의 binary파일을 DSP의 메모리로 전송한다. 그러면 DSP의 RTOS가 실행되면서, ADC로부터의 전압데이터를 얻는다. DSP는 ADC로부터 받은 전압 데이터를 double buffering하면서 전송버퍼로 메모리 copy를 한다. 전송버퍼가 채워지면 IXP425는 DSP메모리에 있는 전송버퍼의 데이터를 IXP425의 SDRAM으로 전송하고, 서버로 전송한다.

Network processor가 서버에서 DSP프로그램을 다운받아 DSP에 다운로드하는 방식을 채택함으로써 다양한 프로토콜을 DSP에 적용할 수 있게 되었다. 즉, 새로운 프로토콜을 적용하기 위해 새롭게 하드웨어를 제작하거나 JTAG으로 DSP에 프로그램을 Writing을 하는 방식이 아닌, 단순히 서버로부터 DSP프로그램을 받아 PCI interface를 통해 다운로드하는 방식이 적용되었다.

그림 3은 DSP의 double buffering 기법을 나타낸다. DSP의 RTOS가 실행이 되면 ADC로부터 받은 전압데이터를 PING버퍼에 채우기 시작한다. PING버퍼가 다 채워지면(1프레임, 기본 8채널데이터×256) DSP는 저장되는 버퍼의 포인터를 PONG버퍼로 바꾼다. 동시에 DSP는 Thread를 이용해서 PING버퍼의 데이터를 전송버퍼로 memory copy를 하는 PCI전송 버퍼링을 한다. double buffering은 ADC로부터 지속적으로 전송되는 데이터를 손실하지 않고 저장하기 위한 기법이다. PCI전송 버퍼링은 DSP가 나중에 할지도 모르는 연산을 위한 기초 작업이다.

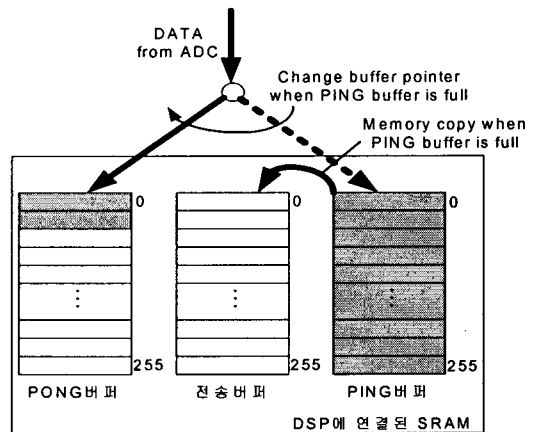


그림 3. DSP의 double buffering과 PCI전송버퍼링

### 4. Network processor 플랫폼을 이용한 테스트

Network Process 플랫폼이 전압신호를 서버로 전송하면서 각각의 프로세서별로 어느정도 부하가 걸리는지 테스트 하였다. 2개의 4채널 ADC는 채널당 60Hz의 전압신호를 64Hz로 sampling했다. DSP는 미리 설정된 EDMA를 이용하여 60×64Hz의 속도로 ADC의 8채널데이터를 가져온다. 전송버퍼가 채워지면 IXP425는 전송버퍼를 IXP425의 SDRAM으로 PCI전송을 한 후 서버로 전송한다. 테스트 결과는 표1에 나타내었다.

Processor	프레임별 점유시간
IXP425	10ms미만/66.67ms
TMS320C6711	17.5us/66.67ms

표 1. 프로세서별 점유시간

전압데이터를 서버로 전송하는 데에 DSP의 프로세서 점유가 극히 낮은 이유는 A/D된 전압데이터를 EDMA를 이용하여 전송하였기 때문이다[5].

그림 4는 프로세서별 점유시간을 도식적으로 표현한 것이다.

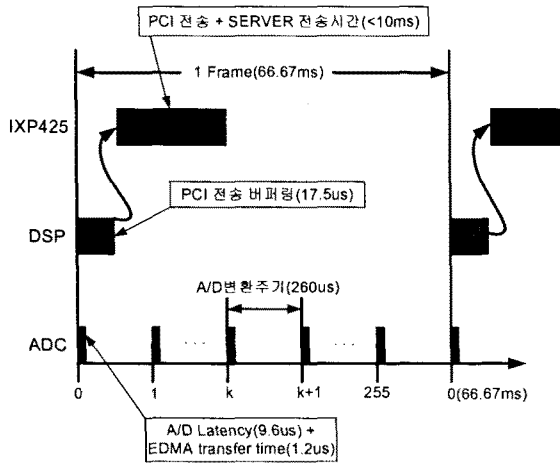


그림 4. 프로세서별로 처리되는 시간

## 5. 결론

본 논문에서는 유연 IED를 위해 다양한 계전 알고리즘을 적용하기 위한 목적으로 Network processor와 DSP를 이용하여 유연 플랫폼 기술에 기반한 하드웨어 및 소프트웨어 구조를 제시하였다. 알고리즘이 새롭게 바뀔 때마다 하드웨어 구조를 바꿀 필요없이 서버에서 알고리즘에 해당하는 프로그램을 컴파일 한 후 단순히 Network processor 보드에 다운로드 하는 방식을 사용하여 새로운 알고리즘을 적용시킬 수 있다.

기본 8채널의 전압 신호를 서버로 전송했을때 DSP의 프로세서 로드는 거의 없었고, Network processor는 10%정도의 부하가 있었다. 따라서 DSP에 좀 더 복잡한 계전알고리즘을 실행시킬 여유가 충분하다는 것을 확인했다.

차후 논문에서는 좀 더 복잡한 계전알고리즘을 DSP에 실행시켜 어느정도 성능을 발휘하는지 확인할 예정이다. 다양하고 complexity가 높은 알고리즘을 처리할 수 있는 플랫폼으로의 연구가 진행될 것이다.

## 참 고 문 헌

- [1] Ackerman, W.J, "The impact of IEDs on the design of systems used for operation and control of power systems", Power System Management and Control, 2002. Fifth International Conference on (Conf. Publ. No. 488), 17-19 April 2002 Page(s):445 - 450.
- [2] INTEL, "Intel® IXP42X Product Line of Network Processors and IXC1100 Control Plane Processor Datasheet"
- [3] TI, SPRS0880, "TMS320C6711, TMS320C6711B, TMS320C6711C FLOATING-POINT DIGITAL SIGNAL PROCESSORS.
- [4] PLX Technology, PCI 9030/C6000 AN, "Texas Instruments TMS320C6000 HPI bus to PCI 9030".
- [5] Texas Instrument, SPRA636A, "Application Using the TMS320C6000 Enhanced DMA"