

# IEEE 802.15.3a를 위한 Bit\_Interleaver의 효율적인 설계 및 구현

## An Efficient Design and Implementaion of Bit\_Interleaver for IEEE 802.15.3a

\*김태기, \*\*정차근  
 호서대학교 정보제어공학과  
 \*Tae-Ghi Kim, \*\*Cha-Keun Cheong  
 Information Control Engineering  
 Hoseo University

**Abstract** - This Paper suggests efficient design method which is used by Bit\_Interleaver in the IEEE 802.15.3a. Bit\_Interleaver is consist of Symbol\_Interleaver and Tone\_Interleaver. Each Interleaver is designed by using memory. In other to resolve burst error, Block Interleaver is using different reading and writing address for mixing the data. However This method has a different reading and writing memory address to realize Block Interleaver so this schematic is some complex. This Paper suggests efficient and simple Bit\_Interleaver Method which classify the memory of Bit\_Interleaver to reduce complexity of shcemeatic.

**Key Words** : IEEE802.15.3a, UWB, OFDM, Interleaver

### 1. 서론

UWB무선 기술은 신호를 500MHz 이상의 매우 넓은 대역 폭에 걸쳐 낮은 전력 밀도의 스펙트럼으로 분산시켜 송·수신함으로써 허가를 받지 않고 사용할 수 있는 거리의 고속 데이터 전송장치로 부각되고 있다. 특히, 400Mbps 이상의 고속 전송속도를 사용하는 기존의 유선장치를 무선장치로 대체할 수 있는 유일한 고속 무선 전송기술로, 회로구조가 간단하여 저가격화가 가능하고 기존의 휴대폰이나 무선랜 장치에 비해 5분의 1 수준의 전력으로 동작할 수 있어 홈네트워크 내에서 디지털 카메라, 캠코더, HDTV, 고음질 Hi-Fi, MP3 전송, 모니터, 빔프로젝트 등과 같은 고속정보 기기를 연동하기 위한 고속 WPAN(Wireless Personal Network) 기술로 발전될 것으로 전망되고 있다.[2]

2002년 UWB 기반의 고속 WPAN의 대체 물리계층(Alt-PHY layer)을 표준화하기 위한 TG3a가 결성되었고 현재 MBOA(Multi-Band OFDM Alliance)진영의 OFDM을 기반으로 하는 Multi-band 방식의 제안서(Multi-Band OFDM: MB-OFDM)와 Motorola 진영의 Direct Sequence기술 기반의 single/dual-band 방식의 제안서(Direct Sequence UWB: DS-UWB)로 압축되었다.

MB-OFDM방식의 IEEE802.15.4a에서는 연접오류의 발생

을 최소화하기 위해서 Bit Interleaving을 정의 하고 있다. Bit interleaving은 Symbol interleaving과 Tone interleaving의 두 단계과정을 거침으로써 이루어지고, 각 인터리빙은 메모리를 사용하여 설계하는 블록인터리빙 방식을 사용한다. 이 방식은 메모리의 읽·출력이 다르기 때문에 주소 생성 및 제어 모듈이 포함된다. 본 논문에서는 메모리 구조를 세분화하여 간소화된 주소 생성 및 제어 구조를 제안한다. 2장에서는 MB-OFDM 방식에서 정의 하고 있는 Bit interleaving에 대해 알아보고 3장에서는 본 논문에서 제안하는 메모리 구조와 permutation을 만족하는 읽·출력 주소의 생성 및 제어 방법의 특징을 알아본다. 마지막으로 4장에서는 결론으로 구성되어 있다.

### 2. IEEE802.15.3a UWB의 Bit interleaving

그림 1은 MB\_OFDM방식 UWB의 데이터 흐름 중 일부를 나타낸 것이다. MAC에서 받은 데이터는 스크램블러를 통과한 후 컨볼루션 인코더에 입력된다.

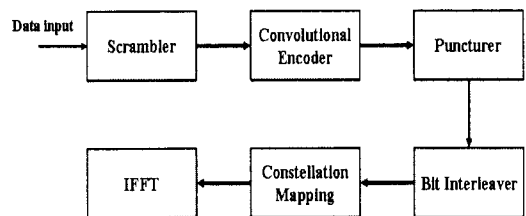


그림 1. MB\_OFDM방식 IEEE802.15.3a의 UWB 기능블록(일부)

저자 소개

- \* 김태기 : 湖西大學 情報制御學科 碩士課程
- \*\* 정차근 : 湖西大學 情報制御學科 副教授 · 工博

인코딩 된 데이터를 전송율에 따라서 적절히 puncturing된 후 비트 인터리버를 거치면서 데이터의 순서가 바뀌게 된다. 이 데이터는 QPSK의 심볼에 맞도록 매핑되어 IFFT에 입력되게 된다.

IEEE802.15.3a에서 규정하고 있는 data rate는 53.3, 55, 80, 106.7, 110, 160, 200, 320, 400, 480 Mbps로 총 10가지다. 표 1은 rate에 따른 파라미터를 정리한 것이다.

Data rate [Mbps]	Modulation	Coding rate	Conjugate Symmetric Input to IFFT	Time Spreading Factor	Overall Spreading Gain	N <sub>csfs</sub>
53.3	QPSK	1/3	Yes	2	4	100
55	QPSK	11/32	Yes	2	4	100
80	QPSK	1/2	Yes	2	4	100
106.7	QPSK	1/3	No	2	2	200
110	QPSK	11/32	No	2	2	200
160	QPSK	1/2	No	2	2	200
200	QPSK	5/8	No	2	2	200
320	QPSK	1/2	No	1 (No Spreading)	1	200
400	QPSK	5/8	No	1 (No Spreading)	1	200
480	QPSK	3/4	No	1 (No Spreading)	1	200

표 1. Rate-dependent parameters

### 1.1. Symbol interleaver

Symbol interleaving은 Bit interleaving의 두 단계 인터리빙 중에서 첫 번째로 거치는 것으로써 부채널을 서로 교차시켜 주파수의 다이버시티를 개발하기 위해서 OFDM 심볼들의 비트를 섞는다. 심볼 인터리빙의 메모리 크기는 N<sub>CBPS</sub>\*6로서 데이터를 쓸 때는 가로로 읽을 때는 세로로 읽어나감으로써 데이터가 채널에서 연속적으로 에러가 발생 하는 것을 방지해 준다. 그림 2는 심볼 인터리버를 나타낸 것이다.

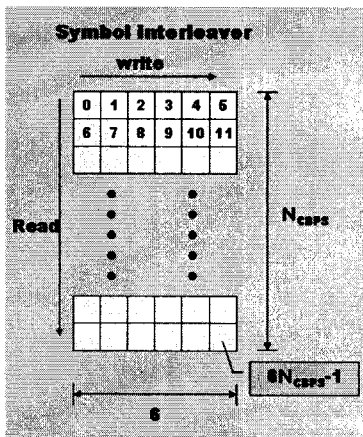


그림 2. Symbol interleaver

$$S(i) = U \left\{ \text{Floor} \left( \frac{i}{N_{CBPS}} \right) + 6 \text{Mod}(i, N_{CBPS}) \right\} \quad (1)$$

### 1.2 Tone interleaver

Tone interleaver는 심볼 인터리빙을 수행 후 협대역 예서의 간섭에 대해서 강한 특성을 제공하고 주파수의 다양성을 개발하기 위해서 수행 되는 것으로서 메모리 사이즈는 N<sub>Tint</sub>\*10 이다. 여기서 N<sub>Tint</sub>=N<sub>CBPS</sub>/10 이다. 그림 3은 Tone interleaver를 나타낸 그림이고, 식2는 입출력 관계이다.

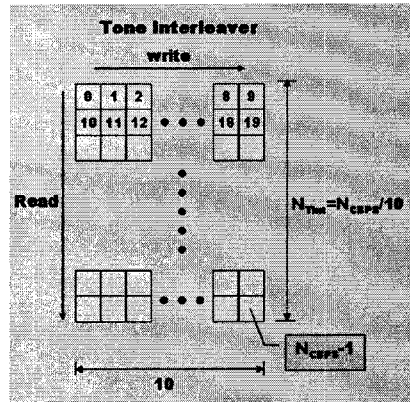


그림 3. Tone interleaver

$$T(i) = S \left\{ \text{Floor} \left( \frac{i}{N_{Tint}} \right) + 10 \text{Mod}(i, N_{Tint}) \right\} \quad (2)$$

## 3. 메모리 구조와 주소생성 및 제어

각 인터리버는 메모리를 사용하여 설계가 가능하다. 메모리에 데이터를 저장하고 읽을 때 순서를 다르게 함으로써 데이터를 섞을 수 있다. 이 과정에서 메모리의 주소를 읽고 쓰기 위한 컨트롤러를 설계해야 한다. 일반적으로 롬을 사용하여 주소를 Mapping시키는 방법을 사용한다. 하지만 메모리의 크기가 커지면 롬의 크기도 커지기 때문에 로직이 커지는 단점이 있다. 본 논문에서는 메모리를 세분화 하여 메모리의 주소생성 모듈을 설계하였다.

### 3.1 메모리 구조

Symbol interleaver에서 사용하는 메모리의 최대 사이즈는 6\*200이다. 본 논문에서는 6\*50크기로 메모리를 4등분 하거나 4등분한 메모리를 6\*1로 세분화 하였다. 그림 4는 메모리의 구조를 나타낸 것이다.

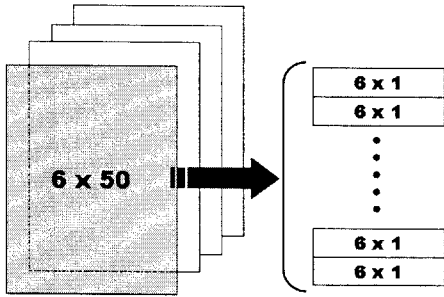


그림 4. Symbol interleaver의 메모리 구조

위와 같은 방법으로 메모리를 설계할 경우에 메모리 선택기가 필요하게 된다. 세분화된 메모리의 선택기와 4개로 나눈 메모리를 선택할 수 있는 선택기가 있어야 한다. 이런 선택기는 카운터를 사용하여 쉽게 설계가 가능하다. 그림 5는 메모리 선택기의 블록도를 나타낸 것이다.

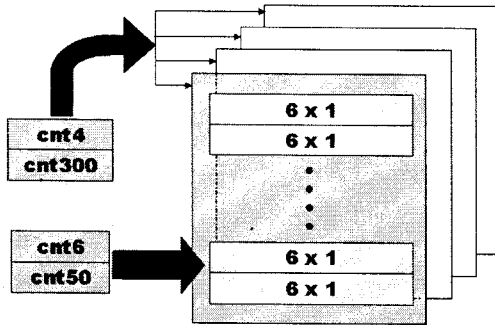


그림 5. 메모리 선택기를 포함한 블록도

메모리 선택기는 카운터를 사용하여 설계를 하였다. 선택기 설계 시에 고려해야 할 점은 데이터를 읽을 때 메모리에 있는 데이터를 연속적으로 읽을 수 없기 때문에 그림5에서 볼 수 있는 cnt50을 사용해서 6x1의 메모리를 선택해야 한다.

#### 4. 결 론

일반적으로 인터리버는 여러 가지 종류가 있고, 그들의 역할은 burst error에 대해 강한 특성을 갖도록 해준다. Bit interleaver는 symbol interleaver과 Tone interleaver의 두 단계의 인터리빙을 거친다. 두 단계를 거침으로써 주파수의 다이버시티를 개발할 수 있다. 본 논문에서는 IEEE802.15.3a에서 사용하는 interleaver의 메모리의 효율적인 설계 방법을 제시하였다.

메모리의 설계는 곧 메모리 컨트롤러 설계로 이어진다. 일반적으로 인터리버를 설계할 때는 주소를 Mapping시켜 ROM에 저장시키는 방법을 사용한다. 하지만 이러한 방법은 설계가 간편하기는 하지만 메모리의 크기가 커지고 다양한 메모리가 가변적이라면 여러개의 ROM을 갖고 있어야 하는 단점이 생긴다. 이는 곧 ASIC Chip 제작시에 로직의 증가로 이어진다.

이를 해결하기 위한 방법으로 메모리 6x50크기의 4개와 4

개로 나눈 메모리를 6x1의 메모리로 다시 세분화 하였다. 이렇게 세분화된 메모리를 컨트롤하기 위해서 메모리의 주소 발생기 안에 메모리 선택기를 두었다. 메모리 선택기 설계가 비교적 용이하고 크기도 크지 않다. 그리고 읽기·쓰기 주소의 생성이 순차적으로 증가하는 구조이기 때문에 설계가 편하고 로직이 감소됨을 알 수 있다.

#### 참 고 문 헌

- [1] IEEE P802.15 Wireless Personal Area Network, "Multi-band OFDM Physical Layer Proposal for IEEE 802.15 Task Group 3a", March, 2004
- [2] 최상성, 신철호, 강범주, "무선 홈네트워크 실현을 위한 고속 UWB 기술 및 표준화 동향"
- [3] 이종훈, 김우정, 송상섭, "IEEE802.11a 무선 랜을 위한 효율적인 인터리버의 설계"