

가상저항을 이용한 CMOS Subbandgap 기준전압회로 설계

A Design of CMOS Subbandgap Reference using Pseudo-Resistors

이상주, 임신일
SangJu Lee*, Shin-II Lim**

Abstract - This paper describes a CMOS sub-bandgap reference using Pseudo-Resistors which can be widely used in flash memory, DRAM, ADC and Power management circuits. Bandgap reference circuit operates weak inversion for reducing power consumption and uses Pseudo-Resistors for reducing the chip area, instead of big resistor. It is implemented in 0.35um Standard 1P4M CMOS process. The temperature coefficient is 5ppm/°C from -40°C to 100°C and minimum power supply voltage is 1.2V. The core area is 1177um x 617um. Total current is below 2.8uA and output voltage is 0.598V at 27°C

Key Words : CMOS, bandgap reference voltage circuit , pseudo-resistor

1. 서론

플래쉬 메모리, DRAM, ADC 그리고 파워 관리 회로 등에 널리 사용이 되는 Bandgap 기준 전압 회로는 최근 VDD 전압이 낮아짐에 일반적인 bandgap 회로의 사용이 어려워지고 있다. 일반적인 bandgap 회로는 출력전압이 1.2V이고 VDD 전압은 적어도 2V는 넘어야 정상적인 동작이 가능하다.[1] 2V이하의 저전압에서 동작이 가능한 bandgap 회로들은 일반적인 CMOS가 아닌 BiCMOS공정[2], Native Nmos [3] 혹은 Schottky Diode[4] 등을 사용을 하여서 문제를 해결을 하였다. 본 논문에서는 일반적인 CMOS 공정을 사용하고 Pseudo Resistor를 사용하였다.

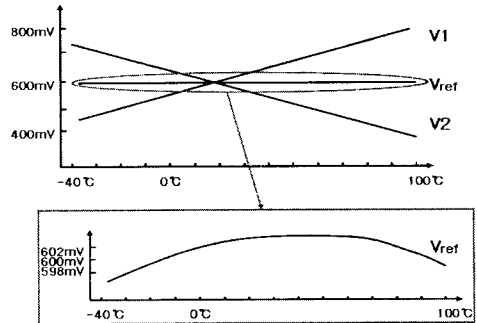


그림 2. SubBandgap 기준 전압 회로 특성

2. SubBandgap 기준 전압 회로

2.1 Sub-band core circuit

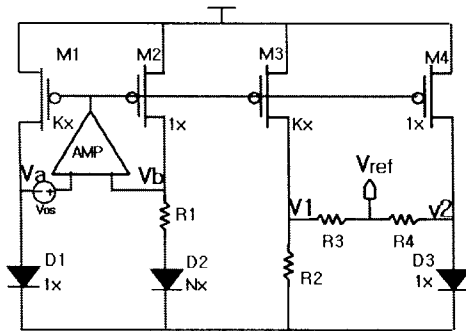


그림 1. SubBandgap 기준전압 회로

그림 1은 기존에 설계된 bandgap reference 회로의 개념도이다.[5] 이 회로는 일반적인 CMOS 공정을 사용하였고 전류 소모를 줄이기 위하여서 모든 MOSFET을 Subthreshold에서 동작을 시킨다. 또한 Back bias를 이용하여서 Vth의 전압을 줄이는 방법을 사용하였다.

그림 2는 그림 1 회로의 V1, V2, Vref 특성을 나타낸 그림이다. V1은 온도에 대하여 PTAT (Proportional to absolute temperature)의 특성을 가지고 V2는 CTAT (Complementary to absolute temperature)의 특성을 가진다. Vref은 V1, V2의 중간 값으로 나타나고 수식(1)로 나타난다. VD는 다이오드 전압, VT는 thermal voltage(=kT/q) 이다.

$$V_{ref} = \frac{1}{2} \times \{KV_T \ln(NK) + V_{D3} - KV_{OS}\} \quad (1)$$

수식(1)의 K, N값을 조정하여서 전류 I의 PTAT 특성을 조절을 하면 V1과 V2의 기울기가 거의 같게 되고 온도에 대하여 일정한 전압이 나오게 된다.

저자 소개

* 이상주 : 서경대학교 컴퓨터공학과 석사과정

** 임신일: 서경대학교 컴퓨터공학과 교수

Badgap에 흐르는 전체 전류는 $2(K+1)I$ 가 흐른다. K는 온도 계수에 관련된 함수이기 때문에 전체 전류를 줄이기 위한 방법은 I를 줄이는 방법뿐이 없다. I를 줄이기 위해서는 저항 R1을 키우면 된다. 그러나 R3(R4)는 R1(R2)에 비해 10배 이상보다 커야 정상적인 동작이 가능하다. 저 전력을 위하여 R1의 크기를 키우는 것은 칩 면적에 제한이 있다.

2.2 Pseudo Resistor

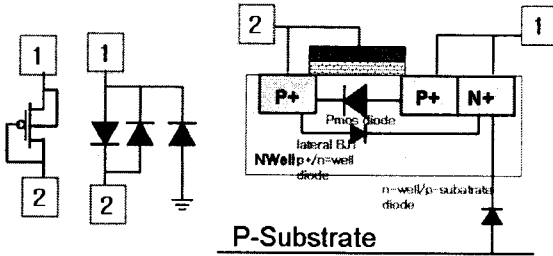


그림 3 다이오드 형태의 Pmos and parasitics

실제 저항을 사용 하였을 때 칩 면적의 부담을 줄이기 위하여 그림3 같은 Pseudo Resistor을 사용한다.[6] 그림 3의 드레인과 벌크, 게이트와 소스를 묶은 형태의 기생 다이오드 성분이다. V2의 전위가 V1의 전위보다 높을 때 V2에서 V1으로 Lateral diode를 통하여 미세하게 Leakage Current가 흐르고 V2에서 바라보면 수백 메가에서 수십 기가의 저항으로 보이게 된다.

2.3 설계한 bandgap 회로

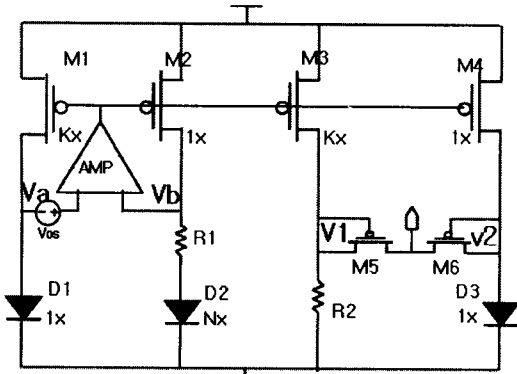


그림 4 설계한 bandgap 회로

그림 4은 그림 1의 R3와 R4의 저항을 Pseudo Resistor을 이용 M5와 M6으로 대체한 그림이다. 그림 1의 R3와 R4의 저항은 R1과 R2의 저항에 비하여 적어도 10배 이상 큰 저항을 사용해야 정상적인 동작을 한다. 따라서 칩의 면적이 커지게 된다. 이것을 M5와 M6으로 대체하여서 칩의 면적을 줄일 수 있다. 실제 저항을 사용한 경우와 Pseudo Resistor 사용한 경우 거의 동일한 회로특성 결과를 얻을 수 있다. 또한 그림 1에서 사용한 Back bias를 이용하여서 Vth의 전압을 줄이는 방법을 사용하지 않고 Vth를 그대로 사용하였다.

전류 소모를 줄이기 위하여 모든 MOSFET을 weak inversion에서 동작을 한다.

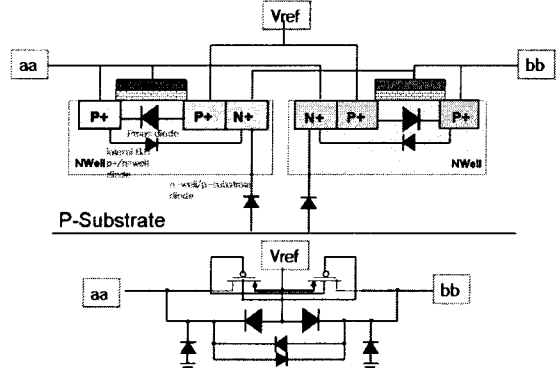


그림 5. 그림 4의 M5와 M6의 기생 다이오드

그림 5는 그림 4의 M5와 M6에 나타나는 기생 다이오드 성분을 정리한 그림이다. aa와 bb의 사이의 중간 값을 2개의 모스를 이용한 다이오드의 중간 값을 통하여서 얻었다.

3. 모의실험 결과와 레이아웃

3.1. bandgap reference 모의실험 결과

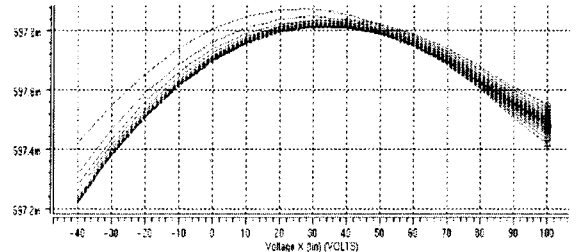


그림 6. VDD 1.3V~ 3.5V, 온도 -40°C~100°C Sweep Simulation 결과

그림 6는 VDD를 1.3V~ 3.5V, 온도 -40°C~100°C Sweep Simulation 결과이다. 140°C 온도가 변화에 따라 Reference 전압이 약 0.7mV 정도 변함을 알 수 있다. 온도계수는 5ppm/°C 이다.

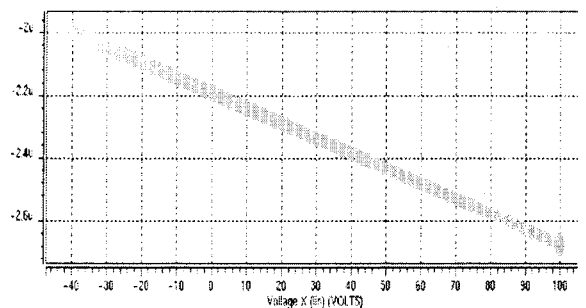


그림 7 bandgap reference simulation 결과

그림 7은 그림 6와 같은 조건으로 온도 변화에 따른 전체 Bandgap reference 회로에 흐르는 전류이다. 최대전류가 약 2.8uA 정도임을 알 수 있다.

표 1. 저전압 Bandgap Reference 비교

	This work 2006	Malcovati et al JSSC 2001 [2]	Banba et al JSSC 1999 [3]	Leung et al JSSC 2002 [7]	Doyle et al JSSC 2004 [5]	Butler et al Midwest 2005 [4]
Technology	0.35um CMOS (General)	0.8um BiCMOS (BiCMOS)	0.4um CMOS (native Nmos)	0.6um CMOS (General)	0.5um CMOS (Backbias)	0.5um CMOS (Schottky diode)
Threshold Voltage	Vthp: -850mV Vthn: +580mV	-	Vthp: -1.00V Vthn: +700mV Vthi*: -200mV	Vthp: -900mV Vthn: +900mV	Vthp: -300mV Vthn: 200mV	-
Vdd min	1.2V	1V	0.84V	0.98V	0.95V	1.2V
Supply current	2.8uA	92.0uA	-	18uA	10uA	5uA
Vref	598mV	535mV	515mV	603mV	631mV	400mV
Temperature Coefficient	5ppm/°C -40<T<100	7.5ppm/K 0<T<80	±59ppm/°C	15ppm/°C	17ppm/°C	-

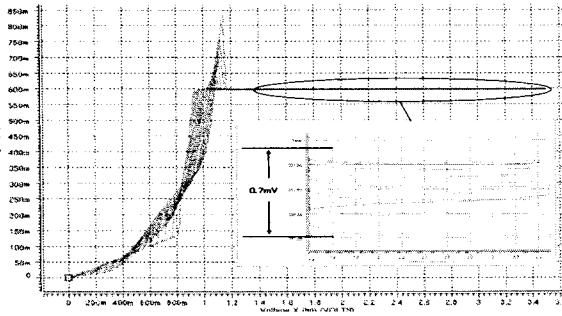


그림 8. 전압 변화에 따른 DC Sweep 시뮬레이션 결과

그림 8 은 VDD를 변화시키보면서 일정한 전압이 나오는 구간을 확인한 시뮬레이션 결과이다. 온도 -40°C~100°C 변화에 VDD가 1.2V부터 일정한 약 598mV정도의 전압이 나온다.

표1 은 설계한 Bandgap Reference와 기존의 Bandgap Reference 회로를 비교한 자료 이다. 저 전압동작이 가능하고 기존의 회로에 비해 소모전류와 temperature coefficient가 현저히 좋아졌다.

3.2. Layout

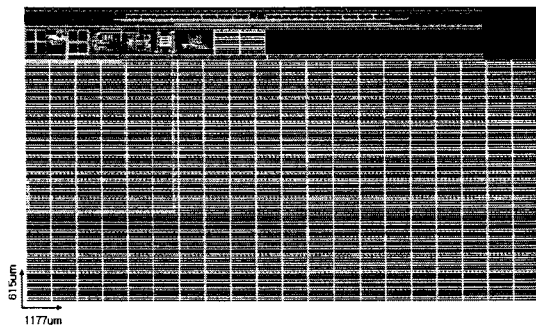


그림9. Layout

레이아웃 면적은 1177um x 617um 정도의 면적을 나타내고 있는데 고 저항을 제공하는 공정을 사용하지 못하여서 저항의 면적이 크게 레이아웃이 되었다.

4. 결론

본 논문에서는 Pseudo-Resistors를 이용한 Subbandgap Reference 회로 설계를 수행하였다. CMOS weak inversion에서 Mosfet을 동작시켜 전력 소모를 줄이도록 노력했다 또한 Diode connected Pmos를 이용한 Pseudo-Resistors를 사용하여서 큰 저항의 면적을 줄였다.

VDD 1.2V~3.5V에서 temperature coefficient는 5ppm/°C 갖고 598mV의 일정한 전압이 나온다.

감사의글

본 논문은 정통부 및 정보 통신 연구 진흥원의 정보통신 선도기반기술개발사업의 연구결과로 수행되고 IDEC 제공한 CAD 장비를 사용하였습니다. (과제번호: 2005-s-093)

참 고 문 헌

- [1] R. Jacob Baker, "CMOS Circuit Design, Layout and Simulation"2nd edition Wiley Interscience, 2005 p45-770
- [2] Piero Maloberti, Carlo Focci, Marelo Pruzzi "Curvature -Compensated BiCMOS Bandgap with 1-V Supply Voltage" IEEE Journal of Solid-State Circuits, Volume29 Issue 11, Nov. 2001 Page(s):1076 - 1081
- [3] Banba, H.; Shiga, H.; Umezawa, A.; Miyaba, T.; Tan zawa, T.; Atsumi, S.; Sakui, K. "A CMOS bandgap reference circuit with sub-1-V operation" Solid-State Circuits, IEEE Journal of Volume 34, Issue 5, May 1999 Page(s):670 - 674
- [4] Butler, D.L.; Baker, R.J., "Low-voltage bandgap reference design utilizing Schottky diodes" Circuits and Systems, 2005. 48th Midwest Symposium on 7-10 Aug. 2005 Page(s):1794 - 1797 Vol. 2
- [5] Doyle, J.; Young Jun Lee; Yong-Bin Kim; Wilsch, II.; Lombardi, F "A CMOS subbandgap reference circuit with 1-v power supply voltage" Solid-State Circuits, IEEE Journal of Volume 39, Issue 1, Jan. 2004 Page (s):252 - 255
- [6] R.R. Harrison and C. Charles "A Low-Power Low Noise CMOS Amplifier for Neural Recording Applications" IEEE Journal of Solid-State Circuits, Vol.38. No.6 June 2004, pp.958-965
- [7] Ka Nang Leung, Philip K. T. Mok "A Sub-1V 15-ppm/°C CMOS Bandgap Voltage Reference Without Requiring Low Threshold Voltage Device" IEEE Journal of Solid-State Circuits, Vol.37. No.4 APRIL 2002, pp.526-530