

저전력 8비트 10MS/s 파이프라인 ADC 설계

A Design of 8bit 10MS/s Low Power Pipelined ADC

배 성 훈*, 임 신 일**
Sung-Hoon Bae, Shin-II Lim

Abstract - This paper describes a 8bit 10MS/s low power pipelined analog-to-digital converter(ADC). To reduce power consumption in proposed ADC, a high gain op-amp that consumes large power in MDAC(multiplying DAC) of conventional pipelined ADC is replaced with simple comparator and current sources. Moreover, differential charge transfer amplifier technique with latch in the sub-ADC reduces the power consumption to less than half compared with the conventional sub-ADC which use high speed comparator. The proposed ADC shows the power consumption of 1.8mW at supply voltage of 1.8V. This proposed ADC is suitable to apply to the portable display device. The circuit was implemented with 0.18um CMOS technology and the core size of circuit is 2.5mm x 1mm

Key Words : 파이프라인 ADC, 비교기, 차동전하전달 증폭기

1. 서 론

현재 휴대용 장비들이 각광받고 있는 가운데 휴대용 디스플레이 장치들의 수요가 커져가고 있다. 이러한 휴대용 디스플레이 장치들에는 저 전력 고속, 고해상도, 저 면적의 데이터 변환기가 요구된다. 본 논문에서는 이러한 휴대용 장비에 적용이 가능한 저 전력 8bit 10MS/s ADC를 구현하였다. 기존의 파이프라인 ADC를 구성하는 MDAC은 연산증폭기를 사용하는데 ADC 전체의 성능을 높이기 위해서는 연산증폭기의 설계가 매우 중요하다. 고속 동작을 하려면 연산증폭기의 소모전류를 크게 해야 하고, 고 해상도 동작을 보장하려면 증폭기의 이득을 크게 설계해야한다.[1][2][3] 제안된 회로는 비교기와 전류원을 이용하여 샘플링 데이터 시스템(Sampled data system)에 응용되는 연산증폭기와 같은 동작을 하도록 설계하였다. 제안된 회로는 설계가 용이하고, 전력소모가 작다는 장점이 있다. 또한 본 논문의 회로는 비교기에 존재하는 일정한 지연시간을 통해서 각 단간에 전달되는 전압의 에러를 최소화하고 정밀한 잉여전압(residue)을 전달하도록 하였다. 그리고 각 단의 sub-ADC를 구성하는 비교기의 선 증폭단(Pre-amp stage)에 Differential charge transfer amplifier(DCTA)를 적용하였기 때문에 회로내의 소모전력을 크게 줄일 수 있었다. 제안된 8 비트 10MS/s 파이프라인 ADC는 1.8V의 전원 전압을 가지며 0.18 μ m 1P4M 표준 CMOS공정을 사용하여 구현하였다. 칩의 크기는 2.5mm x 1mm이며 전력 소모는 약 1.8 mW이다.

2. 파이프라인 ADC의 구조

파이프라인 ADC는 M개의 단(stage)을 연결하여 각 단계로 입력 전압을 N비트의 디지털코드를 변환하여 출력하고

입력된 전압과 참조전압의 차이를 2^N 배하여 다음 단계로 전달하는 것이다. 그림 1은 파이프라인 ADC의 기본 블록도이다.[4]

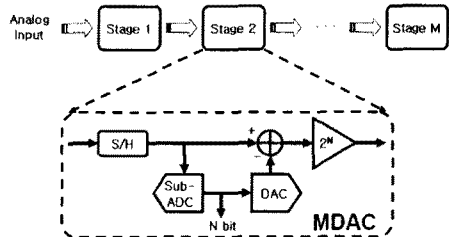


그림1. 파이프라인 ADC의 블록도

위 그림에서 보는 바와 같이 파이프라인 ADC의 각 단은 sub-ADC와 DAC, 뺄셈기, 그리고 증폭기 기능을 하게 되어 있으며, 이 모든 기능 수행하는 회로를 MDAC(Multiple DAC)라고 한다. 그러므로 ADC의 전체 성능은 MDAC 성능에 따라 좌우되게 된다.

2.1 기존의 MDAC

아래 그림 2은 기존의 MDAC의 sampling, holding에서의 회로도나 holding time에서의 A노드의 전압상태를 나타낸 것이다. 그림 2(c)에서 보는 바와 같이 A노드의 전압이 sampling된 입력 전압만큼 낮아져 V_{CM0} 가 되는데 이 전압이 빨리 $V_{CM}(VDD/2)$ 에 도달할수록 ADC는 고속 동작을 하게 되는 것이다. 이렇게 되려면 MDAC을 구성하는 증폭기의 대역폭이 넓어야 하고, 이득 또한 높아야한다.

* 배성훈 : 서경대학교 컴퓨터 공학과 석사과정

** 임신일 : 서경대학교 컴퓨터 공학과 부교수

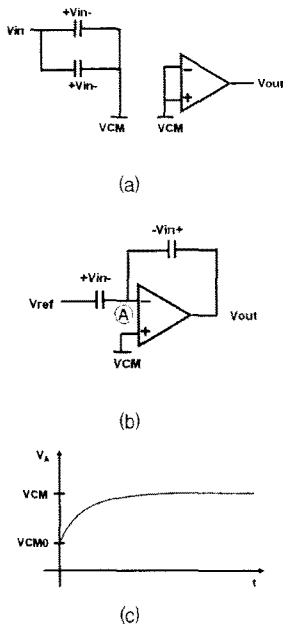


그림2. 기존 MDAC의 (a)Sampling phase의 회로도 (b)Holding phase의 회로도 (c) Holding phase에서의 A노드 전압

증폭기의 대역폭이 넓히려면 회로전체에 흐르는 전류를 늘려야 하는데 그렇게 되면 ADC 전체의 소모 전력이 커진다. 또한 높은 이득을 갖는 증폭기는 설계가 까다롭다는 문제점이 있다. 본 논문에서는 위의 문제점을 해결하기 위하여 증폭기 대신 비교기를 이용하여 MDAC을 구성하였다.

2.2 제안된 MDAC

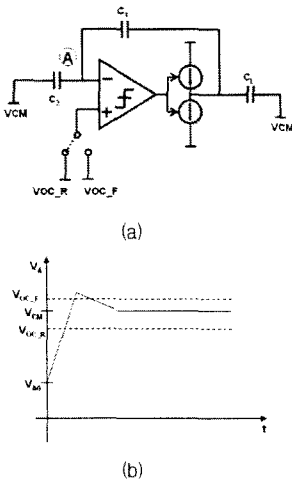


그림3. 제안된 MDAC의 (a)Holding phase의 회로도 (b)Holding phase에서의 A노드 전압

위 그림 3은 제안된 비교기를 이용한 MDAC의 회로도이다. 본 회로의 동작은 비교기가 전류원을 조절하여 빠른 시간 안에 A노드의 전압이 VCM 에 이르도록 하게 된다.

Sampling phase의 동작은 기존의 회로(그림 2(a))와 같고, Holding phase의 동작은 최초 A노드의 전압이 V_{A0} 이면 비교기가 Low를 출력하여 먼저 부하 커패시터를 충전시키는데 이 때 전류원에서는 비교적 많은 전류를 흘려보내서 빠른 시간에 충전되도록 하게 된다. 비교기에는 항상 propagation delay가 발생하기 때문에 A노드의 전압이 VCM이 될 때 충전이 끝나지 않고 VCM보다 높은 전압에서 멈추게 된다. 그래서 비교기의 출력이 High가 되면 적은 량의 전류를 다시 방전하여 VCM전압에 이르도록 하였다. 방전할 때에는 충전 시보다 적은 전류를 흘림으로 천천히 방전하여 정밀한 VCM 전압에 이르도록 하게 된다. 그러나 이런 방법으로도 정확히 A노드의 전압이 VCM으로 되지 않고 VCM보다 낮게 나오게 되므로 보정 전압을 사용하여 이 문제를 보완하게 된다. 보정전압은 비교기의 일정한 propagation delay를 이용한 것으로 VCM 보다 높은 V_{OC_F} 전압을 연결하여 VCM전압에서 방전 동작이 멈추게 한 것이다. 또한 VCM전압보다 낮은 V_{OC_R} 전압을 이용하여 전체 동작이 좀 더 빨리 settling 하도록 하였다.

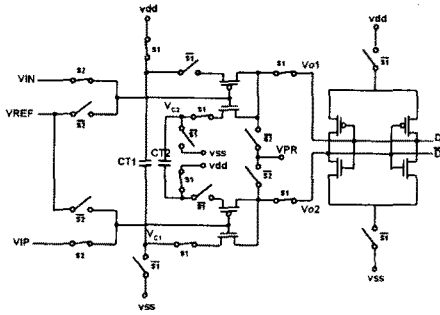
기존의 회로로써 10MHz 샘플링 동작을 하기 위해서는 증폭기가 적어도 30MHz이상의 단위이득 주파수를 갖어야 하며, 8비트의 해상도를 갖기 위해서는 70dB이상의 증폭도를 가져야 한다. 그렇게 되면 증폭기의 전류는 약 수백uA 정도가 흐르게 되는데, 제안된 회로를 이용하면 약 70uA 미만으로 사용하게 되기 때문에 전력소모를 크게 줄일 수 있다. 뿐만 아니라 비교기에는 주파수를 보상하기 위한 capacitor가 필요없기 때문에 면적 또한 크게 줄일 수 있는 장점이 있다.

MDAC을 구성하는 비교기는 연속적 동작(Continuous type comparator)을 해야 하지만 각 단의 sub-ADC와 최종단의 플래쉬 ADC는 샘플링이 끝난 시점에만 동작하면 되기 때문에 동적 비교기(Dynamic comparator)를 사용하여 전력 소모를 줄였다. 본 논문에서는 동적 비교기의 선증폭단 (preamp)에 차동전하전달 증폭기(DCTA)를 적용하여 전력소모를 줄였다.

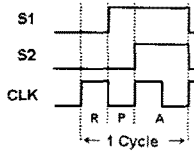
2.3 전하전달 증폭기를 이용한 비교기

그림 4는 각 단의 sub-ADC와 최종단의 Flash ADC를 구성하는 비교기이다. 제안된 회로는 차동전하전달 증폭기 뒤에 래치회로를 연결함으로써 동적 비교기를 구현한 것이다. 차동전하전달 증폭기는 S1과 S2가 모두 low일 때는 비교기의 각 노드를 리셋(R:Reset)하게 되고, 래치회로에서는 디지털 값을 출력하게 된다. S1은 high, S2는 low일 때는 Vo1, Vo2 노드에 VPR 전압이 충전되고(P:Precharge), S1과 S2가 high일 때, 증폭동작(A:Amplification)을 수행한다. 즉, 입력전압과 참조전압의 전위차 만큼의 전하가 CT1(CT2)와 래치회로의 입력 커패시터성분간의 비율만큼 증폭된다. 이 비교기는 입력과 참조전압간의 전위차 만큼의 전하만 전달되기 때문에 저전력으로 빠른 동작을 할 수 있는 장점이 있다.[5] 차동전하전달 증폭기의 실제 소모전류는 약 1 uA 정도이며 Latch회로를 포함하더라도 5uA 이내로 흐르게 된다.

위의 두가지 방법으로 MDAC과 sub-ADC, Flash ADC를 설계한 결과 각 스테이지당 약 110uA(디지털 불럭 포함)정도 전류소모를 하고, 전체 약 1mA (디지털 불럭 포함)정도 소모하는 것으로 확인되었다.



(a)



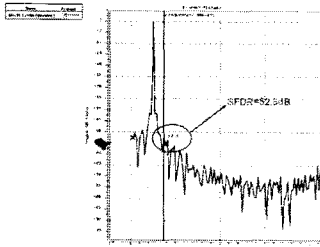
(b)

그림4. 제안된 비교기의 (a)회로도 (b)클럭신호

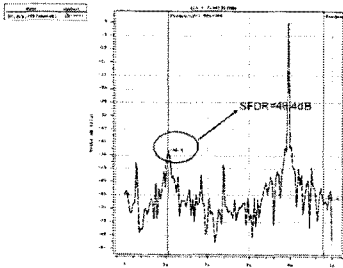
3. 결론

3.1 시뮬레이션 결과

그림 5는 제안된 회로의 FFT결과이다. 그림 5(a)는 입력이 약 507kHz일 때, SFDR은 약 52.3dB, SNDR은 48.8dB이며, ENOB는 약 7.8비트가 나왔다. 그림 5(b)는 입력이 약 4MHz일 때, SFDR이 48.4dB, SNDR은 44dB ENOB는 약 7비트가 나오는 것으로 계산되었다.



(a)



(b)

그림5. 제안된 ADC의 FFT시뮬레이션 결과 (a)Fin=507kHz (b)Fin=4MHz

3.2 성능 분석 및 레이아웃

표1. 제안된 ADC의 성능 분석

Parameter	Results
Process	0.18um 1P4M CMOS
Supply voltage	1.8V
Sampling rate	10MHz
Input range	0.8Vpp
ENOB	7.8bit(@ Fin=507kHz) 7bit (@ Fin=4MHz)
Power consumption	1.8mW

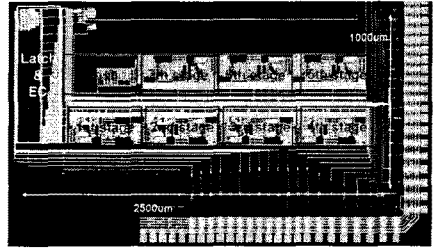


그림6. 제안된 ADC의 Layout

3.3 결론

본 논문에서 제안한 파이프라인 ADC는 기존의 증폭기를 이용한 MDAC 대신 비교기를 이용한 MDAC로 저전력의 ADC를 구현하였다. 또한 차동전하전달 증폭기를 비교기에 응용하여 전력소모를 더욱 줄였다 제안된 회로는 CMOS 0.18um 공정을 이용하였으며, 8bit 10MS/s의 동작을 한다. 기존의 구조로 제안된 회로와 같은 성능을 얻기 위해서는 약 100mW 이상의 전력소모가 예상되지만 제안된 회로의 전력소모는 1.8V 전원전압에서 1.8mW정도이다. 본 회로는 휴대 디스플레이장비에 적용 가능하도록 설계되었다.

감사의 글

본 논문은 정보통신부의 출연금으로 수행한 IT-SoC 핵심 설계인력양성 사업의 수행결과이며, IDEC 장비를 활용하였습니다.

참고 문헌

- [1] T.B. Cho and P.R Gray, "A 10bit, 20MS/s, 35mW pipeline A/D converter", in Proc. IEEE Custom Integrated Circuits Conf., May 1994, pp 23.2.1-23.2.4
- [2] S. H. Lewis, et al. "10b 22Msample/s analog-to-digital converter", IEEE JSSC, vol.27, pp.351-358, Mar 1992
- [3] Y. M. Lin, B. Kim, and P. R. Gray, "A 13b 2.5MHz self calibrated pipelined A/D converter in 3-um CMOS", IEEE JSSC, vol. 26, pp.628-636, April 1991.
- [4] Todd Sepke, J. K Fiorenza, et al. "Comparator-based switched-capacitor circuits for scaled CMOS technologies", ISSCC 2006, pp. 220-222, Feb. 2006
- [5] P. Cusinato, et al., "Analysis of the behavior of a dynamic latch comparator", IEEE Tran. Circuits and Systems I:Fund. Theory and Appl., v.45, no3, pp.294-298, Mar. 1998