

실시간 구형파-평균치 변환 방법

A converting method for square wave to average value in real time

이 종무*, 김 준경**, 김 석주***, 천 종민****, 박 민국*****, 권 순만*****
 J.M. Lee*, C.K. Kim**, S.J. Kim***, J.M. Cheon****, M.K. Park*****, S.M. Kwon*****

Abstract - Generally, LPF(low pass filter) circuits are used for converting square wave to average value, but these are not used necessary for average value of square wave in real time because of time constant of LPF. This paper deals with acquiring method for average value of square wave in real time in case of frequency of output voltage is fixed, waveform of output voltage is square wave and duty of output voltage is varied like as 1 quadrant or 4 quadrant chopper.

Key Words : 구형파-평균치 변환, 실시간 변환, 저역 통과 필터

1. 서론

1상한 초퍼나 4상한 초퍼 응용 분야에서의 같이 출력전압의 주파수는 고정되어 있고 구형파이면서 Duty가 변하는 파형으로부터 실시간으로 구형파의 평균치를 취득하기 위한 단일 부품의 IC 회로나 센서가 없다. 따라서 본 논문에서는 주변에서 손쉽게 구할수 있는 OP Amp, 샘플 앤드 홀드 소자, 카운터, Multiplying D/A Converter, FPGA 등으로 상기와 같은 조건을 가진 경우에 구형파의 평균치를 실시간으로 변환해 주는 회로 구현에 대하여 기술하고자 한다.

2. 본론

2.1 회로 구현

그림 1은 본 논문에서 구현하고자 하는 실시간 구형파-평균치 변환 회로의 블록도이고, 그림 2는 그림 1에 있어서 실시간으로 구형파를 평균치로 변환하는데 필요한 구체적인 제어신호 발생 등의 과정을 보여주는 타이밍 도이다.

그림 1에서 100은 OP Amp로 구현되는 비교기, 110은 기준 클럭 발생기, 120은 프로그램머블 로직 어레이 소자인 FPGA, 121은 분배기, 122는 제어신호 발생기, 123은 카운터인 펄스 계수기, 130은 제 1 S/H(샘플 앤드 홀드)부, 140은 곱셈기, 150은 제 2 S/H부, 160은 OP Amp로 구현되는 가산기, 170은 제 3 S/H부를 나타낸다.

비교기(100)는 1상한 초퍼나 4상한 초퍼 응용 분야에서와

같이 출력전압의 주파수는 고정되어 있고 구형파이면서 Duty비가 변하는 파형으로부터 실시간으로 구형파의 평균치를 취득하기 위한 구형파 입력신호(Vin)를 비교기(100)의 정극성 입력단자에 연결하고, 부극성 입력단자에는 정극성 입력단자 신호와 비교할 기준 전압(Vref)을 입력하여 비교된 로직 레벨의 출력신호(Vlog)를 FPGA(120)의 제어신호 발생기(122)에 입력한다.

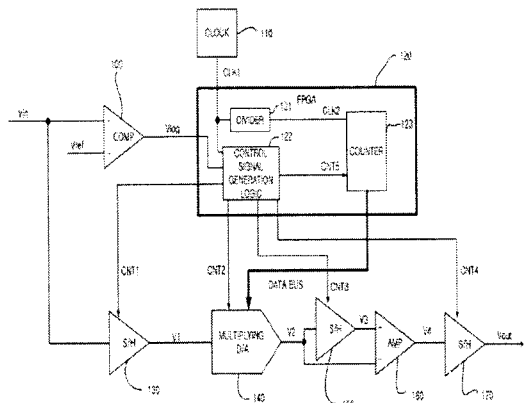


그림 1. 실시간 구형파-평균치 변환회로 블록도

여기에서 기준 전압(Vref)은 1상한 초퍼의 경우에는 정극성 전압신호 크기의 1/2 정도 전압으로 설정하고, 4상한 초퍼의 경우에는 영전압으로 설정한다.

기준 클럭 발생기(110)의 클럭(CLK1)은 측정하고자 하는 구형파의 주파수와 펄스 계수기(123)의 데이터 비트(Data Bit) 수 및 곱셈기(140)의 데이터 비트(Data Bit) 수를 고려하여 선정한다. 회로의 안정적인 동작을 위하여 펄스 계수기

저자 소개

- * 이종무 : 한국전기연구원 계측제어연구그룹 책임연구원
- ** 김준경 : 한국전기연구원 계측제어연구그룹 선임연구원
- *** 김석주 : 한국전기연구원 계측제어연구그룹 책임연구원
- **** 천종민 : 한국전기연구원 계측제어연구그룹 선임연구원
- ***** 박민국 : 한국전기연구원 계측제어연구그룹 책임기사
- ***** 권순만 : 한국전기연구원 계측제어연구그룹 공학박사

(123)로 입력되는 클럭(CLK2)은 기준 클럭(CLK1)을 최소한 4분주 이상 하도록 한다.

프로그램머블 로직 소자인 FPGA 회로(120)는 분배기(121)와 주변 소자들을 동작시키는데 필요한 제어신호를 발생시키기 위한 제어신호 발생기(122) 및 펄스 계수기(123)로 구성되어 있다.

분배기(121)는 클럭 발생기(110)로부터 기준 클럭(CLK1)을 입력 받아 펄스 계수기(123)의 데이터 비트 수 및 곱셈기(140)의 데이터 비트 수를 고려하여 최소 4분주 이상 하여 회로의 안정적인 동작을 도모할 수 있도록 분주 수를 선정한다.

제어신호 발생기(122)는 기준 클럭신호(CLK1) 및 입력 구형과 신호(Vin)의 로직 레벨 신호인 비교기(100)의 출력신호(Vlog)를 입력으로 하여 주변 소자들을 제어하기 위한 제어신호들(CNT1, CNT2, CNT3, CNT4 및 CNT5)을 발생시킨다.

펄스 계수기(123)는 분배기(121)에 의해 적절히 분주된 펄스 계수기(123)용 클럭(CLK2)을 입력 받아서 제어신호(CNT5)의 상태에 따라서 펄스 계수기(123)를 클리어(Clear), 계수(Counting) 또는 계수기 데이터를 곱셈기(140)로 출력한다.

그림 2의 타이밍 도에 나타난 바와 같이 제어신호(CNT5)는 비교기(100) 출력신호(Vlog)의 포지티브 및 네가티브 에지 2가지 모두를 기준으로 기준 클럭(CLK1)에 동기하여 발생되며, 에지 후 첫 번째 기준 클럭(CLK1)에서는 펄스 계수기(123)의 데이터 값을 곱셈기(140)로 출력하고, 에지 후 두 번째 기준 클럭(CLK1)에서는 펄스 계수기(123)를 클리어 시키고, 에지 후 세 번째 기준 클럭(CLK1)에서 부터는 펄스 계수기(123)가 계수기 클럭(CLK2)로 계수하도록 한다. 본 논문에서는 제어신호의 원리적인 것에 관해서만 기술하며 실제로 구현하기 위해서는 주변소자들의 동작속도 등을 고려하여 결정하여야 한다.

제 1의 S/H 회로(130)는 입력 구형과 입력전압(Vin)의 크기를 제어신호(CNT1)에 따라서 샘플 앤드 홀드하는 회로이다. 그림 2의 타이밍 도에 나타난 바와 같이 제어신호(CNT1)는 비교기(100)의 출력신호(Vlog)의 포지티브 및 네가티브 에지 2가지 모두를 기준으로 기준 클럭(CLK1)에 동기하여 발생되며, 에지 후 세 번째 기준 클럭(CLK1)에서 입력전압(Vin)을 샘플 앤드 홀드하여 곱셈기(140)로 샘플 앤드 홀드 신호(V1)를 출력한다.

곱셈 회로(140)는 펄스 계수기(123)의 데이터 값과 제 1의 S/H 회로(130) 출력 신호(V1)를 제어신호(CNT2)에 따라서 곱셈하는 회로이다. 그림 2의 타이밍 도에 나타난 바와 같이 제어신호(CNT2)는 비교기(100) 출력(Vlog)의 포지티브 및 네가티브 에지 2가지 모두를 기준으로 기준 클럭(CLK1)에 동기하여 발생되며, 에지 후 두 번째 기준 클럭(CLK1)에서 곱셈을 하여 신호 V2를 제 2의 S/H 회로(150) 및 가산기 회로

(160)의 부극성 단자로 출력한다.

제 2의 S/H 회로(150)는 곱셈기(140)의 출력 신호(V2)를 제어신호(CNT3)에 따라서 샘플 앤드 홀드하는 회로이다. 그림 2의 타이밍 도에 나타난 바와 같이 제어신호(CNT3)는 비교기(100)의 출력(Vlog)의 네가티브 에지를 기준으로 기준 클럭(CLK1)에 동기하여 발생되며, 네가티브 에지 후 세 번째 기준 클럭(CLK1)에서 곱셈기(140)의 출력 신호(V2)를 샘플 앤드 홀드하여 가산기(160)의 정극성 단자로 신호 (V3)를 출력한다.

가산기(160)는 비교기(100)의 출력(Vlog)의 네가티브 에지를 기준으로 출력되어 샘플 앤드 홀드된 신호(V3)와 포지티브 및 네가티브 에지 2가지 모두에서 출력되는 신호(V2)를 가산하여 가산된 신호(V4)를 제 3의 S/H 회로(170)로 출력한다.

제 3의 S/H 회로(170)는 가산기(160)의 출력신호(V4)를 제어신호(CNT4)에 따라서 샘플 앤드 홀드하는 회로이다. 그림 2의 타이밍 도에 나타난 바와 같이 제어신호(CNT4)는 비교기(100)의 출력(Vlog)의 포지티브 에지를 기준으로 기준 클럭(CLK1)에 동기하여 발생되며, 포지티브 에지 후 세 번째 기준 클럭(CLK1)에서 가산기(160)의 출력 신호(V4)를 샘플 앤드 홀드하여 구형과 입력 신호(Vin)의 실시간 평균치 신호(Vout)로 최종 출력한다.

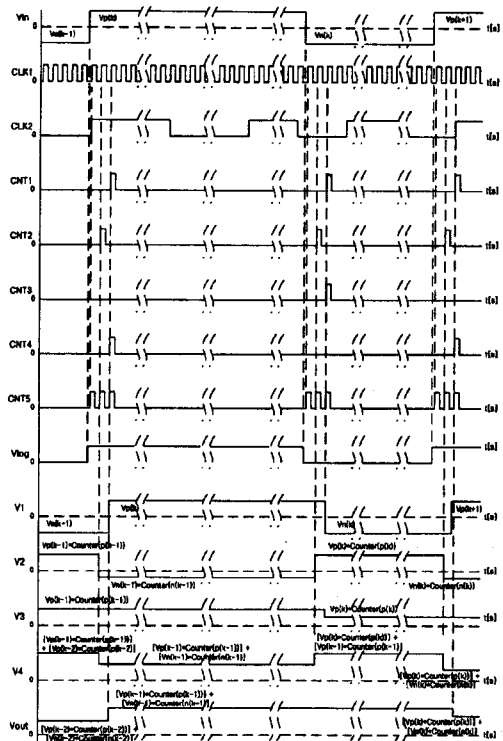


그림 2. 실시간 구형과-평균치 변환회로 타이밍도

2.2 실험 결과

그림 3은 4상한 초퍼의 Duty가 약 15%인 경우, 즉 평균 출력 전압이 음인 경우의 실험파형을 나타낸다. 그림에서 상부의 파형은 Vin, 하부의 파형은 Vout을 나타낸다. 하부의 파형에서 알 수 있듯이 Vout은 음의 값을 나타낸다.

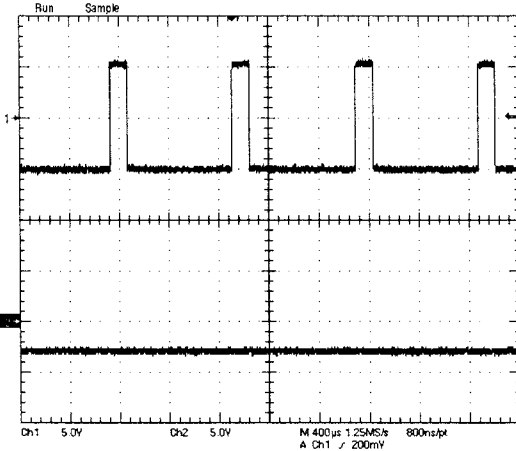


그림 3. 구형파의 평균치가 음인 경우

그림 4는 4상한 초퍼의 Duty가 약 85%인 경우, 즉 평균 출력 전압이 양인 경우의 실험파형을 나타낸다. 그림에서 상부의 파형은 Vin, 하부의 파형은 Vout을 나타낸다. 하부의 파형에서 알 수 있듯이 Vout은 양의 값을 나타낸다.

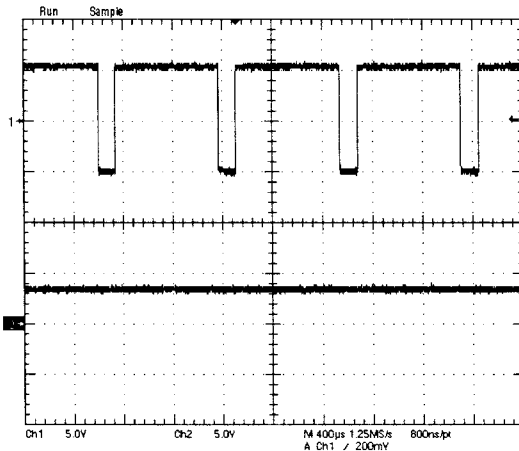


그림 4. 구형파의 평균치가 양인 경우

그림 5는 4상한 초퍼의 Duty가 약 30%에서 70%로 변할 때의 과도응답 특성을 나타낸다. 그림에서 상부의 파형을 유심히 관찰하면 구형파의 평균치가 음에서 양으로 변화하는 것을 볼 수 있으며, 또한 실시간으로 구형파의 평균치를 시각 지연 없이 출력한다는 것을 알 수 있다. 그림 3과 4의 경우에는 하부 신호가 5.0V/div으로 설정되어 있지만 그림 5의 경우에는 2.0V/div으로 설정되어 있다.

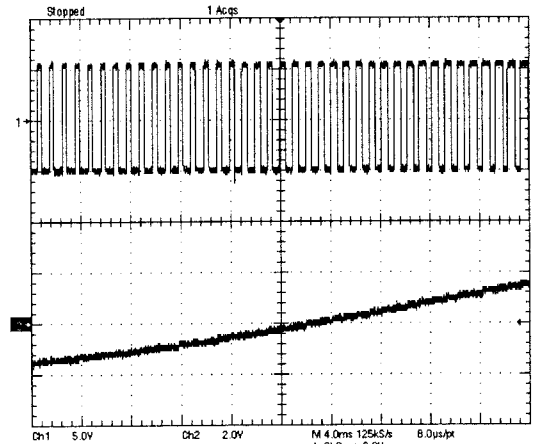


그림 5. 과도응답 특성

3. 결론

초퍼로 구동되는 Magnetic Jack 형태 전자석의 경우 이동자가 이동하면 공극이 변화하여 자기저항 및 회로의 인덕턴스가 변한다. 이러한 경우에 공극 혹은 전자석의 고정자와 이동자 사이의 거리를 알고자 할 경우 일반적으로 Gap 센서 등을 활용하는데 Gap 센서는 고가이며, 또한 설치 공간의 제약 받을 수 있다.

그러나 본 논문에서 제안하는 주변에서 손쉽게 구할 수 있는 OP Amp, 샘플 앤드 홀드 소자, 카운터, Multiplying D/A Converter, FPGA 등으로 회로를 구현 한다면 초퍼로 구동되는 전자석 응용 분야에서와 같이 출력전압의 주파수는 고정되어 있고 구형파이면서 Duty 비가 변하는 파형으로부터 실시간으로 구형파의 평균치를 취득할 수 있으므로 전자석에 인가되는 실시간 전압의 평균치와 전류로부터 공극 혹은 전자석의 고정자와 이동자 사이의 거리를 쉽게 추정할 수 있는 이점이 있다.