

MB-OFDM UWB 시스템을 위한 주파수 합성기의 유형별 설계 및 비교

Design and Comparison of the Frequency Synthesizers for MB-OFDM UWB Systems

*이재경, **정태현, ***박종태, ****유종근
J. K. Lee, T. H. Cheong, J. T. Park, C. G. Yu

Abstract - This paper describes fast-hopping frequency synthesizers for multi-band OFDM(MB-OFDM) ultra-wide band(UWB) systems. Three different structures in generating 3 center frequencies(3432MHz, 3960MHz, 4488MHz) are designed and compared. The first structure generates 3 center frequencies using only one PLL operating at 4224MHz. The second uses three PLLs operating at corresponding center frequencies. The third employs two PLLs operating at 3960MHz and 528MHz. Simulation results using a 0.18um RF CMOS process parameters show that the third structure exhibit the best characteristics. The band switching time of the proposed synthesizer is less than 1.3ns and the spur is less than -36dBc. The synthesizer consumes 22mA from a 1.8V supply.

Key Words : UWB, Frequency Synthesizer, PLL, Fast-hopping

1. 장 서론

본 논문에서는 MB-OFDM 방식의 UWB 시스템을 위한 fast hopping 주파수 합성기를 구조별로 CMOS 회로로 설계하고 비교하였다. UWB RF front-end 단 회로의 블록다이아그램을 그림 1에 보였다. 여기서 주파수 합성기는 direct-conversion mixer에 필요한 LO(Local Oscillator)신호를 발생하고 안정화 시키는 역할을 한다. MB-OFDM에서 제안한 Mode 1 Device는 528MHz의 대역폭을 갖는 3개의 band를 사용하도록 되어있다. 각 band의 center frequency는 3432MHz, 3960MHz, 4488MHz이다. 따라서 이 3가지 주파수를 합성하는 것이 필요하며, 2ns 이하의 빠른 band 스위칭 속도가 요구된다. 본 논문에서는 3가지 구조의 on-chip PLL을 사용하여 주파수 합성기를 설계하였다.

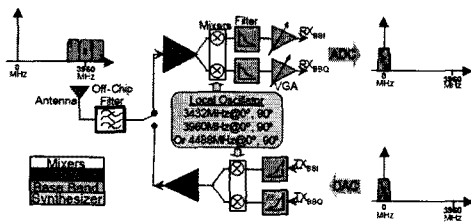


그림 1 RF Front-End단의 블록다이아그램

저자 소개

* 이재경, ** 정태현 : 仁川大學 電子工學科 碩士課程
박종태, *유종근 : 仁川大學 電子工學科 正教授 · 工博
본 연구는 인천대학교 멀티미디어 연구센터의 RRC 과제지원과 IDEC 지원에 의해서도 일부 수행되었음.

2. 장 회로설계

본 논문에서 설계된 CMOS 주파수 합성기 회로는 각 유형별로 하나, 둘, 또는 세 개의 on-chip PLL을 사용하여 주파수를 합성한다. 이때 사용되는 PLL은 모두 동일한 구조이며 VCO만 LC 또는 Ring 형태를 선택적으로 사용한다.

2. 1 절 On-Chip PLL

On-chip PLL은 그림 2에서 확인 할 수 있는 것과 같이 Charge-pump PLL[1] 형태를 사용하였다. Bias 회로는 VCO와 Charge-pump 회로에 필요한 안정된 기준전류를 공급한다. PFD는 기준 주파수인 f_R 와 주파수 분주기의 출력 f_N 을 비교하며, Lock Detector는 f_R 과 f_N 이 locking이 되었는지를 판별한다. 주파수 분주기 블록은 RF 신호의 분주를 위해 CML Latch를 사용하였다. Charge Pump는 Phase Detector에서 입력되는 신호에 의해 전류를 칩 내부의 Loop Filter에 공급하여 VCO의 oscillation 주파수를 조절한다.

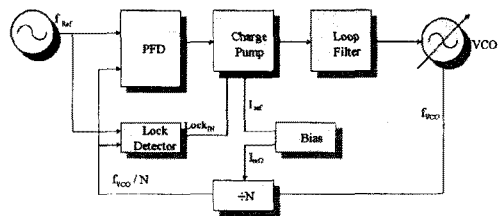


그림 2 On-Chip Charge Pump PLL

2. 2 절 유형별 주파수 합성기

본 논문에서 설계되고 비교되는 주파수 합성기의 구조를 분류하는 기준은 PLL의 사용 개수이다. On-chip PLL은 하나에서 세 개 까지 사용되며 첫 번째 및 두 번째 구조는 LC oscillator를 세 번째 구조는 LC oscillator와 Ring oscillator를 각각 하나씩 사용하며 이에 따라 주파수 합성기의 전체 구성 및 특성이 다르게 나타난다.

2. 2. 1 절 첫 번째 구조

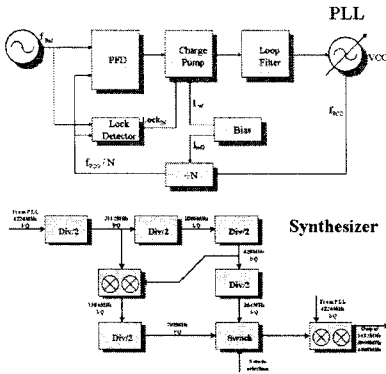


그림 3 첫 번째 구조의 주파수 합성기

설계된 CMOS 주파수 합성기 회로의 첫 번째 구조[2]의 블록다이어그램을 그림 3에 보였다. 설계된 회로는 LC VCO, 주파수 분주기, Bias, Charge Pump, Phase Detector, Lock Detector 등을 포함하는 단일 on-chip PLL block과 SSB mixer[3], RF-Switch, Quadrature Divider 등을 포함하는 Synthesizer block으로 구성된다. 첫 번째 구조의 주파수 합성기에서 3개의 중심 주파수는 PLL을 통해 나온 Quadrature 신호와 이 신호에서 분주된 신호를 SSB mixer를 이용해 합성하여 얻을 수 있다. PLL에서는 4224MHz의 Quadrature 신호를 발생시키며 Synthesizer block을 이용하여 1056MHz, 528MHz, 264MHz 등의 신호를 발생시킨다. 1056MHz와 528MHz의 신호를 SSB mixing을 하여 1584MHz 신호를 발생시키고 Quadrature 2분주 divider를 통해 792MHz의 신호를 발생시킨다. 이 신호들은 switching block과 SSB mixer로 구성된 Triple Frequency SSB mixer로 인가되게 되며 이를 통해 3432MHz, 3960MHz, 4488MHz의 중심 주파수를 생성해 내게 된다.

첫 번째 구조는 주파수를 합성하기 위해 하나의 PLL을 사용한다는 장점을 가지고 있는 반면 SSB mixer를 두 개 사용하고 다수의 Divider를 사용함으로써 많은 전류 소모 및 큰 spur 특성, SSB mixer의 in-output matching을 위한 다수의 inductor로 인한 chip size 증가 등의 문제점을 가지고 있다.

2. 2. 2 절 두 번째 구조

설계된 두 번째 구조의 블록다이어그램을 그림 4에 보였다. 본 구조의 주파수 합성기는 LC VCO를 사용하는

on-chip PLL을 세 개 사용하여 PLL block을 구성하고 RF-Switch 만을 이용하여 주파수 합성기의 중심 주파수를 출력시키도록 설계되었다. 각 PLL은 3432MHz, 3960MHz, 4488MHz의 주파수를 발생시키고 이 신호들은 특별한 부속 회로 없이 switch에 인가되게 되며 mode 신호에 따라 중심 주파수를 출력으로 내보내게 된다.

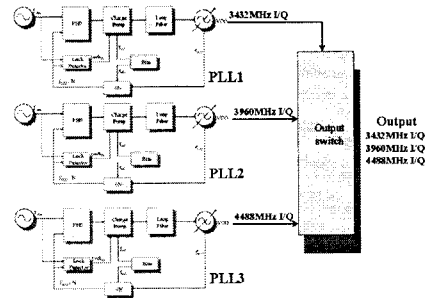


그림 4 두 번째 구조의 주파수 합성기

설계된 두 번째 구조는 모의 실험상에서는 spur 면에서 좋은 특성을 보일 수 있으나 실제 chip 제작에서는 하나의 chip 내부에 고주파 발진 성분이 다수 발생하여 신호간 간섭이 크게 작용할 것으로 예상된다. 또한 LC VCO를 다수 사용함으로써 인해 chip size가 증가하며 전류 소모가 증가하는 단점이 있다.

2. 2. 3 절 세 번째 구조

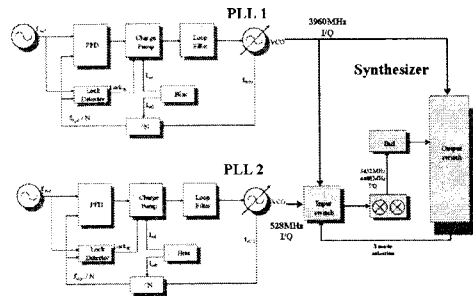


그림 5 세 번째 구조의 주파수 합성기

본 주파수 합성기의 설계에 있어 가장 좋은 특성을 보여준 세 번째 구조의 블록다이어그램을 그림 5에 보였다. 본 구조의 주파수 합성기는 LC VCO를 이용한 PLL과 Ring VCO를 이용한 PLL을 사용하는 구조로써 고주파 PLL에서 3960MHz의 주파수를 Ring VCO를 포함하는 저주파 PLL에서 528MHz의 주파수를 생성한다. 고주파 PLL에서 생성된 3960MHz의 주파수는 출력 및 SSB mixer의 LO 신호로 사용되며 저주파 PLL의 528MHz는 SSB mixer의 RF 신호로 인가되게 된다. Mode 신호에 따라 SSB mixer는 up/down conversion 동작을 하고 이에 따른 출력은 최종단인 RF switch에 전달되게 된다. 최종 출력은 고주파 PLL로부터 발생된 3960MHz와 SSB mixer에서 up/down conversion 된

3432MHz, 4488MHz 가 switching에 의해 선택된다.

설계된 주파수 합성기는 SSB mixer 및 Divider의 사용을 줄여 spur 및 전류 소모 특성을 첫 번째 구조에 비해 줄일 수 있고 고주파 및 저주파 PLL을 각각 하나씩 사용함으로써 두 번째 구조에 비해 신호 간 간섭을 줄일 수 있다. On-chip spiral inductor의 수도 다른 두 구조에 비해 줄어들어 전체적인 chip size도 축소 될 수 있다.

3. 장 모의실험 결과

설계된 회로를 0.18 μ m n-well CMOS 공정변수를 사용하여 RF-Spectre 모의실험 한 결과를 그림 6~9에 나타내었다.

그림 6~8은 각 구조별 주파수 합성기가 3432MHz의 중심 주파수로 동작 시 나타나는 출력 신호 스펙트럼이다.

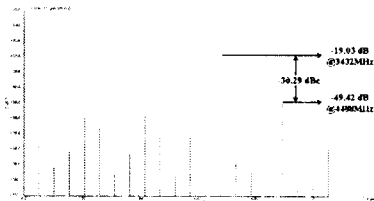


그림 6 첫 번째 구조의 모의실험 결과

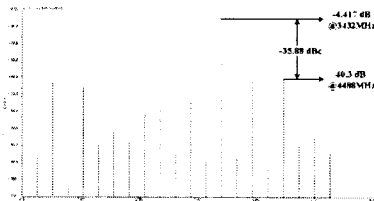


그림 7 두 번째 구조의 모의실험 결과

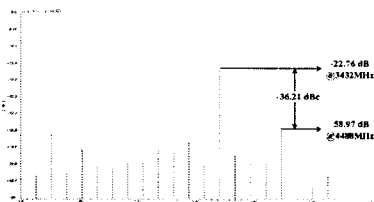


그림 8 세 번째 구조의 모의실험 결과

그림 6에서는 첫 번째 구조의 주파수 합성기 동작에서의 스펙트럼을 나타내고 있다. 중심 주파수인 3432MHz는 -19.03dB이고, 4488MHz는 -49.42dB로 spur 차이는 30.39dBc임을 확인할 수 있다. 그림 7에서는 두 번째 구조의 주파수 합성기 동작에서의 스펙트럼을 보여주고 있다. 중심 주파수인 3432MHz는 -4.417dB이고, 3960MHz 및 4488MHz는 -40.3dB로 spur 차이는 35.89dBc임을 확인할 수 있다. 세 번째 구조의 주파수 합성기 동작에서의 스펙트럼은 그림 8에서 나타내고 있다. 중심 주파수가 3432MHz일 때 -22.76dB이고 4488MHz에서는 -58.97dB로 spur 차이는 36.21dBc임을

확인 할 수 있다.

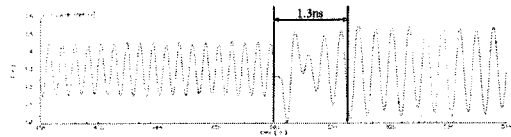


그림 9 세 번째 구조의 switching time

그림 9에서는 세 번째 주파수 합성기 구조가 4488MHz에서 3432MHz로 switching 할 때의 transient 특성을 보여주며 소모 시간은 1.3ns인 것을 확인할 수 있다. 세 구조 모두 같은 switch를 사용하였기 때문에 거의 같은 채널 선택 소모 시간 특성을 보인다.

설계된 세 가지 구조의 회로 성능을 표 1에 비교 요약하였다.

표 1 설계된 회로의 성능요약

	첫 번째 구조	두 번째 구조	세 번째 구조
PLL Frequency	4224MHz	3432MHz 3960MHz 4488MHz	3960MHz 528MHz
Switching time	< 1.3ns	< 1.3ns	< 1.3ns
Spur	30.29 dBc	35.89 dBc	36.21 dBc
Current Consumption	28.5mA	24.4mA	22mA
Chip size	4.2mm ²	3.1mm ²	2.2mm ²

4. 장 결론

본 논문에서는 UWB 시스템에 위한 RF Front-End 단 주파수 합성기를 구조별로 CMOS 회로로 설계하고 성능을 비교하였다. 각 구조는 사용되는 PLL 개수에 따라 세 가지로 분류되며 UWB 시스템의 주요 spec인 spur, switching time, 전류 소모, chip size 등의 특성에서 차이가 나게 된다. 설계된 주파수 합성기 중에서 두 개의 PLL을 사용하는 세 번째 구조가 모든 특성 면에서 다른 두 구조에 비해 좋은 성능을 보였다. 설계된 세 번째 구조의 주파수 합성기는 1.3ns의 band switching time 특성을 보이고, -36dBc의 spur 특성 및 0.18V의 전원전압 하에서 22mA의 전류 소모 특성을 보인다. Chip-size는 약 2.2mm²로 예상된다.

참 고 문 헌

- [1] 이재경, 유종근, "초광대역 시스템 Hopping Carrier 발생을 위한 0.18 μ m 4.224GHz CMOS PLL 설계", 대한전자공학회 추계학술대회 논문지II, pp. 845-848, 2005.
- [2] 이재경, 유종근, "MB-OFDM UWB 시스템을 위한 Fast-Hopping 주파수 합성기 설계", 대한전자공학회 SoC 컨퍼런스 논문지, May, 2006.
- [3] T. P. Liu, "A 2.7-V dual-frequency single-sideband mixer", in Symp. VLSI Circuits Dig. Tech. Papers, pp. 124-127 Jun. 1998.