

저전력 저잡음 클럭 합성기 PLL 설계

Design of a Low-Power Low-Noise Clock Synthesizer PLL

*박준규, **심현철, ***박종태, ****유종근
(J. K. Park, H. C. Shim, J. T. Park, C. G. Yu)

Abstract - This paper describes a 2.5V, 320MHz low-noise and low-power Phase Locked Loop(PLL) using a noise-rejected Voltage Controlled ring Oscillator(VCO) fabricated in a TSMC 0.25um CMOS technology. In order to improve the power consumption and oscillation frequency of the PLL, The VCO consist of three-stage fully differential delay cells that can obtain the characteristic of high speed, low power and low phase noise. The VCO operates at 7MHz -670MHz. The oscillator consumes 1.58mA from a 320MHz frequency and 2.5V supply. When the PLL with fully-differential ring VCO is locked 320MHz, the jitter and phase noise measured 26ps (rms), 157ps (p-p) and -97.09dB at 100kHz offset. We introduce and analysis the conditions in which ring VCO can oscillate for low-power operation.

Key Words :CMOS Differential VCO, Low power, Low noise, PLL

1. 장 서론

본 논문에서는 이동통신, high-speed 회로, HDTV 등의 통신 시스템에서 응용될 수 있는 low-power, low-noise PLL 을 설계 하였다. 주파수 합성기에서 VCO 는 가장 고속으로 동작하며, 잡음도 적어야 하기 때문에 일반적으로 LC 공진 발진기와 링 발진기 구조를 사용한다. 본 연구에서는 지연 소자를 이용한 링 발진기를 사용하였다. 지연 소자를 이용한 링 발진기는 내부에 인덕터와 같이 큰 면적을 차지하는 수동 소자들을 사용하지 않으므로 사용 면적이 작은 뿐 아니라 추가적인 프로세싱 없이 on-chip화 하기가 쉬워 비용과 일률 면에서 우수하며 튜닝이 쉽고 설계 및 제작이 용이한 장점을 가지고 있다. 하지만 자체의 지연 시간을 이용하기 때문에 잡음이 많고 고속 동작에 불리하였다. 따라서, 고속과 저 전력의 링 발진기를 만들기 위해 충분한 위상 변화를 제공하여 발진의 안정도를 유지하며 단수를 줄이는 방법을 제안하였다. 본 논문에서 제안한 완전차동 VCO 는 공급 전압선으로부터 유기되는 공통모드 노이즈의 영향을 제거하여 저 잡음 동작을 달성하였다.

2. 장 회로설계 및 동작원리

설계된 PLL 회로의 기본적인 블록 다이어그램을 그림1 에 보였다. 설계된 회로는 Reference Bias 회로, PFD(Phase

Frequency Detector), Charge Pump, Loop Filter, VCO (Voltage Controlled Oscillator), R-counter, N-counter 등을 포함한다. R-Counter, N-Counter 는 원 신호와 VCO의 출력 신호를 원하는 비교 주파수에 맞게 분주하기 위해 사용되며, PFD 는 Reference 주파수와 Divide 된 VCO 출력 주파수를 비교하기 위해 사용된다. Charge Pump 는 PFD에서 입력되는 신호에 의해 출력되는 전류를 Loop Filter 에 공급하여 VCO 의 Oscillation 주파수를 조절하기 위해 사용된다.

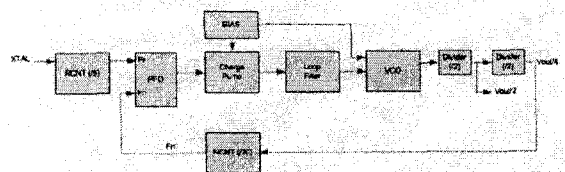


그림1. PLL Block Diagram

2.1 절 VCO

저 잡음 동작을 구현하기 위해 PLL 은 버퍼 스테이지에 입력 전압과 접착기면의 잡음 민감도가 작은 디자인을 요구 하게 되는데, 이는 대칭구조와 Replica feedback biasing 을 갖는 완전차동 버퍼 지연 소자를 필요로 한다.

바이어스 회로의 주 기능은 버퍼 스테이지를 위한 Vctrl 전압의 올바른 공급을 위해 연속적으로 버퍼 바이어스 전류를 조절하는 것이다. 이 동작에서, 출력되는 전류는 공급전압에 독립적이어서 공급전압이 바뀌어도 변하지 않는 전류 값을 공급 할 수 있다.

버퍼 단은 그림2 에서 보여 주듯이 source coupled 의 대

저자 소개

* 박준규, ** 심현철 : 仁川大學 電子工學科 碩士課程
*** 박종태, ****유종근: 仁川大學 電子工學科 正教授 · 工博
본 연구보고서는 정보통신부 출연금 등으로 수행한 정보통신연구개발사업의 연구결과입니다.

칭구조라 불리는 저항성 로드를 포함한다. 대칭구조는 Diode-Connected PMOS Device 로 이루어져 있는데, 병렬로 같은 크기의 PMOS 소자를 갖는다. PMOS 바이어스 전압 V_{bp} 는 바이어스 제너레이터에서 입력되는 V_{ctrl} 과 같다. V_{ctrl} 이 바뀌면서 병렬 대칭구조의 저항성이 바뀌면 버퍼의 지연이 바뀐다. 이 동작은 load 요소들이 컨트롤 전압의 변화에 따른 개선된 버퍼 딜레이의 변화와 공급전원에서 유기되는 노이즈의 대부분을 감쇠시킨다. 간단한 NMOS 전류 소스는 V_{bn} 에 의해 역동적으로 바이어스 된다. 드레인과 접착기면의 전압 변동을 보정하기 위해 사용되는 캐스코드 전류 소스는 효과적인 동작을 달성한다.[1] 제안된 VCO 는 이 지연 소자를 3단으로 사용하여 설계되었다. bias generator에서 공급된 전압에 의하여 저항성 로드가 바뀌어 발진 주파수를 조절 한다.

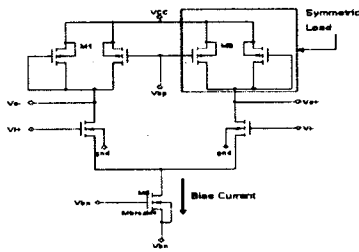


그림2. 대칭구조 완전차동 버퍼 지연소자

2.2 절 PFD

PFD 는 위상과 주파수의 차이를 판별할 수 있는 회로이다. 게이트 지연시간에 의해 발생하는 글리치는 그에 비례하는 dead zone 문제를 발생 시키는데, 이러한 현상은 PFD 동작에 불필요한 것으로 가능한 줄이는 것이 좋다. 본 연구에서는 글리치 현상에 의한 Dead Zone 문제를 방지하기 위해 그림3 과 같은 지연 소자를 이용한 PFD 를 사용하였다. 이 회로는 Reference 주파수와 VCO 출력 주파수를 비교하여 두 신호의 위상차에 해당하는 'UpB' 신호와 'UnB' 신호를 발생시켜 CP 에 전달한다.

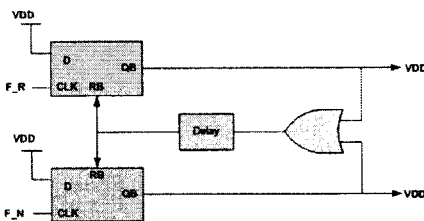


그림3. 지연소자를 포함한 PFD

2.3 절 Charge Pump

Charge Pump 는 PFD에서 입력되는 'UpB' 신호와 'DnB' 신호에 의해 발생하는 전류를 루프필터에 공급한다. 루프필터로 공급되는 전류에 의해 VCO 의 컨트롤 전압이 결정되며, 이 제어전압에 의해 VCO 의 출력 주파수가 결정된다. 하

지만 PFD 입력의 위상 차이가 아주 작으면 전하 펌프를 구동할 충분한 시간이 없어 작은 위상 차이에 적절히 대응하지 못하기 때문에 Dead Zone 이 발생하는 단점이 있고, 전하 펌프를 사용하기 때문에 스위칭에 의한 잡음이 많이 발생하는 단점이 있으나 no dead zone PFD 로 해결하였다.[3]

2.4 절 Loop Filter

Charge Pump 의 출력전류가 루프 필터로 Charge 되면 VCO 제어전압으로 변환된다. C1 은 순간적으로 변화하는 Charge Pump 의 출력전류로 인한 VCO 제어 전압의 불연속적인 변화를 피하기 위해 (글리치를 감소) 첨가되고, 저역통과 필터는 Spurs 성분을 제거하는 역할을 담당한다. 설계에는 Loop Filter 설계 툴을 사용하여 소자 값을 결정하였다. 그림5 에서 PLL 의 대역폭과 Phase Margin 특성을 알 수 있다.

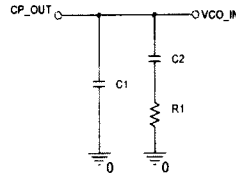


그림4. Loop Filter

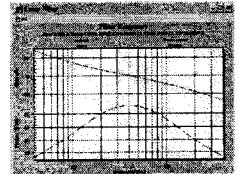


그림5 .Phase Margin 특성

3. 장 모의실험 결과

설계된 회로를 TSMC 0.25um CMOS 공정을 사용하여 Spectre 시뮬레이션 하였다. 설계된 VCO는 제어 전압이 0.2V에서 1.9V 까지 변화할 때 7MHz ~ 670MHz 의 튜닝 범위를 보이며, VCO 의 이득은 대략 440MHz/V 이다. 제어 전압이 1.25V 일 때, 발진주파수가 약 320MHz이며, 이때의 소모 전류는 VCO 전체에서 1.58mA, Replica-Feedback current source bias circuit 단에서 약 1.3mA 를 소모하고 지연소자 단에서 약 0.12mA 를 소모한다. 그림6 에는 VCO 의 주파수 변화물, 그림7 에는 320MHz 에서의 발진 파형을 보였다.

그림8 에 나타낸 시뮬레이션 결과는 PFD 로 입력되는 FR 신호와 VCO 출력의 분주된 신호인 FN 신호이며 이에 따른 PFD 의 출력인 UpB 신호와 DnB 신호를 나타내었고, 마지막 파형은 VCO 의 컨트롤 전압의 변화이다. 결과에서 볼 수 있듯이 1.25V에서 정상상태에 도달하며, 이때의 주파수는 원하는 주파수인 320MHz 이다. Lock Time 은 대략 8us 정도이다. 그림9 에는 설계된 회로의 Layout 을 보였다. 설계된 PLL은 747um * 664um 의 작은 면적을 갖는다.

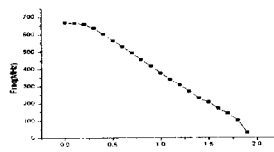


그림6. VCO 주파수 변화

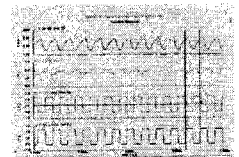


그림7. 320MHz 발진파형

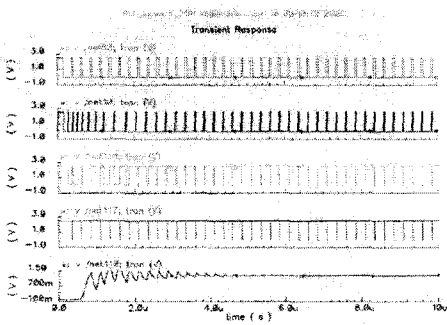


그림8. PLL_Top simulation Result

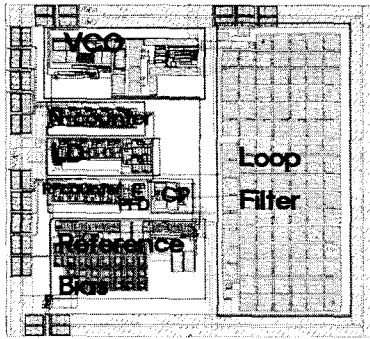


그림 10 layout

4. 장 측정 결과

설계된 PLL 회로의 성능측정을 위해 구성한 측정용 보드를 그림 10에 나타내었다. 모의실험과 같은 환경에서 회로의 측정 결과 2분주 된 신호와, 4분주된 신호를 확인 하였고, 4분주된 신호에서, phase noise 특성은 $-97.09\text{dB}@100\text{kHz}$ offset 을 보였으며 이 때의 jitter 특성은 rms jitter 26ps, peak-to-peak jitter 157ps 를 보였다.

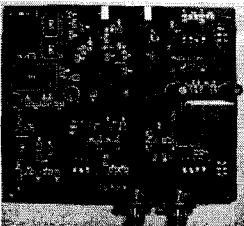


그림10. PLL 측정보드

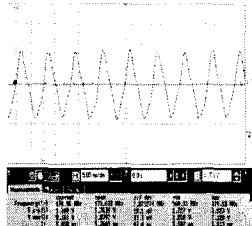


그림11. 2분주 신호

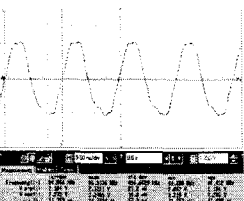


그림12. 4분주 신호

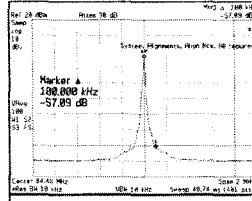


그림13. Phase Noise 특성

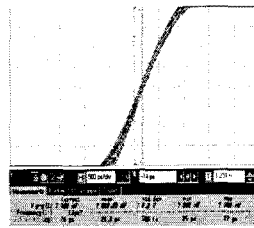


그림14. 4분주신호 rms jitter

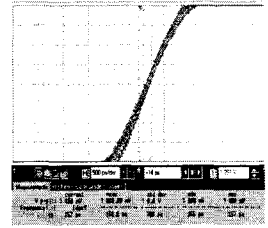


그림15. 4분주신호 p-p jitter

5. 장 결론

설계된 PLL 의 성능을 표1에 요약하였다. TSMC 0.25um 공정을 사용하여 전원전압 2.5V 를 사용하였다. 설계된 회로는 작은 면적과 저 전력, 저 잡음의 특성을 갖도록 설계되었다. 모든 구성 소자는 on-chip 화하여 off-chip 소자의 필요성을 제거하였다. VCO 는 공급전압에서 유기되는 노이즈를 최소화 할 수 있도록 완전 차동 링 구조를 사용하여 저잡음을 달성 하였고, 회로의 복잡도를 줄이기 위하여 단일 제어 전압으로 VCO 의 출력 주파수를 조절할 수 있는 구조를 제안하였다. 설계된 VCO 회로는 2.5V 전원에서 320MHz 로 동작시 1.58mA 의 전력 소모를 갖는다. 또한 7MHz에서 670MHz 까지의 주파수 튜닝이 가능하여 넓은 튜닝 범위를 제공하며, 440MHz/V 의 VCO Gain 을 갖는다. $-97.09\text{dB}@100\text{kHz}$ offset 의 phase noise 특성을 보이며, 26ps rms jitter / 157ps p-p jitter 의 특성을 보였다. 설계된 PLL은 작은 면적과 적은 전력소모, 저 잡음 특성을 갖기 때문에 여러 가지 다양한 응용분야에 적용 될 수 있을 것이다.

표 1 설계된 PLL 의 성능 요약

Supply Voltage	2.5 V
VCO Frequency Range	7MHz - 670MHz
PLL Current Consumption	2.3mA
Process	TSMC 0.25um CMOS
Phase Noise	$-97.09\text{dB}@100\text{kHz}$
Jitter	26ps (rms) / 157ps (p-p)
Chip Area	747 um * 664 um

참 고 문 헌

- [1] John G. Maneatis, "Low-jitter Process-Independent DLL and PLL Based on Self-Biased Techniques", *IEEE J. Solid-State Circuits*, vol.31. No. 11. November 1996
- [2] Behzad Razavi, "Design of Analog CMOS Integrated Circuits", McGraw-Hill international edition 2001
- [3] 김유환 "이동통신 단말기용 CMOS IF PLL 주파수 합성기의 설계 및 구현", 仁川大學校 碩士學位請求論文, 2002